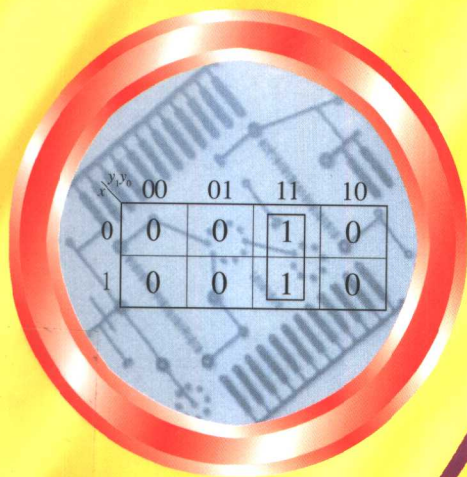


上海普通高校“九五”重点教材



数字逻辑

曹林根 主编



1

上海交通大学出版社

世界银行贷款资助项目
上海市教育委员会组编

数 字 逻 辑

曹林根 主编

上海 交 通 大 学 出 版 社

内 容 提 要

本书系统地阐述了数字系统中逻辑电路的基本概念及分析和设计方法。全书共分三个部分:第一部分叙述数字逻辑电路的基础知识;第二部分介绍组合逻辑电路的分析与设计方法;第三部分讨论时序逻辑电路的分析和设计方法。

本书系统性强,各章均配有实用例题和习题及实验内容。

本书可供大专院校计算机及有关数字系统的专业作为基础技术课的教材,也可作为相关专业工程技术人员的参考书。

图书在版编目(CIP)数据

数字逻辑/曹林根主编. —上海:上海交通大学出版社,
2000.3(2001 重印)

ISBN 7-313-02419-3

I. 数… II. 曹… III. 数字逻辑 IV. TM302.2

中国版本图书馆 CIP 数据核字(2000)第 16254 号

数字逻辑

曹林根 主编

上海交通大学出版社出版发行

(上海市番禺路 877 号 邮政编码 200030)

电话:64071208 出版人:张天蔚

常熟市印刷二厂印刷 全国新华书店经销

开本:850mm×1168mm 1/32 印张:11.75 字数:304 千字

2000 年 3 月第 1 版 2001 年 12 月第 2 次印刷

印数:1721—3770

ISBN7-313-02419-3/TM·114 定价:20.00 元

版权所有 侵权必究

前 言

本书参照高等工业学校工科计算机及应用专业教学大纲的要求,结合多年从事《数字逻辑》、《电子技术基础》的教学实践和科研工作的体会,参考国内外的数字逻辑及计算机原理及应用方面的教材、著作编写而成。

本书每一章均配有典型实用例题,以使读者易于理解和掌握有关理论及分析、设计方法;所提供的习题用于帮助读者加深理解和巩固所讨论的理论和方法;基于《数字逻辑》是一门实践性很强的基础技术课程,本书提供了一定数量的实验内容,为读者创造了理论与实践相结合的条件。

全书共分八章。第一、二章作为逻辑设计的理论基础,介绍了数字系统中常用的基本逻辑器件和布尔代数基础。第三、四、五、六章介绍组合逻辑电路和时序逻辑电路的分析和设计方法。第七章介绍近年来发展很快的 PLD(可编程序逻辑器件)的结构特点及应用。第八章对组合电路及时序电路中的冒险竞争现象作了扼要的介绍。

根据不同专业教学安排的不同,特别是大学一年级学生已学习了有关计算机应用的基础知识,因此把有关数制与编码的内容作为本书的附录一;同时,为了让读者更好地理解逻辑器件,把 TTL 器件及 CMOS 器件的简要介绍作为本书的附录二,以便于根据教学计划选作学生复习参考内容,或者选作讲课内容。

本书的参考学时数为 68 学时。

由于编者水平有限,书中难免有谬误和欠妥之处,恳请教师和学生在使用中不吝提出批评和指正,编者不胜感谢,并先致谢意。

编著者

1999 年 10 月

目 录

第一章 基本逻辑器件	1
1.1 三种基本逻辑运算	1
1.2 逻辑门电路	4
习题.....	19
第二章 布尔代数基础	20
2.1 布尔代数的基本公式和规则.....	20
2.2 逻辑函数的性质.....	25
2.3 逻辑函数的化简.....	34
习题.....	50
第三章 组合逻辑电路	53
3.1 组合逻辑电路的一般分析方法.....	53
3.2 组合逻辑电路的设计方法.....	73
3.3 组合逻辑电路设计举例.....	96
3.4 采用中规模集成电路的组合逻辑电路设计	106
习题	129
实验内容	133
第四章 时序电路中的存储元件——触发器	140
4.1 基本触发器	142
4.2 钟控触发器	146
4.3 触发器类型的相互转换	153
4.4 触发器的应用举例	156
习题	161
实验内容	162
第五章 时序电路的分析	164
5.1 状态表和状态图	164
5.2 时序电路的分析方法	168

习题	204
实验内容	209
第六章 时序电路的设计	211
6.1 时序电路的设计方法	211
6.2 同步时序电路的设计	213
6.3 脉冲异步时序电路的设计	255
6.4 电平异步时序电路的设计	268
习题	279
实验内容	283
第七章 可编程序逻辑器件	286
7.1 可编程序逻辑器件 PLD 电路表示法	286
7.2 可编程序只读存储器 PROM	288
7.3 可编程序逻辑阵列 PLA	291
7.4 可编程阵列逻辑 PAL	297
7.5 通用阵列逻辑 GAL	302
习题	306
第八章 逻辑电路的竞争与冒险	307
8.1 组合逻辑电路的险象及其消除	307
8.2 时序逻辑电路的险象及其处理	313
附录一 数制与编码	323
附 1.1 进位计数制	323
附 1.2 数的原码、反码及补码表示	333
附 1.3 编码	339
习题	350
附录二 TTL 及 CMOS 元件	351
附 2.1 TTL 与非门	351
附 2.2 MOS 门电路	359
习题	368
参考书目	370

第一章 基本逻辑器件

无论是数字式仪器、仪表还是电子数字计算机,其对外的功能虽然比较复杂,但其内部的电子线路通常是由最简单的、最基本的各种电路所组成。这些最基本的电路多数是基本逻辑电路,或称开关电路。

本章主要介绍实现各种逻辑功能的基本逻辑器件,即各种TTL门电路的基本结构和基本特性。

1.1 三种基本逻辑运算

逻辑电路是指输入、输出具有一定的逻辑关系的电路。通常,逻辑电路的输入量、输出量都是用脉冲的有无、电平的高低来表示的。能对逻辑电路加以系统的数学描述的科学叫“逻辑代数”,也叫“布尔代数”。

布尔代数是一个由布尔变量、常量(0和1)及“与”、“或”、“非”三种操作所组成的代数系统。布尔代数的变量也用字母 $A, B, C, D, \dots, Y, Z$ 等来表示,但它的取值范围仅为“0”和“1”两个值,这是与普通代数不同之处。通常称布尔代数的变量为“逻辑变量”。布尔代数对逻辑变量的运算只有与、或、非三种基本逻辑运算,然而这三种基本逻辑运算却能描述数字系统中的任何复杂逻辑网络。

1. “与”运算

“与”运算又称“逻辑乘”,其结果叫“逻辑积”。

布尔代数之所以又称逻辑代数,就是因为这个代数所研究的问题具有“逻辑”的含意。所谓逻辑,就是研究前提(条件)与结论

(结果)之间的关系。

在数理逻辑中,当决定事件发生的各种条件中,只有全部条件具备时,该事件才发生。这种前提与结论之间的因果关系叫“与逻辑”。

下面以图 1.1 的串联开关电路来说明“与”运算的逻辑规则。

图中两个串联的开关 A 、 B 及一个电灯 F 。这里要讨论的是电灯 F 亮的条件是什么?很显然灯亮的条件是开关 A 、 B 都接通。若开关 A 、 B 中有一个不接通,则灯 F 不亮。

设开关接通状态为“1”,开关断开状态为“0”;灯亮为“1”,灯灭为“0”;则可以得到图 1.2 用表格方式表示的对应关系。这种表称为真值表(Truth table)。

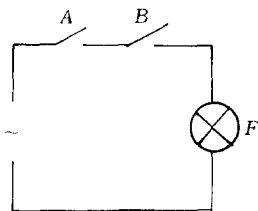


图 1.1

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

图 1.2

也可以用布尔代数式来表示这对应关系: $F = A \cdot B$ 或 $F = A \times B$ 。

当用 0、1 值代换逻辑变量 A 、 B 时,它可得到四个真值式:

$$\left. \begin{array}{l} 0 = 0 \cdot 0 \\ 0 = 0 \cdot 1 \\ 0 = 1 \cdot 0 \\ 1 = 1 \cdot 1 \end{array} \right\} F = A \cdot B$$

这就是“与”的定义。式中的“ $\cdot$ ”是逻辑乘运算符号,读作逻辑“与”,它仅表示“与”的逻辑功能,无数量相乘的概念。式中的“0”和“1”仅代表变量的一种状态,无数量概念。

2. “或”运算

“或”运算又叫“逻辑加”，其结果叫“逻辑和”。

在数理逻辑中，当决定事件发生的各种条件中，只要有一个或一个以上条件具备时，该事件便发生。这种前提与结论之间的因果关系叫“或”逻辑。图 1.3 所示两个开关并联电路为或逻辑的一个实例。对这个电路，灯 F 亮的条件是开关 A 、 B 中有一个接通或者两个都接通，也就是说只有当开关 A 、 B 都不接通时灯 F 才不亮。

设开关接通状态为“1”，断开状态为“0”；灯亮为“1”，灯灭为“0”；则可以得到图 1.4 的真值表。也可以用布尔代数式 $F = A + B$ 来表示；即

$$\left. \begin{array}{l} 0 = 0 + 0 \\ 1 = 0 + 1 \\ 1 = 1 + 0 \\ 1 = 1 + 1 \end{array} \right\} F = A + B$$

式中的“+”是逻辑加运算符号，读作逻辑“或”，它仅表示“或”的逻辑功能，无数量加概念。式中的“0”和“1”只表示变量的两个相反的状态，无数量概念。

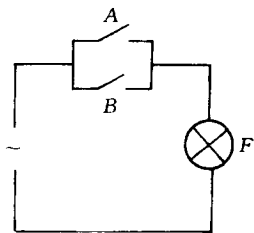


图 1.3

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

图 1.4

3. “反”运算

“反”运算又叫“逻辑非”，也叫“逻辑否定”或称“求补”。它的布尔代数表达式为 $F = \bar{A}$ 。式中 A 叫原变量， $\bar{A}$ 叫反变量， A 和 $\bar{A}$ 是一个变量 A 的两种形式。它的真值表如图 1.5 所示。

A	F
0	1
1	0

图 1.5

逻辑非是逻辑代数所特有的一种形式，其功能是对变量求反(或称求补)，当 $A=0$ 时， $\bar{A}=1$ ；当 $A=1$ 时， $\bar{A}=0$ 。

1.2 逻辑门电路

在数字系统中，是用电子器件来实现各种逻辑关系的，这些电子器件就是逻辑门电路。

在逻辑电路中，输入端的值为逻辑条件，输出端的值为逻辑结果。输入或输出均用电平的高低来代表“1”和“0”。用高电平表示“1”，低电平表示“0”，称为正逻辑，反之称为负逻辑，本书在无特殊说明时都是指正逻辑。

1. 简单门电路

利用半导体二极管和三极管可以构成简单的逻辑门电路。二极管具有单向导电性，且在正向导通时管压降基本不变(硅二极管的正向管压降一般为 0.7V)。三极管在饱和和工作状态下，集电极和发射极之间的饱和压降 V_{ces} 基本不变(硅管的饱和压降一般为 0.3V)。在构成逻辑电路时正是利用这些特性。

(1) 与门。

图 1.6 所示电路是二极管与门电路， A 、 B 为两个输入端， F 为输出端。

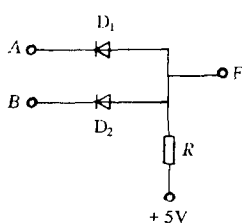


图 1.6 与门

根据电路的知识，不难得到输出电压与输入电压的关系表，如表 1.1 所示。

表 1.1 与门电路电压关系表

A	B	F	D ₂	D ₁
0V	0V	0.7V	导通	导通
0V	5V	0.7V	截止	导通
5V	0V	0.7V	导通	截止
5V	5V	5V	截止	截止

设 5V 左右为高电平,为逻辑“1”,0 伏左右为低电平,为逻辑“0”。则可由电压关系表得到该电路的真值表如表 1.2 所示。与图 1.2 所示的真值表对照,可知此电路实现的是与逻辑,因此称此电路为“与门”,其逻辑符号如图 1.7 所示。

表 1.2 与门真值表

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1



(a)我国标准符号



(b)美国标准符号

图 1.7 二输入与门逻辑符号

(2) 或门。

图 1.8 所示电路为二极管或门电路。A、B 为两个输入端,F 为输出端。其输出电压与输入电压的关系表如表 1.3 所示,其真值表如表 1.4 所示,逻辑符号如图 1.9 所示。

表 1.3 或门电路电压关系表

A	B	F	D ₁	D ₂
0V	0V	0V	截止	截止
0V	5V	5V	截止	导通
5V	0V	5V	导通	截止
5V	5V	5V	导通	导通

表 1.4 或门真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

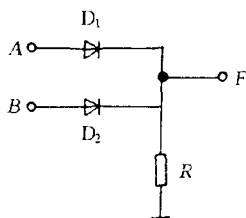
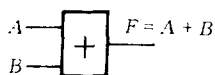
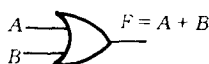


图 1.8 二极管或门



(a) 我国标准符号



(b) 美国标准符号

图 1.9 二输入或门逻辑符号

(3) 非门。

非门也称为反相器,用三极管可以组成非门,如图 1.10(a)所示。当输入端 A 为低电平(如 $0V$)时,三极管工作于截止状态,输出端 F 为高电平(为电源电压 $5V$),当输入端 A 为高电平(如 $5V$)时,只要保证 R_1R_2 参数合理,使三极管工作于饱和状态,输出端 F 为低电平(为集电极与射极间饱和压降 $0.3V$)。则 A 与 F 的电压关系表及真值表可得如表 1.5、表 1.6 所示。可知电路实现逻辑非功能,因此称其为非门。其逻辑符号如图 1.10(b)(c)所示。

表 1.5 非门电路电压关系表

A	F	T 工作状态
$0V$	$5V$	截止
$5V$	$0.3V$	饱和

表 1.6 非门真值表

A	F
0	1
1	0

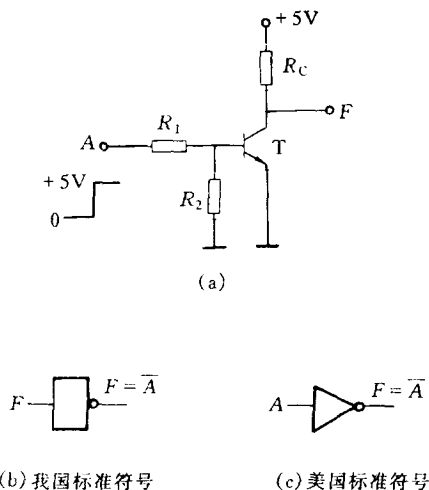


图 1.10 反相器及逻辑符号

二极管门结构简单,但是带负载能力差,抗干扰性能差,在多级连接时会引起电平转移,引起逻辑错误。通常用二极管与门和三极管非门组成复合逻辑门,如图 1.11 就是与非门电路。与门的输出作为反相器的输入,在反相器的输出端增加一个箝位电路,使输出端的高电平与输入端的高电平相一致。

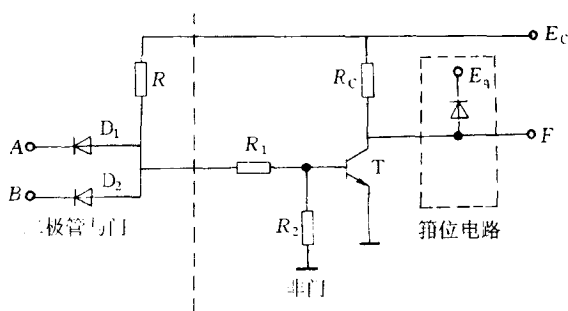


图 1.11 与非门电路

该电路的真值表如表1.7,实现与非逻辑功能,其逻辑式为 $F = \overline{A \cdot B}$,其逻辑符号如图 1.12 所示。

表 1.7 二输入与非门真值表

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

用同样的方法可以组成或非门。

2. TTL 与非门

以上讨论的门电路是分立元件电路,而目前数字系统及数字电子计算机

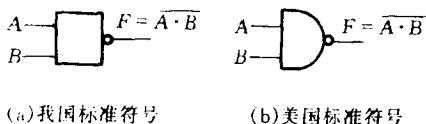


图 1.12 与非门逻辑符号

中几乎都使用集成电路门。集成电路按其集成度分为小规模、中规模、大规模和超大规模;从构成的器件类型分为 TTL 型(双极型)和 MOS 型。

(1) 典型的 TTL 与非门。

对于使用逻辑门的使用者来说,对门的内部电路的了解不是必要的。但是当设计一个数字系统时,了解不同系列门电路的不同特点就变得很重要了。因此下面介绍一下 TTL 门的基本原理。

图 1.13 所示的是一个典型的 TTL 三输入与非门的电路,它主要由硅双极型晶体管构成。

多发射极三极管 T_1 构成了这个电路的输入级。加到各输入端的信号,通过多发射极三极管的各个发射极实现与的作用。 T_2 、 R_2 、 R_3 组成了电路的中间级,这一级的主要作用是从 T_2 的集电极和发射极同时输出两个相位相反的信号,作为 T_3 和 T_4 的驱动信号。 T_3 、 T_4 、 R_4 和 D_1 构成输出级,这种结构形式称图腾柱结构,这一级的作用主要是提高电路的带负载能力。

当所有的输入端全部接高电平($A = B = C = 3.6V$)。 T_1 的所有发射结都呈正向导通,这时 T_1 的基极电压应为 $V_{b1} = 3.6 + 0.7 =$

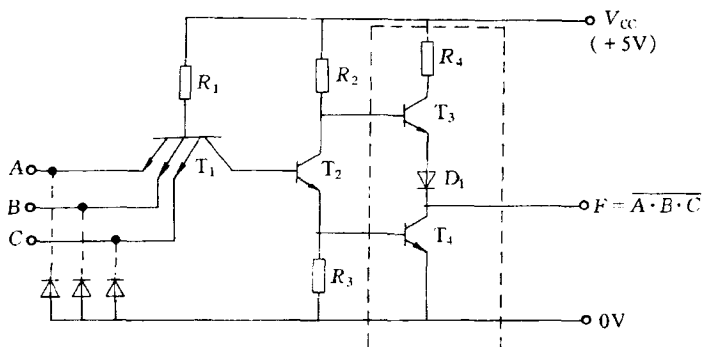


图 1.13 三输入与非门

4.3V,但只要达到 2.1V 的电压就可以使 T_1 的集电结、 T_2 的发射结和 T_4 的发射结都呈正向导通,而 $V_{b1} = 4.3V$ 足可以使这三个 PN 结正向导通,如此 V_{b1} 就被箝位在 2.1V。由于输入端电压都是 3.6V,因此 T_1 的发射结全部反向截止。 T_1 的基极电流全部流入 T_2 ,使 T_2 饱和。 T_2 的射极电流提供给 T_4 基极,使 T_4 饱和。 T_3 的基极电压 $V_{b3} = V_{cc2} + V_{be4} \approx 1V$,不足以使 T_3 导通,而处于截止状态。所以输出电压为 T_4 的饱和压降,为 0.3V 左右,呈低电平状态。

如果 A 、 B 、 C 中有一个或几个为低电平(设低电平为 0.3V)时, T_1 的基极电压 $V_{b1} = 0.3 + 0.7 = 1V$,这时 T_1 的集电结和 T_2 的发射结都不可能正向导通,所以 T_2 截止, $I_{e2} = 0$,则 T_4 截止。由于 T_2 截止,电源通过 R_2 向 T_3 基极提供足够的电流,使 T_3 饱和,输出端的电压为 T_3 的射极输出, $V_0 = V_{cc} - V_{R4} - V_{ce3} - V_{D1} = 3.6V$,呈高电平状态。

由于该电路的工作状态是:当输入有低电平时,输出为高电平;当输入全为高电平时,输出为低电平。所以它是与非门电路,其逻辑符号如图 1.14 所示,逻辑式为 $F = \overline{A \cdot B \cdot C}$ 。

(2) 改善的 TTL。

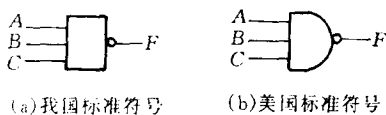


图 1.14 与非门电路

由于三极管由饱和状态转移到截止状态存在着延迟时间,相反亦然,这就导致工作速度的限制及功耗的产生。当在三极管的集基极间连接一个抗饱和二极管,如图 1.15 就可使基区的存储电荷减少,从而使延迟时间减少。实际上是使用肖特基二极管 (Schottky diode),且在制造时把它与三极管合在一起,这样的器件叫肖特基箝位三极管如图 1.16。由它制造的 TTL 具有较低的功耗。由普通三极管构成的 TTL 器件,标为 7400 系列,由肖特基箝位三极管构成的 TTL 器件,标为 74LS 系列。在 74LS 系列基础上进一步改进而具有更低的功耗及传输延迟时间的 TTL 器件,标为 74ALS 系列。表 1.8 给出了不同 TTL 与非门的特性。

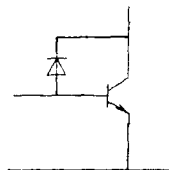


图 1.15 抗饱和二极管

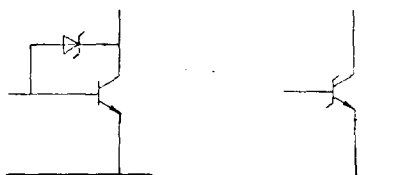


图 1.16 肖特基管

表 1.8 门特性

类 型	功耗	传输延迟时间	工作电源电压	扇出
7400	40mW	9ns	+5V	10
74LS00	2mW	8ns	+5V	10
74ALS00	1mW	4ns	+5V	10

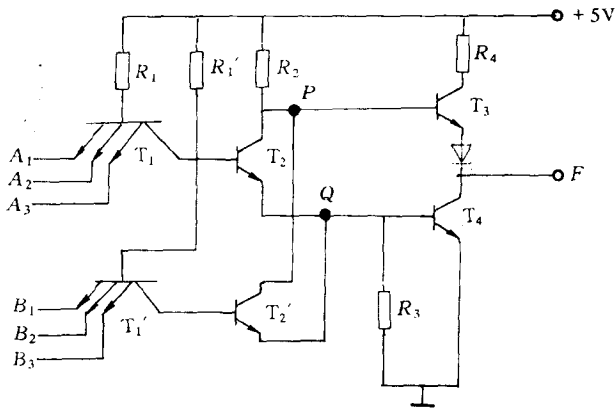
3. TTL 门电路的其他类型

在实际数字系统中,需要能实现多种逻辑功能和控制作用的不同逻辑门。从逻辑功能看还有或非门,与或非门、异或门等,从

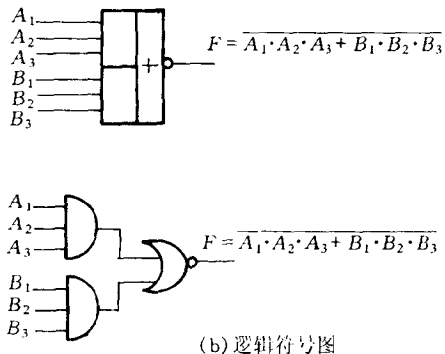
控制作用看还有三态门、集电极开路门(OC 门)等。

(1) 与或非门。

图 1.17(a) 是一个与或非门的电路。它与一般的与非门相比,增加了一个由 T_1' 、 T_2' 及 R_1' 所组成的输入电路和反相电路,而这部分电路和原来的 T_1 、 T_2 及 R_1 所组成的那一部分电路完全相同。



(a) 电路原理图



(b) 逻辑符号图

图 1.17 与或非门电路