

工控与电子精品图书

# PLD

## 逻辑设计实务

邱耀煌 编著



清华大学出版社

<http://www.tup.tsinghua.edu.cn>



# PLD 逻辑设计实务

邱耀煌 编著

清华大学出版社

**(京)新登字 158 号**

**北京市版权局著作权合同登记号: 01-2001-3495 号**

本书繁体字版由全华科技图书股份有限公司出版, 版权归全华科技图书股份有限公司所有。本书简体字中文版由全华科技图书股份有限公司授权清华大学出版社出版。专有出版权属清华大学出版社所有。未经本书原版出版者和本书出版者的书面许可, 任何单位和个人不得以任何形式或任何手段复制或传播本书的部分或全部。

### 内 容 简 介

PLD 是一种可由使用者自行设置的逻辑器件, 内部包含了组合逻辑电路和时序逻辑电路, 使用者通过布尔代数法、真值表法或状态图法等, 即可设置完成一片 PLD 以实现组合逻辑和时序逻辑电路功能。

本书结合详细实例着重介绍了 PEEL 和 PAL (GAL) 这两种 PLD。介绍 PEEL 器件, 使用 PLACE 软件, 可用布尔代数法或真值表法描述组合逻辑电路, 用布尔代数法、真值表法或状态图法描述时序逻辑电路; 介绍 PAL (GAL) 器件, 使用 PALASM 软件, 可用布尔代数法描述组合逻辑电路, 用布尔代数法或状态图法描述时序逻辑电路。

本书可以作为从事 PLD 研究、开发的人员学习的工具用书, 同时也是相关专业高年级学生学习 PLD 的参考用书。

**版权所有, 翻印必究。**

**本书封面贴有清华大学出版社激光防伪标签, 无标签者不得销售。**

书 名: PLD 逻辑设计实务

作 者: 邱耀煌 编著

出 版 者: 清华大学出版社(北京清华大学学研大厦, 邮编 100084)

<http://www.tup.tsinghua.edu.cn>

责任编辑: 朱英彪

印 刷 者: 北京市清华园胶印厂

发 行 者: 新华书店总店北京发行所

开 本: 787×1092 1/16 印张: 16.75 字数: 377 千字

版 次: 2002 年 1 月第 1 版 2002 年 1 月第 1 次印刷

书 号: ISBN 7-302-04965-3/TP·2797

印 数: 0001~5000

定 价: 24.00 元

# 《工控与电子精品系列图书》序

“以信息化带动工业化”是我国今后几年乃至更长时间内第二产业发展的主题，也是我国科学技术发展的必由之路。世纪之初既有机遇又有挑战，作为一个工程技术人员怎样面对挑战而抓住机遇，使自己乘上工业化的快车！

每一位工程技术人员需要不断地去学习、去实践，丰富自己，才能跟上科技的步伐，从而能适应激烈竞争的环境。本系列丛书完全从这个角度出发，使读者反复于学习与实践之间，不仅可以领会理论的精髓，更可以掌握开发的技巧。

本系列丛书有以下特点：

## 实例丰富而详尽

针对目前市场图书情况，本系列丛书大多数以应用实例为主，其中有几本为应用实例集。文中所涉及硬件均有完整的电路图和源程序，更可贵的是大多数源程序都配有详尽的注释。涉及到操作步骤，更是详细而有序，手把手教习读者去开发真正的产品。

## 涉及范围广而精

本系列丛书针对目前乃至今后市场需求，由最底层的微电子技术到 EDA 工程，由信号处理技术到 DSP，由测控技术到单片机，由宽带网技术到智能建筑，讲解机理透彻，应用实例实用经典。本系列丛书还侧重于新技术的推广，为我国迎头赶上先进技术提供一些启发。

## 读者定位准确

本系列丛书中的每一本都是针对不同的工程技术人员，涉及到电子和工控行业大多数的技术人员，让每一位读者都可以找到适合自己的技术书籍。

本系列丛书的选题策划、稿件编辑，得到了广大高校教师和业内工程技术人员的大力支持与合作，才使得我们这个系列丛书能够以较高水准面向广大读者，在此表示衷心的感谢！

希望每一位工程技术人员走向各自事业的成功！

《工控与电子精品系列图书》策划委员会

2001 年 8 月

## 《工控与电子精品系列图书》策划委员会

主 编： 王俊峰

总策划： 李华君 曾 刚

策 划： 曾 刚 朱英彪 苗建强 刘建昌 陈仕云 许存权

# 序

一个由译码器、计数器和寄存器所组成的电路，传统的方法是用多个不同的 TTL IC 来实现。这些 IC 占据了相当大的空间，而且各个 IC 间的连线也相当复杂。在电路板制作完成后，电路功能不易加以修改，更甚的是由于有些 IC 不容易购买而延误了电路完成的时间。

PLD 是一种可由使用者自行设置的逻辑器件，本书将重点介绍 PEEL 和 PAL (GAL) 这两种 PLD，它们内部都包含了组合逻辑电路和时序逻辑电路，而且都可以由使用者重复设置使用。对于 PLD，使用者可利用厂商所提供的编程软件，通过布尔代数法、真值表法或状态图法来描述其电路功能，即可设置完成一片 PLD。在 PLD 内能很方便地同时实现组合逻辑和时序逻辑电路功能，要更改其电路功能也只要重新设置 PLD 即可，可见电路功能的修改非常有弹性。

本书以实例的方式，介绍如何用 PLD 设计组合逻辑电路和时序逻辑电路。本书共分 8 章，第 1 章为 PEEL 器件，说明 PEEL 器件的结构，在本章中读者能够学习利用 PEEL 器件实现布尔代数式。第 2 章为 PLACE 软件，PEEL 器件是以 PLACE 软件来编程的，指引读者熟悉 PLACE 软件的使用。第 3 章为组合逻辑电路设计（布尔代数法），本章以八个例子详细说明如何用布尔代数法设置 PEEL 以实现组合逻辑电路。第 4 章为组合逻辑电路设计（真值表法），本章以六个例子说明如何以真值表法设置 PEEL 实现组合逻辑电路。第 5 章为时序逻辑电路，在本章中以十五个例子说明如何设置 PEEL 以实现时序逻辑电路。第 6 章是用 PEEL 来实现一些自测题目，说明如何用 PEEL 来实现计算机维修技能自测的题目。第 7 章是 PALASM4.0，PAL (GAL) 器件用 PALASM4.0 软件来编程，在本章中读者可以熟悉 PALASM4.0 软件的使用。第 8 章是用 PAL (GAL) 来实现一些自测题目，说明如何用 PAL (GAL) 实现计算机维修技能自测的题目。

本书虽编校再三，错误难免，望不吝赐教。

邱耀煌

# 目 录

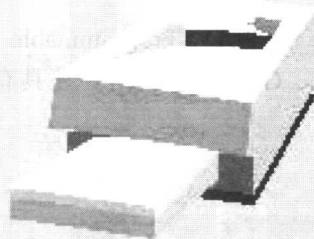
|                                          |    |
|------------------------------------------|----|
| 第 1 章 PEEL 器件 .....                      | 1  |
| 1-1 PEEL 的结构 .....                       | 3  |
| 1-2 输入引脚设置及输出引脚 .....                    | 5  |
| 1-3 输出缓冲器 .....                          | 6  |
| 1-4 宏结构的设计 .....                         | 6  |
| 1-5 输出缓冲器设计 .....                        | 9  |
| 第 2 章 PLACE 软件 .....                     | 13 |
| 2-1 PLACE 软件的安装及使用 .....                 | 14 |
| 2-2 开始使用程序 .....                         | 14 |
| 2-3 File 功能 .....                        | 15 |
| 2-4 Options 功能 .....                     | 15 |
| 2-5 Operation 功能 .....                   | 16 |
| 2-6 Operation 功能的 Design 子功能 .....       | 17 |
| 2-6-1 Design 画面在 Edit Arch 状态 .....      | 17 |
| 2-6-2 Design 画面在 Select Sum Equ 状态 ..... | 18 |
| 2-7 Operation 功能的 Compile 子功能 .....      | 19 |
| 2-8 Operation 功能的 Simulate 子功能 .....     | 20 |
| 2-9 仿真波形的编辑 .....                        | 21 |
| 2-9-1 编辑注解栏 .....                        | 21 |
| 2-9-2 编辑一般引脚栏 .....                      | 21 |
| 第 3 章 组合逻辑电路设计（布尔代数法） .....              | 23 |
| 范例一 基本逻辑门 .....                          | 24 |
| 范例二 表决器电路 .....                          | 29 |
| 范例三 3-8 译码器电路 .....                      | 32 |
| 范例四 1 BIT 加法器 .....                      | 36 |
| 范例五 3-8 译码器电路（低电平动作） .....               | 40 |
| 范例六 8-1 多任务器电路 .....                     | 44 |
| 范例七 1-8 解多任务器电路 .....                    | 49 |
| 范例八 3-8 译码器与 8-3 编码器电路 .....             | 54 |

|                                  |     |
|----------------------------------|-----|
| 第 4 章 组合逻辑电路设计（真值表法） .....       | 61  |
| 范例一 3-8 译码器电路 .....              | 64  |
| 范例二 BCD-7SEG 转换电路 .....          | 68  |
| 范例三 DEFINE 的使用方法 .....           | 73  |
| 范例四 BCD-7SEG 转换电路（2） .....       | 75  |
| 范例五 3BIT 和 3BIT 比较器电路 .....      | 79  |
| 范例六 1 的补码和 2 的补码电路 .....         | 85  |
| 第 5 章 时序逻辑电路 .....               | 91  |
| 5-1 状态图法 .....                   | 92  |
| 范例一 LATCH 电路 .....               | 96  |
| 范例二 3BIT 加计数器电路 .....            | 100 |
| 范例三 3BIT 加/减计数器 .....            | 103 |
| 范例四 具有预置、设定和清除功能的 3BIT 计数器 ..... | 106 |
| 范例五 3BIT 加计数器电路（状态图法） .....      | 110 |
| 范例六 时序逻辑电路应用（状态图法） .....         | 114 |
| 范例七 移位寄存器电路 .....                | 118 |
| 范例八 具有预置、左移、右移功能的移位寄存器电路 .....   | 122 |
| 范例九 跑马灯电路（状态图法） .....            | 127 |
| 范例十 一位数 BCD 计数器电路 .....          | 132 |
| 范例十一 两位数 BCD 计数器电路 .....         | 135 |
| 范例十二 五个一数计数器电路 .....             | 139 |
| 范例十三 宏计数函数使用（1） .....            | 143 |
| 范例十四 宏计数函数使用（2） .....            | 146 |
| 范例十五 红绿灯电路 .....                 | 149 |
| 第 6 章 用 PEEL 实现一些自测题目 .....      | 157 |
| 6-1 检修卡 .....                    | 158 |
| 范例一 单只 LED 左移 .....              | 160 |
| 范例二 两只 LED 左移 .....              | 172 |
| 范例三 LED 向左逐一点亮 .....             | 180 |
| 范例四 LED 由中间向左右两侧依次点亮 .....       | 186 |
| 范例五 LED 由中间向左右两侧依次点亮 .....       | 192 |
| 第 7 章 PALASM 4.0 .....           | 199 |
| 7-1 PALASM 的使用 .....             | 200 |
| 7-2 用正逻辑实现加法器 .....              | 206 |
| 7-3 用负逻辑实现加法器 .....              | 208 |

|                                   |         |
|-----------------------------------|---------|
| 7-4 输出缓冲器.....                    | 210     |
| 7-5 用布尔代数实现 2BIT 计数器（正逻辑）.....    | 212     |
| 7-6 用布尔代数实现 2BIT 计数器（负逻辑）.....    | 214     |
| 7-7 用状态图法实现 2BIT 计数器.....         | 216     |
| <br>第 8 章 用 PAL（GAL）实现一些自测题目..... | <br>219 |
| 8-1 检修卡.....                      | 220     |
| 范例一 单只 LED 左移.....                | 222     |
| 范例二 两只 LED 左移.....                | 230     |
| 范例三 LED 向左逐一点亮.....               | 236     |
| 范例四 LED 由中间向左右两侧依次点亮.....         | 242     |
| 范例五 LED 由中间向左右两侧依次点亮.....         | 248     |

# 第 1 章

## PEEL 器件



PEEL (Programmable Electrically Erasable Logic) 是一种电可擦写的可编程逻辑器件, 其特性如下:

### 可重复设置使用且擦除、烧写容易

按照电路功能将程序编译完成后, 利用烧写器可以快速方便地将程序烧写到 PEEL 内以完成特定的电路功能; 同样, 利用烧写器也可以快速方便地将 PEEL 内的程序清除。PEEL 内程序清除后可再烧写其他程序。不论是烧写或擦除 PEEL 内的程序都约在 2~3 秒时间内即可完成, 这个特性在实验阶段尤其重要, 它使得在实验阶段因电路经常修改, 而花费于烧写擦除的时间减至最少, 如此可专注于程序和电路的开发。

### 电路修改容易

只要 PEEL 器件的输入和输出引脚不变, 就可以很方便地对 PEEL 内电路功能加以修改, 而不需要对电路板作跳线或更换 IC 的处理。如果有一个译码电路, 其所有的输出 Q0Q1Q2Q3Q4Q5Q6Q7 本来是 LOW 动作, 现在要改为输出是 Q0: LOW, Q1: HIGH, Q2: LOW, Q3: HIGH, Q4: LOW, Q5: HIGH, Q6: LOW, Q7: HIGH 动作, 则只要修改 PEEL 程序重新烧写即可。同样译码电路也可通过更改 PEEL 程序来更新地址译码功能。

### 电路集中

用标准 TTL IC 所组成的电路, 不同的门是用不同的 TTL IC 来实现, 组合逻辑电路和时序逻辑电路也是分别用不同的 TTL IC 来实现。使用 PEEL 设计电路, 布尔代数式可以很方便地利用一片 PEEL 来实现, 而不必用不同的门 (NAND、XOR...)、多片 TTL IC 来实现。同样的组合逻辑电路和时序逻辑电路也可在同一片 PEEL 上实现, 而不必用不同的 TTL IC 去分别实现。

### 设计方便

对于组合逻辑电路可以使用布尔代数法或真值表法完成设计, 而对于时序逻辑电路则可以使用布尔代数法、真值表法或状态图法完成设计。但不论使用哪一种方法都不用化简, 只要能描述电路功能即能完成电路设计。

### 保密特性

PEEL 内有一个保密位, 适当地设置此位后, PEEL 内的程序就无法读出, 因此他人无法得知程序内容或进行拷贝, 达到保密的目的。

PEEL 是一种 PLD (Programmable Logic Device, 可编程逻辑器件), 在使用上除了可以取代 PAL、GAL 等器件外, 还具有更多可设置的宏结构形式以及更大容量等优点。

## 1-1 PEEL 的结构

图 1.1 和图 1.2 分别是 PEEL18CV8 和 PEEL22CV10 的结构图。

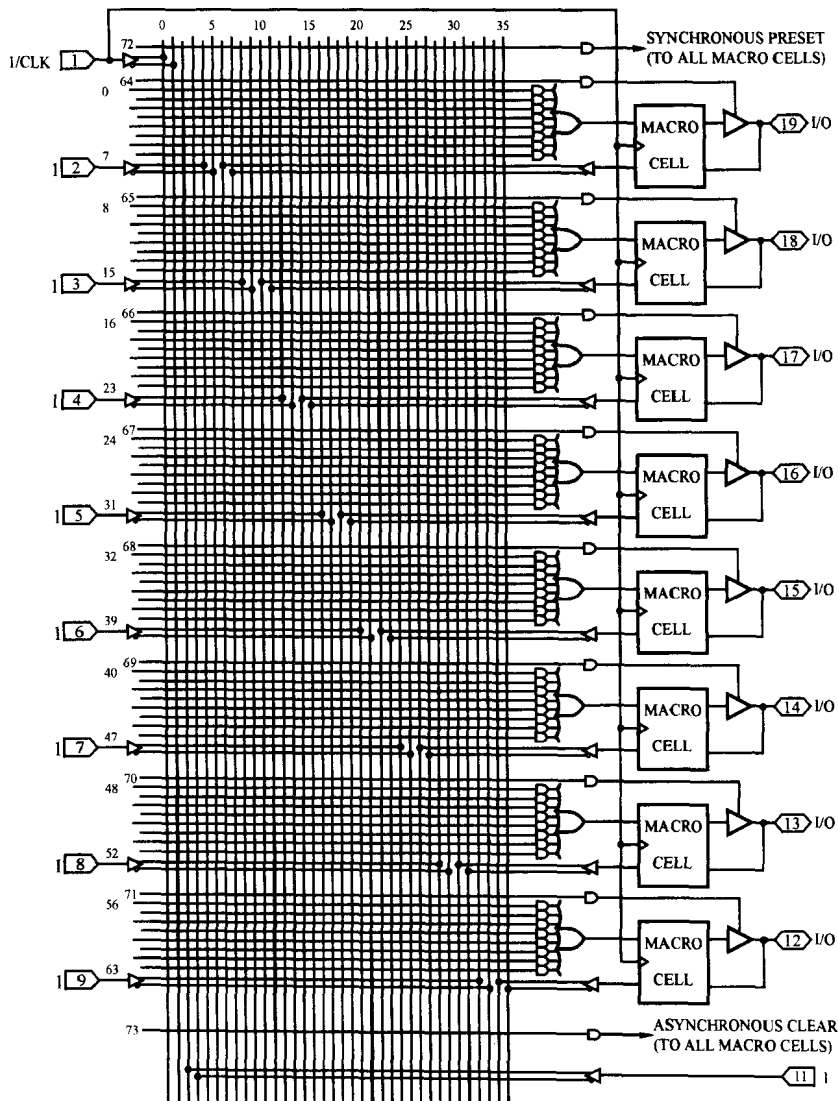


图 1.1 PEEL18CV8 结构图

(摘录自 ICT 公司 PEEL PRODUCTS DATA BOOK)

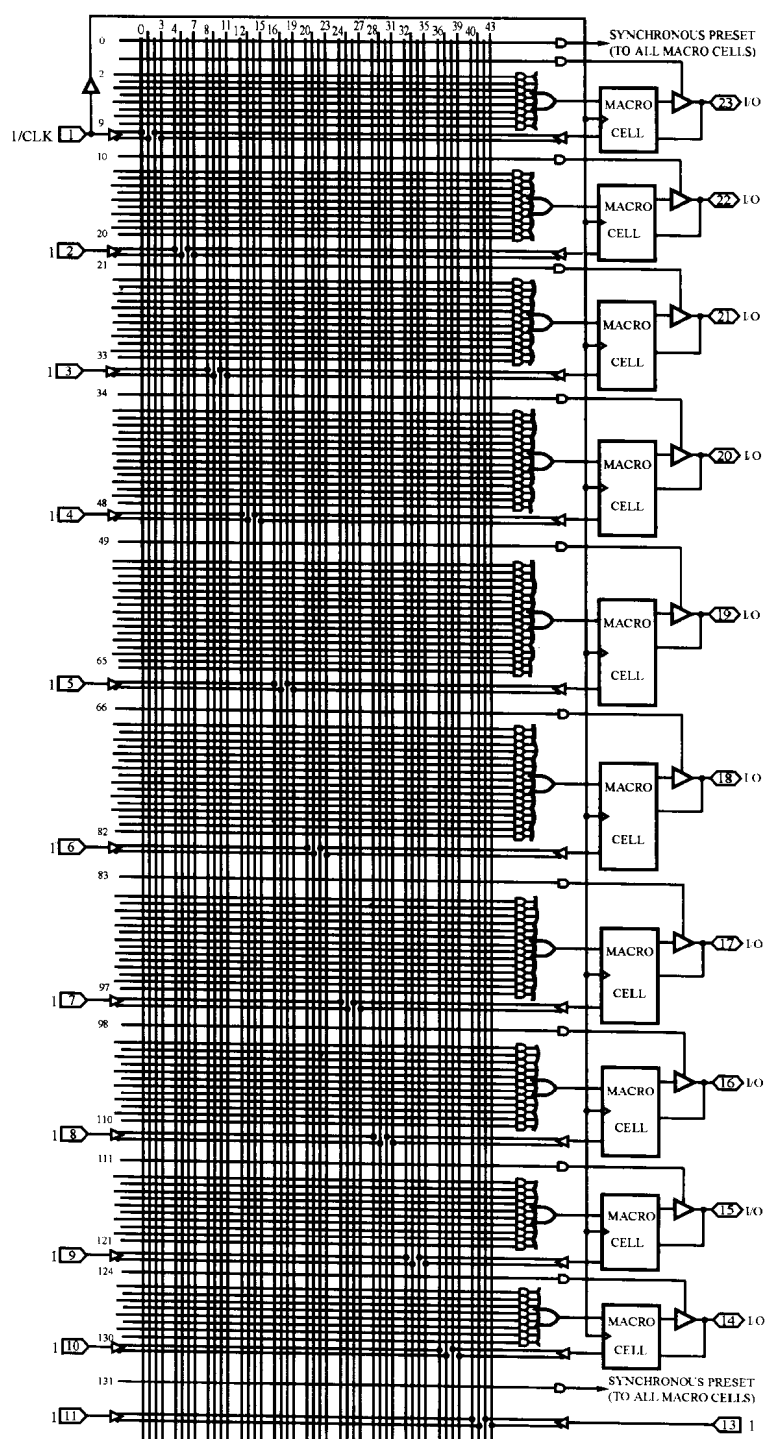


图 1.2 PEEL18CV8 结构图

(摘录自 ICT 公司 PEEL PRODUCTS DATA BOOK)

## 1-2 输入引脚设置及输出引脚

参考图 1.1 的 18CV8 结构图。当 18CV8 设计为时序逻辑电路时，引脚 1 是 CLOCK 的输入引脚，通过此引脚将 CLOCK 送到宏结构（MACRO CELL）内的 D 型触发器；而当 18CV8 设计为组合逻辑电路时，引脚 1 是一般的输入引脚，另外第 2 到第 9 引脚及脚 11 也是担任输入引脚的功能。每一个输入引脚都提供反相和正相信号到逻辑数组（即水平编号 0..35、垂直编号 0..63 的那些线），右边有 AND 的水平线适当连接垂直线可得到一个布尔代数式的积项。编号 0 的水平线连接编号 0、4、8、12 的垂直线（引脚 1、2、3、4 分别用符号 A、B、C、D 表示）可得 ABCD 积项。OR 门主要是将连接水平线的 8 个 AND 门输出经过 OR 后，得到一个布尔代数式。仔细看 18CV8 结构图，我们可以发现共有 8 个 OR 门，每一个 OR 门连接 8 个 AND 门。所以 18CV8 可同时产生 8 个布尔代数式，每一布尔代数式最多可有 8 个积项。

参考图 1.2 所示的 22CV10 的结构图。当 22CV10 设计为时序逻辑电路时，引脚 1 是 CLOCK 的输入引脚，通过此引脚将 CLOCK 送到在宏结构内的 D 型触发器；而当 22CV10 设计为组合逻辑电路时，引脚 1 是一般的输入引脚，另外第 2 到第 11 脚也同样担任输入引脚的功能。每一个输入引脚都提供反相和正相信号到逻辑数组中。22CV10 共有 10 个 OR 门，所以 22CV10 可以同时产生 10 个布尔代数式，其中相对于输出引脚 14、23 的 OR 门可包含 8 个积项，相对于输出引脚 15、22 的 OR 门可包含 10 个积项，相对于输出引脚 16、21 的 OR 门可包含 12 个积项，相对于输出引脚 17、20 的 OR 门可包含 14 个积项，相对于输出引脚 18、19 的 OR 门可包含 16 个积项。

有一个布尔代数式  $F = AB + BC$ ，其中 F 为输出变量，A、B、C 为输入变量。在使用 PEEL 时每一个输出变量对应 PEEL 的一个输出引脚，而每一个输入变量对应 PEEL 的一个输入引脚。在使用输入引脚或输出引脚前必须先赋予该引脚一个合法且惟一的名称。PEEL 程序中设置输入引脚的叙述为：

名称    PIN    输入引脚编号

下面是一些设置输入引脚的例子：

例 1    A    PIN    1

例 2    B    PIN    2

例 3    C    PIN    3

例 1、例 2、例 3 分别赋予 PIN1、PIN2、PIN3 以 A、B、C 名称。

如果引脚 19 取名为 F，则  $F.COM=AB+BC$  为相对于输出引脚 19 的 OR 门的输出（再参照图 1.1 或图 1.2 结构图），而 F 指的是外部接引脚 19。

## 1-3 输出缓冲器

在 PEEL 结构图右边是输出缓冲器，每一个输出缓冲器都有一个使能控制信号。当其使能时，OR 门的输出信号经宏结构送到输出引脚上，否则输出引脚将呈现高阻抗状态。

## 1-4 宏结构的设计

从图 1.1 或图 1.2 结构图可知 OR 门结合一群 AND 门输出而得到的一个布尔代数式（1.2 节的 F.COM），此布尔代数式经宏结构后连到输出引脚上（1.2 节的 F）。图 1.3 为宏结构的内部结构图。输出引脚的信号可以是下列 4 种情形中的一种：

- ◆ 组合逻辑（OR 门）信号经输出缓冲器到输出引脚
- ◆ 组合逻辑（OR 门）信号经输出缓冲器反向到输出引脚
- ◆ 组合逻辑经触发器再经输出缓冲器反向到输出引脚
- ◆ 组合逻辑经触发器再经输出缓冲器到输出引脚

而反馈到逻辑数组的信号可以是下列三种情形中的一种：（1）OR 门信号，（2）触发器信号，（3）输出引脚信号。我们可利用程序将宏结构设计成不同的连接情形。

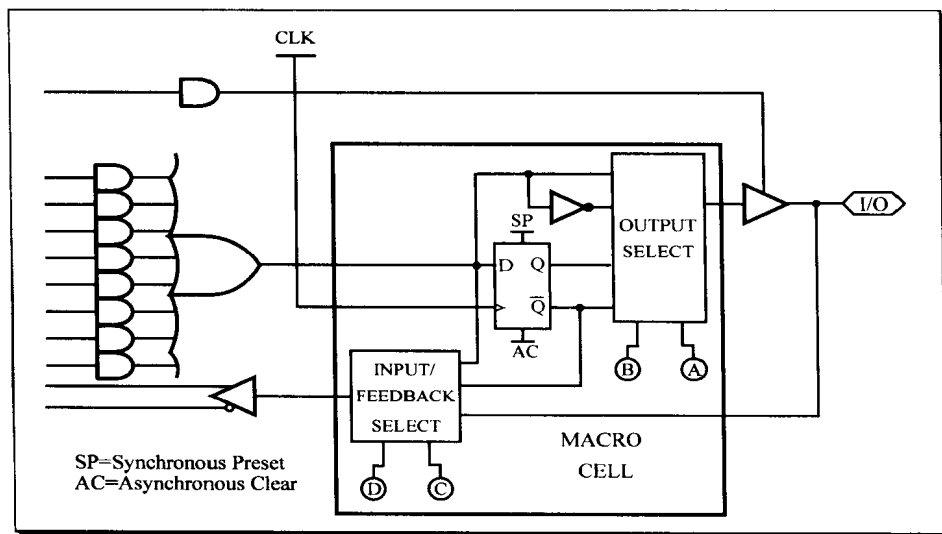


图 1.3 PEEL18CV8 宏结构

（摘录自 ICT 公司 PEEL PRODUCTS DATA BOOK）

在 PEEL 程序中设置宏结构的叙述为：

IOC（输出引脚编号 ‘输出引脚名称’ 输出极性 输出组态 反馈形式）

其中极性有 NEG、POS 两种选择，即控制输出缓冲器是反向（NEG）或正向（POS）。组态有 COM、REG 两种选择，选择组合逻辑（COM）或时序逻辑（REG）。反馈形式可选择回到逻辑数组的信号，有 FEED\_OR、FEED\_REG 和 FEED\_PIN 三种选择。

若输出组态选择 COM，则表示输出引脚选择组合逻辑（OR 门）信号，此时输出引脚可以是 OR 门的反向信号（当输出极性选 NEG）或 OR 门信号（当输出极性选 POS）。若输出组态选择 REG，则表示输出引脚选择时序逻辑信号（OR 门信号经 D 型触发器），此时输出引脚可以是触发器的 Q 信号（当输出极性选 POS）或触发器的/Q 信号（当输出极性选 NEG）。

下面是一些设计宏结构的例子：

## 例1 IOC (19 'K' POS COM FEED\_PIN)

上列的叙述是指给引脚 19 取一名称叫 K，设置宏结构选择 COM（组合逻辑即 OR 门输出）信号，以正向（POS）方式将此信号送到输出引脚，并将输出引脚信号反馈到逻辑数组。图 1.4 是利用上述叙述设计完成的宏结构。

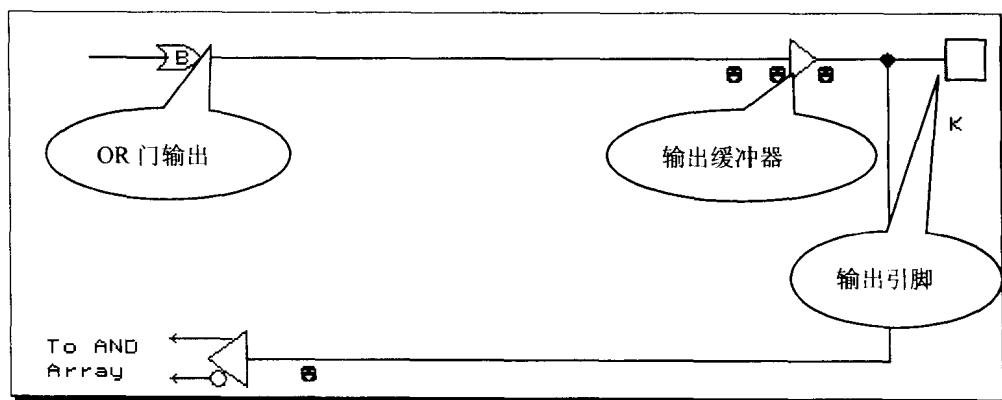


图 1.4 宏结构的设计

## 例2 IOC (18 'FUN1' NEG COM FEED\_PIN)

上列的叙述是给引脚 18 取一名称叫 FUN1，设置宏结构选择 COM（组合逻辑，即 OR 门输出）信号以反向（NEG）方式将此信号反馈到输出引脚，并将输出引脚信号反馈到逻辑数组。

图 1.5 是利用上述叙述设计完成的宏结构。

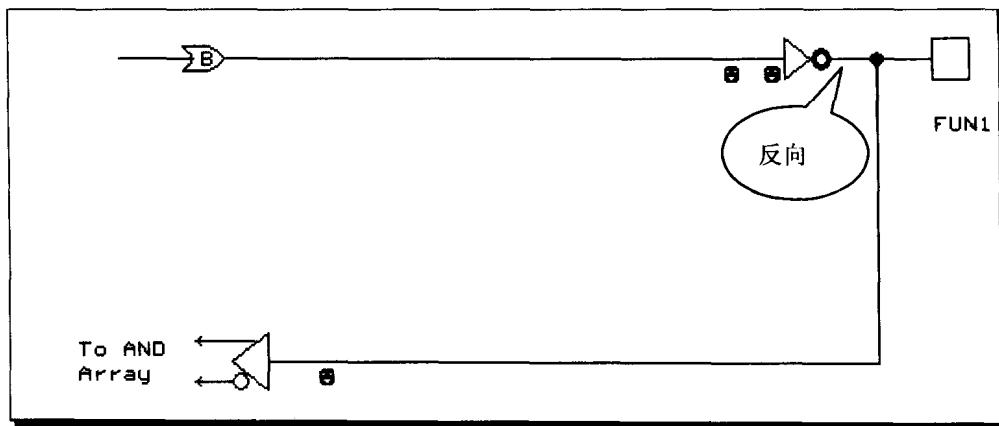


图 1.5 宏结构的设计

### 例3 IOC (17 'OUT1' POS REG FEED\_PIN)

因为输出组态选择了触发器 (REG) 形式, 所以要使触发器能正常动作必须加入 CLOCK, 此时 PEEL 第一脚作为 CLOCK 输入引脚而不再是一般的输入引脚了。上列叙述的意义是给引脚 17 取一名称叫 OUT1, 设置宏结构选择触发器 (REG) 信号, 当第一脚 CLOCK 输入引脚有“LO”到“HI”变化时, 将 OR 门输出信号经 D 型触发器以正向 (POS) 方式送到输出引脚。在上列叙述中反馈选择 FEED\_PIN, 所以输出引脚信号将反馈到逻辑数组。在做时序逻辑设计时, 通常会将输出引脚信号 (现在状态) 直接或通过逻辑门连接到触发器输入端。图 1.6 是利用上述叙述实际完成的宏结构。

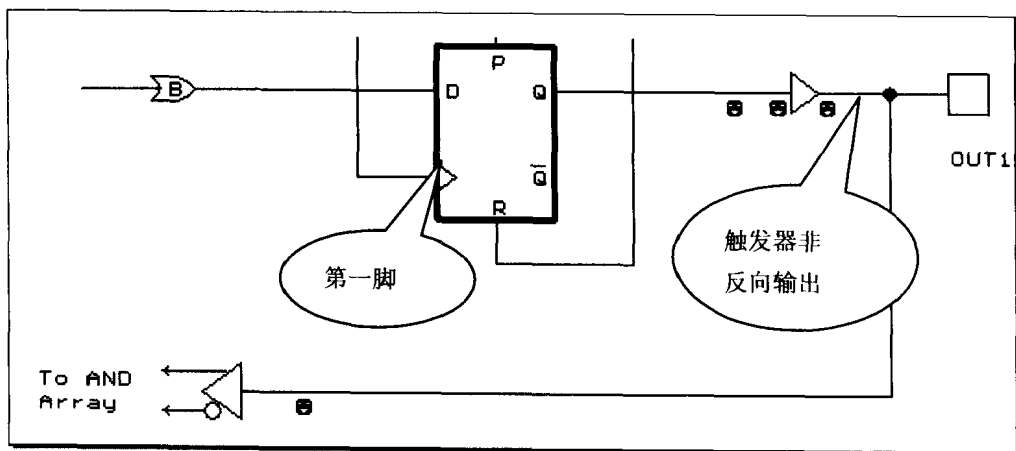


图 1.6 宏结构的设计

### 例4 IOC (16 'OUT2' NEG REG FEED\_PIN)

因为组态选择了触发器 (REG) 形式, 所以要使触发器能正常动作必须加入 CLOCK, 此时 PEEL 第一脚作为 CLOCK 输入引脚而不再是一般的输入引脚了。上列叙述的意义是给引脚 16 取一名称叫 OUT2, 设计宏结构选择触发器 (REG) 信号, 当第一脚 CLOCK 输入引脚有“LO”到“HI”变化时, 将 OR 门输出信号经 D 型触发器 (Q) 以反向 (NEG,