

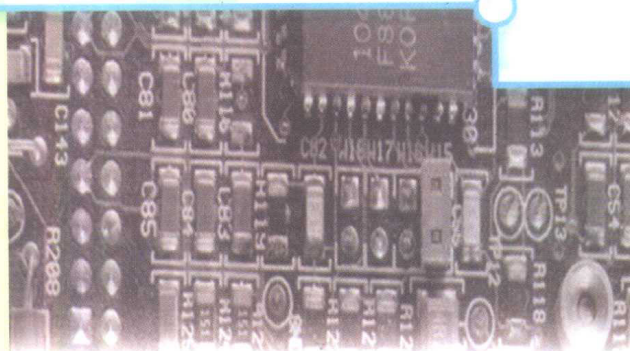
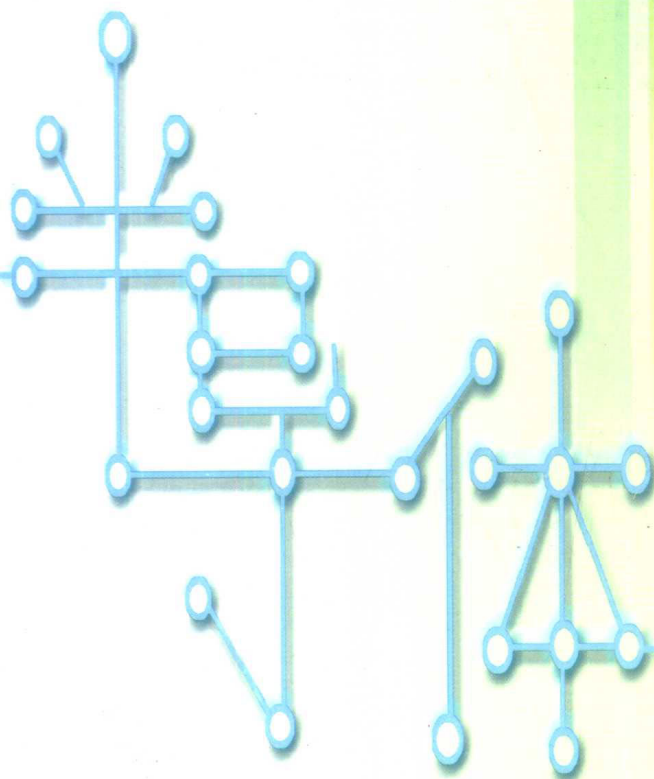
高等学校
电子信息类 规划教材



清华大学
电子与信息技术系列教材

半导体集成电路

朱正涌 编著



清华大学出版社
<http://www.tup.tsinghua.edu.cn>

高等学校电子信息类规划教材
清华大学电子与信息技术系列教材

半导体集成电路

朱正涌 编著

清华大学出版社

(京)新登字 158 号

内 容 简 介

本书全面介绍了半导体集成电路的分析与设计方法。全书共分为 4 个部分,第 1 部分(第 1~3 章)介绍了集成电路的典型工艺、集成电路中元器件的结构、特性及寄生效应。第 2 部分(第 4~11 章)为数字集成电路,讨论了常用的双极和 MOS 集成电路的电路结构、工作原理和版图形式。第 3 部分(第 12~16 章)为模拟集成电路,介绍了模拟集成电路中的基本单元电路及常用的模拟集成电路,如集成运算放大器、集成稳压电源电路及开关电容电路、A/D、D/A 变换电路等。第 4 部分(第 17~22 章)为集成电路设计,举例介绍了集成电路的设计方法和集成电路的计算机辅助设计,其中重点论述了集成电路的版图设计以及集成电路的可靠性设计和可测性设计。每章后面都附有习题。

本书可作为大专院校微电子学和半导体专业本科生的教材,也可供有关专业的本科生、研究生以及工程技术人员阅读参考。

图书在版编目(CIP)数据

半导体集成电路/朱正涌编著. —北京:清华大学出版社,2001

清华大学电子与信息技术系列教材

ISBN 7-302-04085-0

I. 半… II. 朱… III. 半导体集成电路-高等学校-教材 IV. TN43

中国版本图书馆 CIP 数据核字 (2000) 第 75430 号

出版者: 清华大学出版社(北京清华大学学研大厦,邮编 100084)

<http://www.tup.tsinghua.edu.cn>

印刷者: 北京市密云胶印厂

发行者: 新华书店总店北京发行所

开 本: 787×1092 1/16 印张: 27.5 字数: 653 千字

版 次: 2001 年 1 月第 1 版 2001 年 5 月第 2 次印刷

书 号: ISBN 7-302-04085-0/TN·115

印 数: 3001~6000

定 价: 29.80 元

前 言

本教材系按“1996—2000 年全国电子信息类专业教材编审出版规划”，由“全国高校微电子技术专业教学指导委员会”编审推荐出版。责任编委为陈建新教授。

清华大学微电子学研究所张建人与贾松良教授于 1987 年分别出版了《MOS 集成电路分析与设计基础》(张建人编著,电子工业出版社出版)和《双极集成电路分析与设计基础》(贾松良编著,电子工业出版社出版)两本书,作为清华大学微电子学专业本科生 MOS 集成电路和双极集成电路两门课程的教材。1992 年开始,为适应教学改革的需要,我们决定把这两门课程合并为一门,以精简学时,减少不必要的重复。我们在这两本教材的基础上于 1995 年改编为“集成电路分析与设计”讲义,同时在体系和内容上作了较大的变动,并对元器件和单元电路的版图结构、集成电路的版图设计以及可靠性设计和可测性设计方面作了较多的补充,以反映微电子技术近年来的飞速发展。

本书是在上述讲义的基础上改编而成的,改编时结合本所多年来在教学、科研和科技开发中的一些成果,增加了部分新内容,使教材内容更实用、具体和生动。

本书共分 4 部分,第 1 部分(第 1~3 章)为基础知识,主要介绍双极集成电路、MOS 集成电路和 Bi-CMOS 电路的典型制造工艺,各制造工艺生成的集成电路元器件的结构,集成电路元器件的形成过程,元器件的特性及其寄生效应等,作为了解后续部分章节的基础。第 2 部分(第 4~11 章)介绍双极和 MOS 数字集成电路(包括双极 TTL、ECL 和 I^2L 电路,各种 MOS 和 CMOS 数字电路)的特性以及分析方法,各种逻辑系列之间的电平转换电路,使读者对各种电路的特点及适用的场合有一个基本的了解,以便在实际工作中能选用合适的电路。第 3 部分(第 12~16 章)介绍模拟集成电路,首先介绍模拟集成电路中的基本单元电路,如各种放大电路、有源负载、恒流源电路、电压源电路、电平位移电路、双端输出变单端输出电路、输出级及其保护电路等。这些常用的单元电路是分析各种模拟集成电路的基础。接着介绍集成运算放大器、集成稳压电源电路及开关电容电路、A/D、D/A 变换电路等几种常用的模拟集成电路。第 4 部分(第 17~22 章)专门介绍集成电路设计,即如何实现设计目标。首先介绍了集成电路的版图设计规则,给出了双极集成电路和 MOS 集成电路版图设计规则的部分图例。接着,以 74HC139 MOS 集成电路和 5JZ12 双极集成电路为例,详细介绍集成电路正向设计的全过程。然后,以 74HC193 MOS 集成电路为例,介绍如何进行 MOS 集成电路的芯片解剖。此外,还介绍如何识别双极集成电路的版图。此后又详细介绍集成电路的各种设计方法,比较各种设计方法的优缺点,并对集成电路的可靠性设计和可测性设计进行了专门的介绍。最后介绍集成电路计算机辅助设计中常用的一些工具以及计算机辅助设计的过程,并对 VHDL 做了简介。

本书取材内容兼顾了基础知识和集成电路的最新发展(如集成电路的可靠性、可测性设计,VHDL等),并重点介绍集成电路设计特别是版图设计。因此在本书中用了较多的篇幅来描述元器件的结构图、版图,分析各种元器件的特性及寄生效应以及怎样减小寄生效应,并且以具体产品为例,介绍集成电路的正向设计和逆向设计,使读者对集成电路的内涵及集成电路的分析、设计方法有所了解,为分析和设计集成电路打下基础。

本书由成都电子科技大学张开华教授主审,他对原稿提出了许多宝贵的修改意见。在本书的编写过程中,引用了前述两本教材的部分内容,第20章主要参考了杨之廉教授编写的《超大规模集成电路设计的方法学导论》^[9],编者向他们深表谢意。此外,张蓬同志为书稿绘制了原稿的部分插图,贺祥庆、褚彤同志编写了部分习题,宋文忠和朱元红同志为原书稿的录入做了大量的工作。编者向他们表示衷心的感谢。

由于集成电路的发展非常迅速,加上作者的水平有限,书中定有不少不足和错误,热诚欢迎读者批评指正。

编 者

2000年8月于清华园

目 录

第 1 章 集成电路的基本制造工艺	1
1.1 双极集成电路的基本制造工艺	1
1.1.1 典型的双极集成电路工艺	1
1.1.2 双极集成电路中元件的形成过程和元件结构	2
1.2 MOS 集成电路的基本制造工艺	5
1.2.1 N 沟硅栅 E/D MOS 集成电路工艺	6
1.2.2 CMOS 集成电路工艺	7
1.3 Bi-CMOS 工艺	11
1.3.1 以 CMOS 工艺为基础的 Bi-CMOS 工艺	11
1.3.2 以双极工艺为基础的 Bi-CMOS 工艺	12
复习思考题	14
第 2 章 集成电路中的晶体管及其寄生效应	16
2.1 理想本征集成双极晶体管的埃伯斯-莫尔(EM)模型	16
2.2 集成双极晶体管的有源寄生效应	18
2.2.1 NPN 管工作于正向工作区和截止区的情况	18
2.2.2 NPN 管工作于反向工作区的情况	18
2.2.3 NPN 管工作于饱和区的情况	19
2.3 集成双极晶体管的无源寄生效应	20
2.3.1 集成 NPN 晶体管中的寄生电阻	20
2.3.2 集成 NPN 晶体管中的寄生电容	25
2.4 集成电路中的 PNP 管	28
2.4.1 横向 PNP 管	28
2.4.2 衬底 PNP 管	33
2.4.3 自由集电极纵向 PNP 管	34
2.5 集成二极管	35
2.5.1 一般集成二极管	35
2.5.2 集成齐纳二极管和次表面齐纳管	36
2.6 肖特基势垒二极管(SBD)和肖特基箝位晶体管(SCT)	37
2.6.1 肖特基势垒二极管	37

2.6.2	肖特基箝位晶体管	38
2.6.3	SBD 和 SCT 的设计	40
2.7	MOS 集成电路中的有源寄生效应	40
2.7.1	场区寄生 MOSFET	41
2.7.2	寄生双极型晶体管	41
2.7.3	寄生 PNP 效应	42
2.8	集成电路中的 MOS 晶体管模型	45
2.8.1	MOS1 模型	45
2.8.2	MOS2 模型	47
2.8.3	MOS3 模型	47
	复习思考题	48
第 3 章	集成电路中的无源元件	50
3.1	集成电阻器	50
3.1.1	基区扩散电阻	50
3.1.2	其他常用的集成电阻器	55
3.1.3	MOS 集成电路中常用的电阻	59
3.2	集成电容器	60
3.2.1	双极集成电路中常用的集成电容器	60
3.2.2	MOS 集成电路中常用的 MOS 电容器	62
3.3	互连(内连线)	63
3.3.1	金属膜互连	63
3.3.2	扩散区连线	64
3.3.3	多晶硅连线	64
3.3.4	交叉连线	64
	复习思考题	65
第 4 章	晶体管-晶体管逻辑(TTL)电路	67
4.1	一般的 TTL 与非门	67
4.1.1	标准 TTL 与非门(四管单元)	67
4.1.2	54H/74H 五管单元与非门	68
4.1.3	六管单元与非门	69
4.2	STTL 和 LSTTL 电路	70
4.2.1	六管单元 STTL 与非门电路	70
4.2.2	低功耗肖特基 TTL(LSTTL)电路	71
4.3	LSTTL 门电路的逻辑扩展	72
4.3.1	OC 门	72
4.3.2	三态逻辑(TSL)门	74

4.4	ASTTL 和 ALSTTL 电路	75
4.5	中、大规模集成电路中的简化逻辑门	77
4.5.1	简化逻辑门	77
4.5.2	单管逻辑门	78
4.6	LSTTL 电路的版图设计	82
	复习思考题	83
第 5 章	发射极耦合逻辑(ECL)电路	89
5.1	ECL 门电路的工作原理	89
5.1.1	射极耦合电流开关	90
5.1.2	射极输出器	90
5.1.3	参考电压源	91
5.2	ECL 电路的逻辑扩展	92
5.3	ECL 电路的版图设计特点	93
5.3.1	划分隔离区	93
5.3.2	元器件的设计	93
5.3.3	布局布线	95
	复习思考题	96
第 6 章	集成注入逻辑(I²L)电路	99
6.1	I ² L 电路基本单元的结构	99
6.2	I ² L 基本单元电路的工作原理	100
6.2.1	当前级的输出为 1 态时的情况	100
6.2.2	当前级的输出为 0 态时的情况	100
6.3	I ² L 电路分析	101
6.3.1	I ² L 电路中的器件分析	101
6.3.2	I ² L 电路分析	103
6.4	I ² L 电路的逻辑组合	105
6.5	I ² L 电路的工艺与版图设计	105
6.5.1	I ² L 电路的工艺设计	105
6.5.2	I ² L 电路的版图设计	107
	复习思考题	111
第 7 章	MOS 反相器	113
7.1	自举反相器	113
7.2	耗尽负载反相器(E/D 反相器)	115
7.3	CMOS 反相器	116
7.3.1	CMOS 反相器的直流特性	116

7.3.2	噪声容限	119
7.3.3	开关特性	120
7.3.4	功耗	123
7.4	静态内部反相器的设计	125
7.4.1	有比反相器的设计	125
7.4.2	CMOS 反相器的设计	126
7.5	动态反相器	126
7.5.1	动态有比反相器	126
7.5.2	动态无比反相器	127
7.5.3	漏举电路	128
7.6	按比例缩小理论	129
7.6.1	器件和引线按 CE 理论缩小的规则	129
7.6.2	按比例缩小的 CV 理论	131
7.6.3	按比例缩小的 QCV 理论	132
	复习思考题	133
第 8 章	MOS 基本逻辑单元	135
8.1	NMOS 逻辑结构	135
8.1.1	NMOS 或非门电路	135
8.1.2	NMOS 与非门电路	137
8.1.3	NMOS 组合逻辑电路	139
8.2	CMOS 逻辑结构	140
8.2.1	CMOS 互补逻辑	140
8.2.2	伪 NMOS 逻辑	141
8.2.3	动态 CMOS 逻辑	142
8.2.4	钟控 CMOS 逻辑	145
8.2.5	CMOS 多米诺逻辑	146
8.3	级联级的负载	147
8.4	影响门的电气和物理结构设计的因素	148
8.4.1	MOS 管的串联和并联	148
8.4.2	衬偏调制效应	149
8.4.3	源漏电容	149
8.4.4	电荷的再分配	151
8.5	各种逻辑类型的比较	152
8.6	传输门逻辑	152
8.7	RS 触发器	154
8.7.1	NMOS RS 触发器	154
8.7.2	CMOS RS 触发器	156

8.8	时钟脉冲控制触发器	157
8.8.1	NMOS 结构的时钟脉冲控制触发器	157
8.8.2	CMOS 结构的时钟脉冲控制触发器	158
8.9	D 触发器	159
8.9.1	NMOS D 触发器	159
8.9.2	CMOS D 触发器	159
8.10	施密特触发器	161
	复习思考题	164
第 9 章	MOS 逻辑功能部件	166
9.1	多路开关	166
9.2	加法和进位链	167
9.2.1	组合逻辑加法器	168
9.2.2	传输门加法器	169
9.2.3	进位链	170
9.3	算术逻辑单元	172
9.3.1	以 E/D NMOS 反相器为主体的算术逻辑单元	172
9.3.2	以传输门为主体的算术逻辑单元	174
9.4	寄存器	175
9.4.1	双港寄存器	175
9.4.2	移位寄存器	176
9.4.3	堆栈移位寄存器	177
9.4.4	动态移位寄存器	178
	复习思考题	180
第 10 章	存储器	182
10.1	存储器的结构	183
10.2	掩模编程 ROM	184
10.3	现场可编程 ROM (PROM)	187
10.4	可擦除可编程 ROM (EPROM)	189
10.5	电可擦除可编程 ROM (E ² PROM)	190
10.5.1	TEE8502 的总体结构和工作模式	190
10.5.2	存储单元和存储矩阵	194
10.5.3	外围电路	195
10.6	静态随机存取存储器 (SRAM)	207
10.7	动态随机存取存储器 (DRAM)	216
	复习思考题	219

第 11 章 接口电路	220
11.1 双极逻辑系列间的接口电路	220
11.1.1 ECL 和 TTL 之间的接口电路	220
11.1.2 I ² L 和 TTL 之间的接口电路	224
11.2 TTL 和 MOS 逻辑系列间的接口电路	228
11.2.1 TTL 到 CMOS 的接口电路	228
11.2.2 CMOS 到 TTL 的接口电路	228
11.2.3 E/D NMOS 与 TTL 之间的接口电路	229
复习思考题	229
第 12 章 模拟集成电路中的基本单元电路	231
12.1 单管、复合器件及双管放大级	231
12.1.1 双极晶体管复合器件及双管放大级	231
12.1.2 MOS 管放大级	235
12.2 恒流源电路	239
12.2.1 精密匹配电流源	239
12.2.2 PNP 恒流源	240
12.3 偏置电压源和基准电压源电路	241
12.3.1 双极型三管能隙基准源	241
12.3.2 双极型二管能隙基准源	243
12.3.3 E/D NMOS 基准电压源	244
12.3.4 CMOS 基准电压源	247
复习思考题	249
第 13 章 集成运算放大器	253
13.1 运算放大器的输入级	253
13.1.1 双极晶体管射耦对差分输入级	254
13.1.2 MOS 源耦对差分输入级	256
13.2 输出级电路	259
13.2.1 双极型输出级电路	259
13.2.2 MOS 输出级电路	260
13.3 双极型集成运算放大器	263
13.3.1 741 型通用集成运放	263
13.3.2 其他特殊运放	264
13.4 MOS 集成运算放大器	266
13.4.1 MOS 集成运放的特点	266
13.4.2 E/D NMOS 集成运放	267
13.4.3 全增强型 NMOS 集成运放	272

13.4.4	CMOS 集成运放	273
13.5	集成运算放大器的版图设计	278
13.5.1	双极型集成运放的版图设计	278
13.5.2	MOS 集成运放的版图设计	282
	复习思考题	285
第 14 章	MOS 开关电容电路	291
14.1	开关电容等效电阻电路	291
14.1.1	并联型开关电容等效电阻电路	291
14.1.2	串联型开关电容等效电阻电路	293
14.2	开关电容积分器	293
14.3	开关电容低通滤波器	295
	复习思考题	296
第 15 章	集成稳压器	298
15.1	集成稳压器的基本结构	298
15.2	启动电路	299
15.2.1	JFET 启动电路	299
15.2.2	晶体管隔离启动电路	300
15.3	保护电路	300
15.3.1	调整管的过流及安全工作区保护	300
15.3.2	过热保护	302
15.4	三端固定输出电压式稳压电源	303
15.4.1	启动电路	304
15.4.2	保护电路	305
15.4.3	基准电压源和误差放大器	305
15.4.4	取样电阻	306
15.5	集成稳压器的版图设计	306
15.5.1	调整管的版图设计	306
15.5.2	集成稳压器版图设计的热对称考虑	309
	复习思考题	310
第 16 章	D/A, A/D 变换器	311
16.1	D/A 变换器的基本原理	311
16.2	D/A 变换器的基本类型	313
16.2.1	电流定标 D/A 变换器	314
16.2.2	电压定标 D/A 变换器	315
16.2.3	电荷定标 D/A 变换器	316

16.3	A/D 变换器的变换原理	317
16.3.1	A/D 变换器的方框图	318
16.3.2	主要变换误差	319
16.4	A/D 变换器的基本类型	321
16.4.1	积分型 A/D 变换器	321
16.4.2	逐次逼近式 A/D 变换器	324
	复习思考题	326
第 17 章	集成电路设计概述	329
	复习思考题	335
第 18 章	集成电路的正向设计	336
18.1	MOS 集成电路的正向设计	336
18.1.1	74HC139 电路简介	336
18.1.2	电路设计	337
18.1.3	工程估算	343
18.1.4	电路模拟	347
18.1.5	版图设计	349
18.1.6	版图检查	350
18.2	双极型集成电路的正向设计	351
18.2.1	双极型集成电路设计的特点	351
18.2.2	双极型集成电路中元件的图形设计	351
18.2.3	双极型集成电路的版图设计原则	355
18.2.4	双极型集成电路版图设计举例	357
	复习思考题	362
第 19 章	集成电路的芯片解剖	363
19.1	MOS 集成电路的芯片解剖	363
19.1.1	74HC193 芯片概况	363
19.1.2	芯片解剖过程	364
19.1.3	电路分析	365
19.1.4	逻辑功能的分析	367
19.1.5	版图设计规则的分析	372
19.1.6	抑制 Latch-up 效应的措施	374
19.1.7	版图的布局布线	375
19.2	双极型集成电路的芯片解剖	376
	复习思考题	377

第 20 章 集成电路设计方法	382
20.1 全定制设计方法	382
20.2 符号法版图设计	382
20.3 半定制设计方法	384
20.3.1 标准单元设计法	384
20.3.2 门阵列设计方法	385
20.4 可编程逻辑器件(PLD)设计法	389
20.5 现场可编程门阵列(FPGA)设计法	392
复习思考题	394
第 21 章 集成电路的可靠性设计和可测性设计简介	395
21.1 可靠性设计	395
21.1.1 集成电路的固有可靠性	395
21.1.2 电路设计中提高可靠性的措施	397
21.1.3 版图设计中提高可靠性的措施	401
21.1.4 工艺设计中提高可靠性的措施	403
21.2 可测性设计	404
21.2.1 可测性设计的重要性	404
21.2.2 可测性设计简介	405
复习思考题	407
第 22 章 集成电路的计算机辅助设计简介	408
22.1 概述	408
22.2 集成电路 CAD 中常用的工具简介	410
22.2.1 器件模拟	410
22.2.2 电路模拟	411
22.2.3 逻辑模拟	413
22.2.4 版图设计阶段	416
22.3 VHDL 简介	416
22.3.1 VHDL 术语	417
22.3.2 VHDL 的主体结构	417
22.3.3 VHDL 描述举例	420
复习思考题	424
主要参考文献	245

第1章 集成电路的基本制造工艺

1.1 双极集成电路的基本制造工艺

1.1.1 典型的双极集成电路工艺

双极集成电路的基本制造工艺,可粗略地分为两类:一类为在元器件间要做电隔离区。隔离的方法有多种,如PN结隔离,全介质隔离及PN结-介质混合隔离等。采用这种制造工艺的双极集成电路如线性/ECL, TTL/DTL, STTL 电路,这三种电路的制造工艺基本相同,其中线性/ECL 比 TTL 电路少掺金工序,STTL 电路工艺虽不掺金,但多了制作肖特基势垒二极管(SBD)的工序。另一类为元器件间自然隔离。I²L 电路采用了这种制造工艺,其具体工艺将在第6章中介绍。

下面,以典型的PN结隔离的掺金TTL电路工艺为代表,来介绍双极集成电路的工艺和设计。

典型的PN结隔离的掺金TTL电路工艺流程如图1.1所示,因为每次光刻后,氧化、扩散前都要进行化学清洗,所以总的工序约40道左右。图中只列出了主要的工序,没有列出化学清洗及中测以后的工序,如裂片、压焊、封装等后工序,但我们对后工序要有足够的重视,因为后工序所占的成本比例较大,对产品成品率的影响也较大。

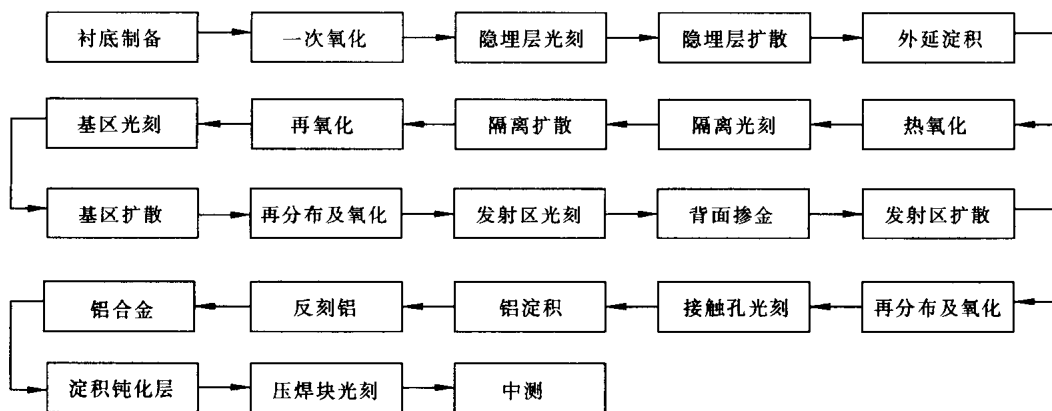


图 1.1 典型的 PN 结隔离的掺金 TTL 电路工艺流程

1.1.2 双极集成电路中元件的形成过程和元件结构

由典型的PN结隔离的掺金TTL电路工艺制作的集成电路中的晶体管的剖面图如图1.2所示,它基本上由表面图形(由光刻掩模决定)和杂质浓度分布决定。下面结合主要工艺流程来介绍双极型集成电路中元器件的形成过程及其结构。

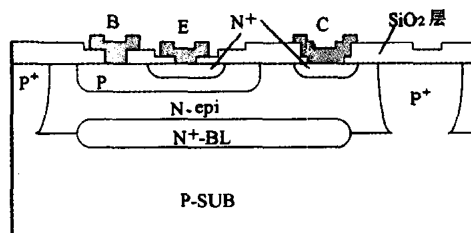


图 1.2 典型数字集成电路中 NPN 晶体管剖面图

1. 衬底选择

对于典型的PN结隔离双极集成电路来说,衬底一般选用P型硅。为了提高隔离结的击穿电压而又不使外延层在后续工艺中下推太多,衬底电阻率选 $\rho \approx 10 \Omega \cdot \text{cm}$ 。为了获得良好的PN结面,减少外延层的缺陷,选用(111)晶向,稍偏离 2° 到 5° 。

2. 第一次光刻——N⁺隐埋层扩散孔光刻

第一次光刻(即光I)的掩模版图形及隐埋层扩散后的芯片剖面图如图1.3所示。由于集成电路中的晶体管是三结四层结构,集成电路中各元件的端点都从上表面引出,并在上表面实现互连,为了减小晶体管集电极的串联电阻,减小寄生PNP管的影响,在制作元器件的外延层和衬底之间需要作N⁺隐埋层。隐埋层杂质的选择原则是:①杂质固溶度大,以使集电极串联电阻降低;②高温时在硅中的扩散系数要小,以减小外延时埋层杂质上推到外延层的距离;③与硅衬底的晶格匹配好,以减小应力。因此最理想的隐埋层杂质是砷(As)。

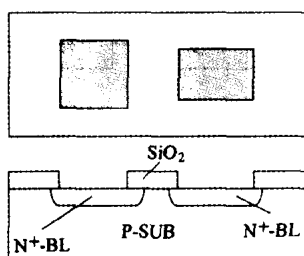


图 1.3 第一次光刻的掩模版图形及隐埋层扩散后的芯片剖面

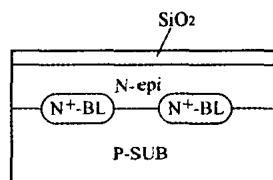


图 1.4 外延层淀积后的芯片剖面

3. 外延层淀积

外延层淀积后的芯片剖面图如图1.4所示。外延层淀积时应考虑的设计参数主要是外延层电阻率 ρ_{epi} 和外延层厚度 T_{epi} 。为了使结电容 C_{js} 、 C_{jc} 小,击穿电压 BV_{CBO} 高,以及在

以后的热处理过程中外延层下推的距离小, ρ_{epi} 应选得高一些; 为了使集电极串联电阻 r_{CS} 小和饱和压降 V_{CES} 小, 又希望 ρ_{epi} 低一些。这两者是矛盾的, 需加以折衷。对于 TTL 电路来说, 电源电压 $V_{\text{CC}} = 5\text{V}$, 所以对 BV_{CBO} 的要求不高, 但对 r_{CS} , V_{CES} 的要求高, 所以可以选取 $\rho_{\text{epi}} \approx 0.2\Omega \cdot \text{cm}$, 相应的厚度也较小, $T_{\text{epi}} = 3 \sim 7\mu\text{m}$; 而对于模拟电路来说, 主要考虑工作电压, 工作电压越高, ρ_{epi} 也应选得越高, 相应地 T_{epi} 也较大, 一般模拟电路的外延层电阻率 $\rho_{\text{epi}} = 0.5 \sim 5\Omega \cdot \text{cm}$, 厚度 T_{epi} 为 $7 \sim 17\mu\text{m}$ 。外延层厚度 T_{epi} 应满足

$$T_{\text{epi}} > x_{\text{JC}} + x_{\text{mC}} + T_{\text{BL-up}} + t_{\text{epi-ox}}$$

式中: x_{JC} 为基区扩散的结深;

x_{mC} 为集电结耗尽区的宽度;

$T_{\text{BL-up}}$ 为隐埋层上推的距离;

$t_{\text{epi-ox}}$ 为外延淀积后各道工序生成的氧化层所消耗的外延层厚度。

4. 第二次光刻—— P^+ 隔离扩散孔光刻

隔离扩散的目的是在硅衬底上形成许多孤立的外延层岛, 以实现各元件间的电绝缘。实现隔离的方法很多, 有反偏 PN 结隔离、介质隔离、PN 结-介质混合隔离等。各种隔离方法各有优缺点。由于反偏 PN 结隔离的工艺简单, 与元件制作工艺基本相容, 成为目前最常用的隔离方法, 但此方法的隔离扩散温度高 ($T = 1175^\circ\text{C}$), 时间长 ($t = 2.5 \sim 3\text{h}$), 结深可达 $5 \sim 7\mu\text{m}$, 所以外推较大。此工艺称为标准隐埋集电极 (standard buried collector, SBC) 隔离工艺。在集成电路中, P 型衬底接最负电位, 以使隔离结处于反偏, 达到各岛间电绝缘的目的。

隔离扩散孔的掩模版图形及隔离扩散后的芯片剖面, 如图 1.5 所示。

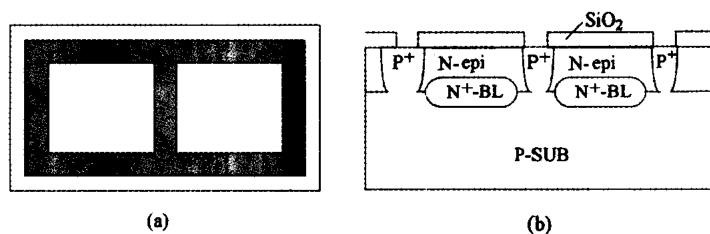


图 1.5 隔离扩散

(a) 隔离扩散孔的掩模版图形(阴影区); (b) 隔离扩散后硅片剖面图

5. 第三次光刻——P 型基区扩散孔光刻

此次光刻决定 NPN 管的基区以及基区扩散电阻的图形。基区扩散孔的掩模版图形及基区扩散后的芯片剖面, 如图 1.6 所示。

6. 第四次光刻—— N^+ 发射区扩散孔光刻

此次光刻还包括集电极和 N 型电阻的接触孔, 以及外延层的反偏孔。由于 Al 和 N-Si 的接触, 只有当 N 型硅的杂质浓度 $N_{\text{D}} \geq 10^{19}\text{cm}^{-3}$ 时, 才能形成欧姆接触, 所以必须进行集电极接触孔 N^+ 扩散。

此次光刻版的掩模图形和 N^+ 发射区扩散后的芯片剖面如图 1.7 所示。