



面向 21 世纪 课程 教材
Textbook Series for 21st Century

Pentium 系列 微型计算机 原理与接口技术

艾德才 主编



高等教育出版社
HIGHER EDUCATION PRESS

内容提要

本书是教育部“高等教育面向 21 世纪教学内容和课程体系改革计划”的研究成果,是面向 21 世纪课程教材,是由工科计算机基础课程教学指导委员会组织编写的“九五”规划教材。

本书以 32 位微处理机 Pentium 为平台,把 Pentium 微处理机的体系机构、存储管理、高速缓冲存储器 Cache、浮点部件、总线、中断、接口部件、多功能高集成外围芯片 82371、82443、数模转换、模数转换、汇编程序设计语言等基本内容融为一体,形成一个完整的、系统的计算机硬件技术教学内容体系,可以使学生在学习硬件技术基础时更加自然顺畅。

本书内容丰富新颖,反映了微处理机领域技术发展的最新水平与趋势,并体现计算机硬件技术知识性与先进性的统一。每章之后均配有习题,供自学自测用。本书可作为高等学校计算机、电子信息类有关专业微机原理、计算机硬件技术基础课程的教材或参考书。

图书在版编目(CIP)数据

Pentium 系列微型计算机原理与接口技术/艾德才主
编. —北京:高等教育出版社, 2001

ISBN 7-04-007925-9

I. P… II. 艾… III. ①微型计算机, Pentium 系列—理
论②微型计算机, Pentium 系列—接口—技术 IV. TP36

中国版本图书馆 CIP 数据核字(2000)第 77553 号

Pentium 系列微型计算机原理与接口技术

艾德才 主编

出版发行 高等教育出版社

社 址 北京市东城区沙滩后街 55 号

电 话 010-64054588

网 址 <http://www.hep.edu.cn>

<http://www.hep.com.cn>

邮政编码 100009

传 真 010-64014048

经 销 新华书店北京发行所

印 刷 中国科学院印刷厂

开 本 787×960 1/16

印 张 30.25

字 数 560 000

版 次 2001 年 1 月第 1 版

印 次 2001 年 1 月第 1 次印刷

定 价 25.30 元

本书如有缺页、倒页、脱页等质量问题,请到所购图书销售部门联系调换。

版权所有 侵权必究

教育部工科计算机基础课程系列教材

出版说明

为尽快实现国家教育部提出的计算机基础教学的基本目标,达到三个层次的教学基本要求,促进计算机基础教学水平上一个新台阶,教育部工科计算机课程教学指导委员会组织部分高等院校,在深入研究、探索和实践的基础上,并结合教育部“高等教育面向 21 世纪教学内容和课程体系改革”立项课题的研究,编写了相应的示范性教材,其中许多教材配有 CAI 课件。

这套系列教材主要是根据我国当前教学改革和建设的需要,按照三个层次的课程体系确定的。

第一层次:计算机文化基础。主要结合当今信息社会的文化背景学习计算机基本知识及基本操作技能。

第二层次:计算机技术基础。重点阐述计算机硬件、软件的基本工作原理和相关的基础知识,使学生具有使用当今流行的系统平台和开发工具构造应用系统的初步能力。

第三层次:计算机应用基础。该层次的内容将尽可能按照多数专业的应用需求,选择公共的计算机应用知识作为教学基础,为今后的专业应用奠定必要的基础。

本教材已组织了十几种,工科计算机课程教学指导委员会还将根据计算机技术和应用的最新发展,组织一些新的和不同类型的教材,供各个学校使用。

按照计算机“文化、技术、应用”三个层次编写新的高起点系列教材,对于规范高等院校计算机基础教学、提高教学质量、深化教学改革均是有益的尝试。其中一定存在不足之处,敬请专家、广大教师和同学们提出宝贵意见。

教育部工科计算机基础课程教学指导委员会

1998 年 12 月

前 言

为尽快实现教育部提出的 21 世纪计算机基础教育要上一个新台阶的宏伟目标,落实高等院校在计算机基础教学上达到 3 个层次的基本要求,根据教育部提出的在计算机基础教学上改革的精神,由教育部工科计算机基础课程教学指导委员会成员艾德才教授组织编写了本教材,其内容丰富、系统、新颖、完整,反映了当今微处理机领域的新技术新潮流,是作者多年教学经验和智慧的体现。

本教材内容是按照教育部工科计算机基础课程教学指导委员会规定的计算机硬件教学内容安排的。全书不仅包括有计算机的基本概念、基本知识,更重要的是其内容与众不同,本书所反映的是当今微处理机领域内具有代表性的新设计、新技术、新思想、新潮流。

本教材中计算机硬件知识颇具特色,是一本集基础性、知识性、系统性、先进性于一体的全新教科书。本书以 32 位微处理机 Pentium 为例,把微处理机领域采用的最先进思想、技术展示给读者,读者从中可领略到微处理机内部那些隐含的、奇妙的、神秘性的东西。其内容包括 Pentium 微处理机的系统原理、高档 Pentium 系列机(从 Pentium Pro、Pentium MMX、Pentium II 到 Pentium III)的系统原理、Pentium 微处理机的存储管理、Cache(从一级 Cache 到二级 Cache)、总线、中断、人机接口、多功能高集成外围芯片 82371 和 82443、A/D 转换 D/A 转换以及 Pentium 微处理机的指令系统、汇编语言程序设计等,其中许多知识内容都是首次在教材中出现。

《Pentium 系列微型计算机原理与接口技术》第一章由张桦、刘文丽编写,第二、四章由张桦编写,第九章由车明编写,其余各章均由艾德才编写,参加本书编写的还有胡敏、胡琳、高华芬、石恒军、于健、刘桂芬、王桂月、刘桂凤、秦鹏、郭青,由艾德才教授提出编写大纲并审校了全部书稿。

本书在编写过程中,得到天津市教委高校计算机基础教学指导委员会副主任委员、天津大学电子信息工程学院边莫英教授大力支持,在百忙之中主审了本书,提出了许多宝贵意见,在此表示诚挚的谢意。

出版本教材,是在计算机教育改革上进行的一次尝试,虽力图做好,但由于作者水平有限,难免有不足之处,尤其本书中出现许多新技术、新词汇,还有待读者、同仁不吝赐教,殷切希望能得到广大同仁和读者的批评指正,以便使本书的质量得到进一步提高。

编 者

2000 年 6 月于天津大学

目 录

第一章 微处理机系统概论	1	2.5 数据类型	77
1.1 微处理机的发展	1	习题二	80
1.2 微处理机硬件结构	6	第三章 高档 Pentium	81
1.2.1 寄存器	6	3.1 高能奔腾——Pentium Pro ...	81
1.2.2 运算器	9	3.1.1 RISC 技术的采用	81
1.2.3 控制器	10	3.1.2 新型体系结构	82
1.2.4 存储器	13	3.1.3 Pentium Pro 的新技术 ...	83
1.2.5 I/O 设备	19	3.1.4 Pentium Pro 的	
1.2.6 总线结构	23	高性能	84
1.3 计算机数的表示	26	3.1.5 Pentium Pro 的总线	85
1.3.1 字符的二进制编码	27	3.1.6 Pentium Pro 与 NT	87
1.3.2 数值的表示	29	3.1.7 Pentium Pro 的内部	
1.4 微型机主要性能指标	32	结构	89
习题一	33	3.1.8 Pentium Pro 的流水线 ...	90
第二章 Pentium 系统原理	34	3.1.9 指令译码操作	92
2.1 概述	34	3.1.10 寄存器重命名	
2.2 Pentium 微处理机体系		技术	93
结构	36	3.1.11 乱序执行技术	94
2.2.1 Pentium 寄存器	37	3.1.12 退出流水线操作	95
2.2.2 Pentium CPU	56	3.1.13 执行 16 位程序	
2.3 Pentium 微处理机采用的		效果	96
新技术	66	3.1.14 浮点数改进	98
2.3.1 RISC 和 CISC	66	3.2 多能奔腾——Pentium	
2.3.2 新型体系结构	67	MMX	99
2.3.3 流水线指令流及分		3.2.1 MMX 技术简介	100
支预测	68	3.2.2 体系结构的改变	101
2.4 Pentium 指令格式与		3.2.3 简单的乘——累加	
寻址方式	72	操作	102
2.4.1 指令格式	72	3.2.4 应用	103
2.4.2 寻址方式	75	3.3 二代奔腾——Pentium II ...	103

3.3.1 综述	103	4.5.5 转换旁视缓冲存 储器 TLB	152
3.3.2 体系结构的增强	105	4.6 Pentium 页级保护	152
3.3.3 Pentium II 的 Cache	106	4.7 Pentium 段与页转换 组合	155
3.3.4 封装	106	4.7.1 平台存储管理方式	156
3.4 多能奔腾二代—— Pentium III	107	4.7.2 段覆盖页	156
3.4.1 Pentium III 的高性能	108	4.7.3 页覆盖段	156
3.4.2 Pentium III 的低成本	109	4.7.4 页和段边界不必对准	156
3.4.3 SSE 指令	110	4.7.5 页和段边界对准	156
3.4.4 Pentium III 的微体系 结构	113	4.7.6 每段的页表	157
3.4.5 微处理机序列号	116	4.8 保护方式下的多任务 处理	157
习题三	120	习题四	158
第四章 Pentium 存储管理	121	第五章 高速缓冲存储器 Cache	160
4.1 综述	121	5.1 概述	160
4.1.1 存储器系统	121	5.1.1 什么是 Cache	160
4.1.2 存储管理	122	5.1.2 技术术语	161
4.1.3 存储器结构	126	5.2 Pentium Cache 配置 方案	163
4.2 Pentium 分段存储管理	126	5.2.1 Pentium 片内 Cache 的 配置	163
4.2.1 平台管理方式	127	5.2.2 影响 Cache 性能的 因素	167
4.2.2 保护方式下的平台 方式	128	5.2.3 Cache 大小规模和 性能	168
4.2.3 多段存储管理方式	128	5.2.4 绑定方式和性能	169
4.3 Pentium 段的转换	131	5.2.5 实际 Cache	173
4.3.1 存储器段及其寄存器	133	5.3 指令 Cache 和数据 Cache	173
4.3.2 段选择符	134	5.4 Cache 操作方式	175
4.3.3 段描述符	135	5.4.1 数据 Cache	177
4.3.4 段描述符表	141	5.4.2 数据 Cache 更新方案	177
4.3.5 描述符表基址寄存器	142	5.4.3 指令 Cache	178
4.4 Pentium 分页存储管理	143		
4.5 Pentium 页转换	146		
4.5.1 允许分页位	148		
4.5.2 线性地址	148		
4.5.3 页表	149		
4.5.4 页表项	149		

5.4.4 Cache 读/写操作	178	6.4.1 数字系统	217
5.4.5 数据 Cache 路径	180	6.4.2 数据类型和格式	219
5.4.6 Cache 替换算法与 规则	183	6.4.3 舍入控制	223
5.4.7 Cache 写贯穿	184	6.4.4 精度控制	224
5.4.8 Cache 写回	184	习题六	224
5.4.9 Cache 刷新	185	第七章 中断	226
5.5 二级 Cache	186	7.1 中断的概念	226
5.5.1 二级 Cache 的概念	186	7.1.1 概述	226
5.5.2 二级 Cache 与一级 Cache 的关系	187	7.1.2 中断系统	227
5.5.3 统一的二级 Cache	190	7.2 异常与中断	228
5.5.4 数据传送方式	194	7.2.1 中断源分类	228
5.6 一致性协议	196	7.2.2 中断控制器	230
5.6.1 MESI Cache 一致性 协议模型	197	7.2.3 异常和中断向量	230
5.6.2 指令 Cache 一致性 协议	198	7.2.4 指令的重新启动	231
5.6.3 基本 MESI 状态转换	198	7.3 允许及禁止中断	232
习题五	200	7.3.1 不可屏蔽中断对未来的不 可屏蔽中断的屏蔽	232
第六章 浮点部件	201	7.3.2 IF 屏蔽 INTR	232
6.1 综述	201	7.3.3 RF 对调试故障的 屏蔽	232
6.2 浮点部件体系结构	203	7.3.4 MOV 和 POP 指令对堆 栈段中某些异常 和中断的屏蔽	233
6.2.1 数值寄存器	203	7.4 中断描述符表	233
6.2.2 状态字寄存器	205	7.4.1 异常和中断同时存 在时的优先级	233
6.2.3 控制字寄存器	209	7.4.2 中断描述符表 IDT	235
6.2.4 标记字寄存器	210	7.4.3 中断描述符表内 描述符	236
6.2.5 最后的指令操作码 字段	211	7.5 中断任务和中断过程	236
6.2.6 数值指令和数据指针	212	7.5.1 中断过程	237
6.3 浮点流水线操作	214	7.5.2 中断任务	239
6.3.1 浮点指令的流动	214	7.6 错误代码	240
6.3.2 安全指令的识别	215	7.7 异常条件	241
6.3.3 旁路 BYPASSES	216	7.7.1 中断 0——除法错	241
6.4 计算基础	217		

7.7.2 中断 1——调试异常	241	以及 64 位存储器的	
7.7.3 中断 3——断点	242	接口	268
7.7.4 中断 4——溢出	242	8.3 总线周期	271
7.7.5 中断 5——边界检查	242	8.3.1 单传送周期	273
7.7.6 中断 6——无效		8.3.2 成组周期	273
操作码	242	8.3.3 中断确认周期	275
7.7.7 中断 7——设备		8.3.4 专用总线周期	276
不可用	243	8.4 EISA 总线	277
7.7.8 中断 8——双故障	243	8.4.1 EISA 技术术语	277
7.7.9 中断 9——(由 Intel		8.4.2 EISA 系统	277
保留, 未使用)	245	8.4.3 EISA 总线的性能特征	279
7.7.10 中断 10——无效任		8.4.4 EISA 适配器	279
务状态段	245	8.4.5 EISA 总线插槽	279
7.7.11 中断 11——段不存在	246	8.5 VESA 总线	281
7.7.12 中断 12——堆栈		8.5.1 高速图形适配器	281
异常	247	8.5.2 总线频率和数据传送	
7.7.13 中断 13——一般		速率	282
保护	248	8.5.3 DMA 和中断	282
7.7.14 中断 14——页故障	249	8.5.4 VESA 适配器	282
7.7.15 中断 16——浮点错	251	8.5.5 VESA 总线插槽	283
7.7.16 中断 17——对准检查	253	8.6 PCI 总线	284
7.8 异常和错误小结	254	8.6.1 PCI 局部总线的特征	285
习题七	256	8.6.2 PCI 总线卡的安装——	
第八章 总线	257	即插即用	286
8.1 总线的概念	257	8.6.3 PCI 接插件	287
8.1.1 定义和术语	257	8.6.4 PCI 性能	288
8.1.2 总线标准的四个特性	258	8.6.5 PCI 的前景	288
8.1.3 总线分类	259	8.6.6 PCI 总线操作	290
8.1.4 总线操作	260	8.6.7 总线命令	291
8.1.5 总线配置结构	262	8.6.8 DMA 和中断	291
8.2 数据传送机制	266	8.6.9 PCI 适配器	292
8.2.1 实际存储器和 I/O		8.6.10 PCI 总线信号	292
接口	266	习题八	294
8.2.2 数据传送机制	267	第九章 模数转换及数模转换	296
8.2.3 与 8 位、16 位、32 位		9.1 概述	296

9.2 D/A 转换	297	10.4 82C59A 可编程中断 控制器	338
9.2.1 D/A 转换器的基本 原理	297	10.4.1 82C59A 的方框图	339
9.2.2 权电阻解码网络 D/A 转换器	298	10.4.2 82C59A 的内部体系 结构	341
9.2.3 T 形电阻解码网络 D/A 转换器	300	10.4.3 82C59A 的程序设计	342
9.3 D/A 转换器的主要 技术指标	302	习题十	348
9.4 A/D 转换器	304	第十一章 多功能高集成外围 器件 82371	350
9.4.1 采样/保持器	304	11.1 概述	353
9.4.2 A/D 转换器的基本 原理	305	11.1.1 PCI 与 ISA/EIO 之间 的桥	353
9.5 A/D 转换器的主要 技术指标	308	11.1.2 IDE 接口(总线主控设 备的权力和同步的 DMA 方式)	354
9.6 D/A 转换芯片介绍	310	11.1.3 具有兼容性的模块 (DMA 控制器、定时 器/计数器、中断控 制器)	354
9.6.1 AD7522 的性能指标	310	11.1.4 增强的通用串行总线 (USB)控制器	355
9.6.2 AD7522 的各功能部 件与引脚功能	311	11.1.5 实时时钟(Real Time Clock)RTC	355
9.7 A/D 转换芯片介绍	315	11.1.6 GPIO 和芯片选择 逻辑	356
习题九	319	11.1.7 Pentium 和 Pentium II 微处理机接口	356
第十章 外围接口芯片	320	11.1.8 增强的电源管理	356
10.1 82C37A-5 高性能可编程 DMA 控制器接口	320	11.1.9 系统管理总线	356
10.1.1 82C37A 的内部结构	320	11.1.10 可配置性	356
10.1.2 82C37A 的微处理机 接口	327	11.2 寄存器地址空间	356
10.1.3 82C37A 的 DMA 接口	328	11.2.1 PCI/ISA 桥配置	357
10.2 CHMOS 可编程时间间隔 定时器芯片 82C54	330	11.2.2 IDE 配置	357
10.2.1 82C54 的方框图	331	11.2.3 通用串行总线 USB 配置	358
10.2.2 82C54 的体系结构	332		
10.3 82C55A 可编程外围 接口	334		

11.2.4 电源管理配置	358	11.7.5 PCI DMA	369
11.3 PCI 与 ISA/EIO 之间桥 的寄存器	358	11.7.6 中断控制器	370
11.3.1 PCI 与 ISA/EIO 之间桥 的 PCI 配置空间所需寄 存器 (PCI 功能 0)	358	11.7.7 系列中断(串行中断)	371
11.3.2 DMA/EIO 之间桥的 I/O 空间所需寄存器	359	11.7.8 定时器/计数器	371
11.4 IDE 控制器寄存器 (PCI 功能 1)	360	11.7.9 实时时钟	372
11.4.1 IDE 控制器 PCI 配置 寄存器(PCI 功能 1)	360	11.7.10 X—总线支持	372
11.4.2 IDE 控制器 I/O 空间 寄存器	361	11.7.11 复位支持	373
11.5 USB 主控制器寄存器 (PCI 功能 2)	361	11.8 IDE 控制器功能描述	373
11.5.1 USB 主控制器的 PCI 配置寄存器 (PCI 功能 2)	361	11.8.1 IDE 信号配置	374
11.5.2 USB 主控制器 I/O 空间寄存器	362	11.8.2 ATA 寄存器模块 译码	375
11.6 电源管理寄存器	362	11.8.3 PIO IDE 事务处理	376
11.6.1 PCI 配置的电源管理寄 存器(PCI 功能 3)	362	11.8.4 总线主控设备功能	377
11.6.2 电源管理 I/O 寄存器	364	习题十一	379
11.6.3 SMBus 的 I/O 空间 寄存器	364	第十二章 多功能高集成外围 器件 82443	380
11.7 PCI/ISA 桥的功能	365	12.1 概述	380
11.7.1 存储器和 I/O 地址 映像	365	12.1.1 82443MX 主要特征	381
11.7.2 PCI 总线对 BIOS 存 储器的访问	366	12.1.2 440MX 配置特征	382
11.7.3 ISA/EIS 接口	368	12.2 体系结构概述	385
11.7.4 DMA 控制器	368	12.3 中央处理机 CPU 复位	386
		12.4 系统地址映像	387
		12.4.1 可寻址的存储空间	387
		12.4.2 存储器映像	388
		12.4.3 系统管理方式 SMM	390
		12.4.4 存储器阴影区	390
		12.4.5 译码规则和跨过桥的 地址映像	390
		12.4.6 输入/输出地址空间	391
		12.5 功能描述	392
		12.6 存储器接口	394
		12.6.1 动态随机存储器 DRAM 接口	394
		12.6.2 动态随机存储器结构 和配置	395

12.6.3 系统存储管理	395	13.1.1 汇编语言概述	402
12.7 AC'97 音频和调制解调器		13.1.2 语句格式	403
控制器	396	13.2 汇编语言程序结构	409
12.7.1 AC'97 音频控制器	396	13.2.1 源程序结构	409
12.7.2 AC'97 调制解调器		13.2.2 伪操作语句	412
控制器	397	13.2.3 宏操作	429
12.7.3 AC'97 控制器的		13.2.4 过程	432
连接	397	13.2.5 宏操作和过程的	
12.8 PCI 接口	398	比较	435
12.8.1 PCI 接口概述	398	13.3 汇编程序设计	436
12.8.2 X—总线	399	13.3.1 顺序结构程序设计	436
12.8.3 系统管理总线		13.3.2 分支程序设计	438
SMBus	399	13.3.3 循环程序设计	445
12.8.4 GPIO	400	13.3.4 子程序	452
12.8.5 系统时钟	400	13.3.5 中断	463
习题十二	401	13.3.6 发声程序	465
第十三章 汇编语言程序设计 ..	402	习题十三	466
13.1 汇编语言基础	402	参考文献	468

第一章 微处理机系统概论

1.1 微处理机的发展

微处理机出现于 20 世纪 70 年代初,是大规模集成电路发展的产物。在这以前,计算机的发展经历了电子管计算机时期、晶体管计算机时期、中小规模集成电路计算机时期。大规模集成电路于 1970 年研制成功,并开始以它作为计算机的主要功能部件。此时计算机进入了大规模集成电路时期,计算机的微型化成为可能。

微型计算机的发展是以微处理机的发展来表征的。将传统计算机的运算器和控制器集成在一块大规模集成电路芯片上作为中央处理部件(Central Process Unit, CPU),称为微处理机。微型计算机是以微处理机为核心,再配上存储器,接口电路等芯片构成。

微处理机一经问世,就以体积小、重量轻、价格低廉、可靠性高、结构灵活、适应性强和应用面广等一系列优点占领世界计算机市场并得到广泛应用,成为现代社会不可缺少的重要工具。

1947 年,世界上第一台电子数字计算机 ENIAC 在美国宾州诞生;同年,贝尔实验室的 Schockley 博士发明了被誉为“20 世纪最伟大发明”的晶体管;今天,Internet 盛行、信息高速公路初见端倪,信息技术在近半个世纪内以令人炫目的速度繁衍、演化着。在这场改变人类生存方式的变革中,CPU 以其作为计算机“大脑”和“心脏”这一核心地位而始终处于变革风暴的前沿。

说到 CPU 的发展,一般以 Intel 产品为例。正是由于 IBM 选定了 Intel 的芯片作为其个人计算机 IBM PC 的 CPU,从此 Intel 的发展在很大程度上反映了 CPU 和 PC 机的发展历程。

1965 年,摩尔(G·Moore)经统计发现,集成电路内芯片的晶体管数目,几乎每隔 18 个月到 24 个月,其集成度就要翻一番。这条未经严格证明但又千真万确的“金科玉律”,经过近 30 年的检验,始终表现出令人惊异的准确性。

Intel 公司于 1971 年顺利开发出全球第一块微处理器——4004 芯片。这项突破性的发明当时被用于一种计算器中。这一创举开始了人类将智能内嵌于电脑和无生命设备的历程。

1. 全球第一块微处理器——4004

4004 主要用来处理算术运算,它集成了 2 300 多个晶体管,具有 4 位带宽,

工作频率为 108 kHz, 寻址空间只有 640 B。这些参数和当今流行的 Pentium II、Pentium III 相比, 简直就是“小巫见大巫”, 但它对整个微处理机领域的影响, 却远在后者之上。

2. 新一代 8 位微处理器——8080

继 4004 后, Intel 加大了在微处理器上的开发研制力度, 在 1974 年又推出了新一代 8 位微处理器——8080。8080 集成了 6 000 个晶体管, 其时钟频率为 2 MHz。8080 是一个划时代的产品, 它的诞生, 使得 Intel 有了自己真正意义上的微处理器, 也诞生了以 8080 为 CPU 的全球第一台微处理机——Altair。同时也催生了 IT 界另外一对耀眼的明星——Steve Jobs 和采用 Motorola 6502 微处理器的 Apple II 电脑。

3. 第一代微处理机——16 位的 8086 CPU

Intel 于 1978 年推出了 16 位 CPU——8086。它的出现成为 20 世纪 70 年代微处理机发展过程中的重要分水岭。

8086 是真正的 16 位 CPU, 其内集成进了 29 000 个晶体管, 主频速率分为 5 MHz/8 MHz/10 MHz, 寻址空间达到了 1 MB, 第一次超过 640 KB。8088 是 8086 的一个简化版本, 时钟频率为 4.77 MHz, 它将 8 位数据总线独立出来, 减少了管脚, 因此成本也较低。1979 年, Intel 公司的这两款 CPU, 得到蓝色巨人 IBM 的青睐, 由于 IBM 采用 Intel 的 8086 与 8088 作为个人计算机 IBM PC 的 CPU, 个人计算机 PC 时代从此诞生。

IBM 以 Intel 的 8086 与 8088 为硬件平台, 加之又配备上比较完美的操作系统和相对丰富的应用软件, 使得以 Intel 16 位 8086 为平台的 PC 机成为第一代微处理机的典型代表。

4. 第二代微处理机——16 位的 80286 CPU

80286 芯片于 1982 年 2 月 1 日正式发布, 总线带宽为 16 位, 集成了 13 万多个晶体管, 因此性能也有了很大的提高, 主频达到了 20 MHz。但它真正的闪光点在于: 第一, 它首次提出了实方式和保护方式这两种对 CPU 不同的操作方式。保护方式的提出使得 80286 突破了 8086/8088 受 16 位地址总线制约而不能遍访 1 MB 以上的存储空间这一关键约束, 而 80286 的 24 位地址总线使得它可以访问到 16 MB 地址空间; 另外, 由于引进了段描述符表的概念, 80286 可以访问 1 GB 的虚拟地址空间, 它可以将 1 GB 虚拟空间中的任务映射到 16 MB 空间中去, 从而使多任务并行处理成为可能。这对后来的多任务操作系统的普及是至关重要的。第二, 80286 是第一款“100%完全向下兼容”的 Intel 微处理机。

5. 第三代微处理机——32 位的 80386 CPU

1985 年 10 月, Intel 推出它的第三代微处理机——32 位的 80386 DX。80386

DX 是一块集成进了 27.5 万个晶体管的全 32 位微处理器, 其时钟频率达到 33 MHz, 数据总线和地址总线均为 32 位, 具有 4 GB 的物理寻址能力。而由于在芯片内部集成了分段存储管理部件和分页存储管理部件, 它能够管理高达 64 TB 的虚拟存储空间; 另外, 它还提供了一种叫做“虚拟 8086”的工作方式, 使得芯片能够同时模拟多个 8086 处理机, 以同时运行多个 8086 应用程序, 从而保证了多任务处理能够向下兼容。为了加快浮点操作速度, 与此同时还成功地推出了数值协同处理器——80387(亦称浮点运算部件)。

80386 的成功为日后 486、Pentium 的研制奠定了技术基础。

6. 第四代微处理器——32 位的 80486 CPU

80486 微处理器于 1989 年 4 月正式发布。这是一款在一片芯片内集成了 120 万个晶体管的 CPU, 它使 Intel 第一次将微处理机的晶体管数目突破 100 万只。它不仅把浮点运算部件集成进芯片之内, 同时还把一个规模大小为 8 KB 的一级高速缓冲存储器 Cache 也集成进了 CPU 芯片内。这种集成极大地加快了 CPU 处理指令的速度, 使指令平均执行时间从 386 的约 4.5 个周期降至 486 的约 1.8 个周期。芯片的整数处理部件采用是 RISC 结构, 以加速处理单一指令的速度, 而芯片内部其他方面则保留 CISC 原样, 用以处理复杂的指令, 并保证其兼容性。此外, 486 引进了时钟倍频技术(即用一种特殊的电路使得大多数内部部件以输入时钟的倍频运行, 因而能使装在 Cache 中程序的运行速度快一倍。但其内部总线仍以外部时钟的频率工作, 使得 486DX 可以和低速器件相连), 从而使主频超过 100 MHz 变为可能。倍频技术在 Intel 后继 CPU 中一直被沿用。这些在当时非常先进的技术, 使 80486 不仅比 80386 快了许多, 并且在很多方面也丝毫不逊色于当时的 RISC 芯片。

7. 第五代微处理器——32 位的 Pentium

Intel 在 1993 年推出了全新一代的高性能处理机 Pentium。Pentium 是拉丁文“五”(Pente)和元素周期表的公用后缀——IUM 组合而成。其寓意是指 Pentium 为该公司的第五代产品, 人们为它起了一个相当好听的中文名字“奔腾”。Pentium 芯片内部集成进 310 万个晶体管, 单是最初版本的 66 MHz 的 Pentium 运算性能, 就比 33 MHz 的 80486 DX 高出 3 倍多, 而 100 MHz 的 Pentium 则比 33 MHz 的 80486 DX 快 6~8 倍。较之后继的 Pentium, 这种 Pentium 又叫经典奔腾(Classic Pentium)。

作为世界上第一个 586 级处理机, Pentium 也是第一个超频最多的处理机, 由于 Pentium 的制造工艺优良, 所以整个系列的 CPU 的浮点性能也是 CPU 中最强的, 可超频性能最大。Pentium 家族中芯片的频率有 60 MHz、66 MHz、75 MHz、90 MHz、100 MHz、120 MHz、133 MHz、150 MHz、166 MHz、200MHz, CPU 的内部频率则是从 60 MHz 到 66 MHz 不等。值得一提的是, 从主频为 75

MHz 开始, CPU 的插槽技术正式从以前的 Socket 4 转换到同时支持 Socket 5 和 Socket 7, 其中 Socket 7 还一直沿用至今。而且在 Pentium CPU 内部配置了大小为 16 KB 的一级高速缓冲存储器 Cache, 这样使得 Pentium 的处理能力更加强大。

8. 高能奔腾(Pentium Pro)

Intel 于 1996 年推出了新 x86 系列 CPU——Pentium Pro。Pentium Pro 芯片内部集成了 550 万个晶体管, 内部时钟频率为 133 MHz, 处理速度几乎是 100 MHz 经典 Pentium 的 2 倍。Pentium Pro 内的一级(片内)高速缓冲存储器 Cache 大小为 16 KB, 其中 8 KB 为指令 Cache、8 KB 为数据 Cache。值得注意的是在 Pentium Pro 的封装中除 Pentium Pro 芯片外还包括有一个 256 KB 的二级 Cache 芯片, 两个芯片之间用高频宽的内部通信总线互连, 处理机与高速缓冲存储器 Cache 的连接线路也被安置在该封装中, 这样就使高速缓冲存储器 Cache 能更容易地运行在更高的频率上。主频 200 MHz 的 Pentium Pro CPU 的 L2 ‘二级 Cache’ 就是运行在 200 MHz 时钟频率之下, 也就是说, 二级 Cache 与处理机同频运行。这样的设计令 Pentium Pro 达到了最高的性能。而 Pentium Pro 最引人注目的地方是, 它采用了一项被称之为“动态执行”的创新技术, 这是继 Pentium 在超标量体系结构上实现突破之后的又一次飞跃。

9. 多能奔腾(Pentium MMX)

Intel 于 1996 年底又推出了 Pentium 系列的改进版本, 也就是通常所说的 Pentium MMX(多能奔腾)。MMX 技术是 Intel 最新发明的一项多媒体增强指令集技术, 它的英文全称可以翻译成“多媒体扩展指令集”。MMX 是 Intel 公司在 1996 年为增强 Pentium CPU 在音像、图形和通信应用方面而采取的新技术, 它除了为 CPU 增加了 57 条 MMX 指令外, 还将 CPU 芯片内的高速缓冲存储器(一级 Cache, L1)由原来的 16 KB 增加到 32 KB(16 KB 指令 Cache + 16 KB 数据 Cache), 因此带有 MMX 功能的 CPU 比普通 CPU 在运行含有 MMX 指令的程序时, 处理多媒体的能力上提高了 60% 左右。MMX 技术不但是一个创新, 而且还开创了 CPU 开发的新纪元。在 1999 年, Pentium MMX 是最受欢迎的微处理机, Pentium MMX 系列的频率主要有 3 种: 166 MHz、200 MHz、233 MHz, 一级 Cache 都是 32 KB, 核心电压 2.8 V, 倍频分别为 2.5、3、3.5, 插槽都是 Socket 7。

10. 二代奔腾(Pentium II)

1997 年 5 月, Intel 推出了与 Pentium Pro 同一个档次的 Pentium II。Pentium II 有一系列的不同档次的产品, 其中第一代的产品就是 Pentium II Klamath 芯片。作为 Pentium II 的第一代芯片, 它运行在 66 MHz 总线上, 主频分 233 MHz、266 MHz、300 MHz 和 333 MHz 4 种。由于它代表了 Pentium 系列机当时的最高性能, 所以将其称之为二代奔腾 Pentium。

Pentium II 采用了与 Pentium Pro 相同的核心结构, 从而继承了原有 Pentium Pro 处理器优秀的 32 位性能。Pentium II 虽采用了与 Pentium Pro 相同的核心结构, 但它加快了段寄存器写操作的速度, 并增加了 MMX 指令集, 以加速 16 位操作系统的执行速度。由于配备了可重命名的段寄存器, 因此 Pentium II 可以猜测地执行写操作, 并允许使用旧段值的指令与使用新段值的指令同时存在。在 Pentium II 里面, Intel 将 750 万个晶体管集成进其面积为 203 mm² 的印模上。Pentium II 只比 Pentium Pro 大 6 mm², 但它却比 Pentium Pro 多容纳了 200 万个晶体管。由于使用只有 0.28 μm 的制造工艺, 因此加快了这些晶体管操作的速度, 从而使 Pentium II 达到了 x86 系列机前所未有的时钟速度。

在总线方面, Pentium II 处理器采用了双独立总线结构, 即其中一条总线连接到二级高速缓冲存储器, 另一条总线主要负责访问主存储器操作。然而 Pentium II 的二级 Cache 实际上还是比 Pentium Pro 的二级 Cache 慢一些。这是因为由于 Pentium Pro 使用了一个双容量的陶瓷封装, Intel 在 Pentium Pro 中配置了板上的二级 Cache, 可以与 CPU 一起运行在同一种时钟速度下。诚然, 这种方案的效率相当高, 可是在制造的成本方面却非常昂贵。为了降低生产成本, Pentium II 使用了一种脱离芯片的二级 Cache, 可以运行在相当于 CPU 自身时钟速度一半的速度下。Intel 将 Pentium II 上的一级 Cache 从 16 KB 加倍到 32 KB, 从而减少了对二级 Cache 的调用频率。由于这一措施, 再加上更高的时钟速度, Pentium II (配有 512 KB 的二级高速缓冲存储器)。在 Windows NT 下性能比 Pentium Pro (配有 256 KB 的二级高速缓存) 超出大约 25%。在接口技术方面, 为了获得更大的内部总线带宽, Pentium II 首次采用了最新的 solt 1 接口标准, 它不再用陶瓷封装, 而是采用了一块带金属外壳的印刷电路板。Pentium II CPU 内部集成了 32 KB 片内一级 Cache (16 KB 指令 Cache + 16 KB 数据 Cache); 57 条 MMX 指令; 8 个 64 位的 MMX 寄存器。750 万个晶体管组成的核心部分。

11. Pentium III

应该把 Pentium III 称之为“多能奔腾二代处理器”(Pentium II Processor with MMX2 Technology)。Intel 于 1999 年 2 月发布了 Pentium III 芯片——Katmai, 作为第一款专为提高用户的互联网计算体验而设计的微处理器, 使用户能够尽享丰富的音频、视频、动画和栩栩如生的三维效果。针对不同需求, Pentium III 推出了移动 Pentium III 和 Pentium III Xeon (至强) 处理器。1999 年 10 月 Intel 还正式发布代号为“Coppermine”的新一代 Pentium III 处理器, 率先采用 0.18 μm 工艺技术, CPU 主频更达到 733 MHz, 芯片内集成了 2 800 万个晶体管, 体积更小, 耗能更低而性能更强, 大幅提高了浮点运算能力, Pentium III 由于增加了

MMX指令, 其浮点运算和三维处理方面能力明显增强。

Pentium III所带来的最重要的技术创新之一就是增加了 71 条称为互联网 SSE(Streaming SIMD Extensions, 直译为数据流单指令多数据扩展)的指令和处理机序列号。SIMD 意为单指令多数据操作, 它是高效率运算得以实现的基础。简单地说, SIMD 技术就是让 Pentium III用一条指令完成以往需 4 条指令才能完成的任务, 即在相同的时间周期内, Pentium III可以处理 4 倍于原来的浮点运算数据。在高速缓冲存储器方面, Pentium III还是 32 KB 的 L1(一级 Cache)和 512 KB 的 L2(二级 Cache), L2 的工作频率是 CPU 内核工作频率的一半, 其余指标和 Pentium II 相同。

1.2 微处理机硬件结构

从第一台电子计算机问世以来, 它的更新换代实质上是硬件的更新换代。但无论如何变化, 就其基本工作原理而言, 都是存储程序控制的原理, 其基本结构属于冯·诺依曼型计算机。它至少应由运算器、控制器、存储器、输入设备和输出设备 5 部分组成。原始的冯·诺依曼机在结构上是以运算器和控制器为中心, 但随着计算机系统结构的设计实践和发展, 已逐步演变到以存储器为中心的结构。其基本结构如图 1.1 所示。

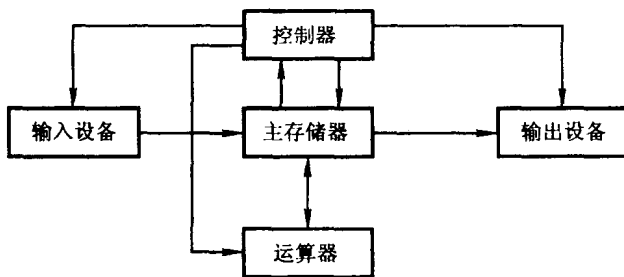


图 1.1 计算机基本结构

1.2.1 寄存器

寄存器是中央处理器(CPU)中的一个非常重要的部件, 根据其功能和作用, 寄存器可以分为以下几类: ① 基本寄存器; ② 系统级寄存器; ③ 浮点寄存器; ④ 调试和测试寄存器等。这里着重介绍基本寄存器, 包括通用寄存器、指令寄存器、标志寄存器和段寄存器。

1. 通用寄存器

以 80486 为例, 共配置了 8 个 32 位的通用寄存器, 如图 1.2 所示。这 8