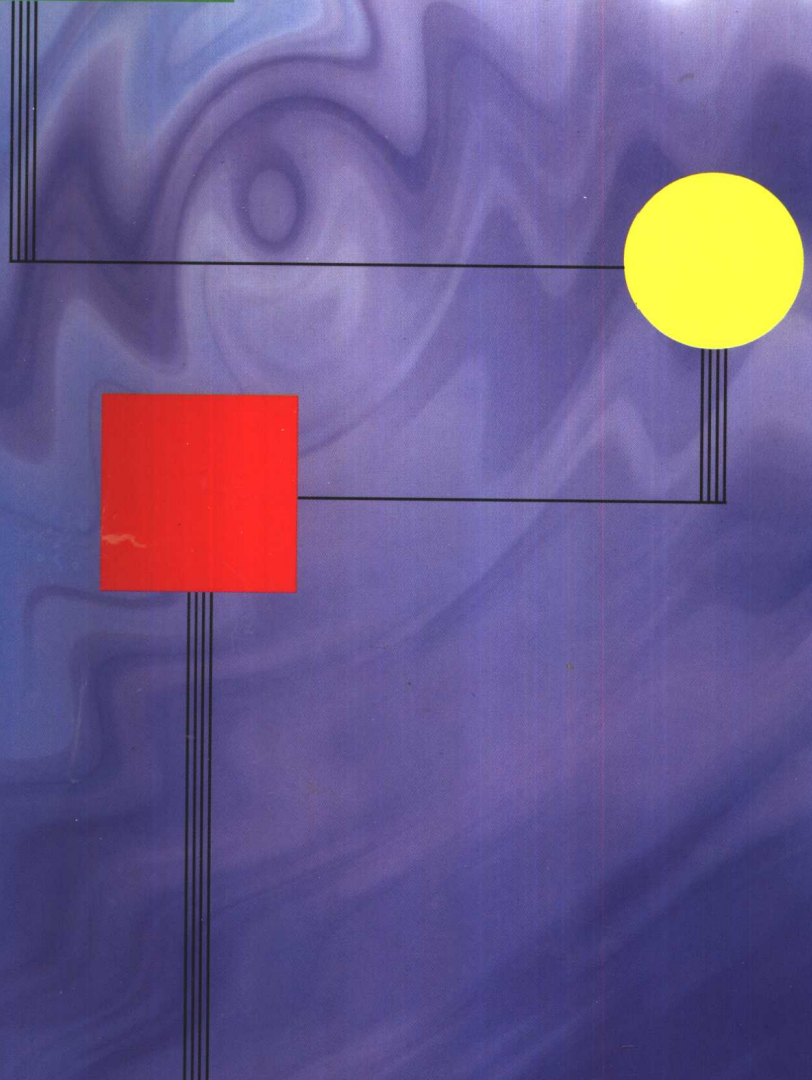


# 高温 CMOS 集成电路 原理与实现

柯导明 陈军宁 著



中国科学技术大学出版社

安徽大学 211 工程出版基金资助

# 高温 CMOS 集成电路原理与实现

柯导明 陈军宁 著

中国科学技术大学出版社

2000 · 合肥

## 内 容 简 介

本书系统地论述了高温 MOS 晶体管与高温 CMOS 集成电路的工作原理与设计方法。全书共分为 4 章:第 1 章介绍 MOS 场效应晶体管的基本原理;第 2 章分析了高温 MOS 晶体管的基本特性与等效电路;第 3 章论述了高温 CMOS 静态数字集成电路与模拟集成电路的原理与设计方法;第 4 章介绍高温大功率半导体材料与器件的评价方法及其 LDMOS 的高温电学特性,并简略地分析了高温 SOI MOS 晶体管。

本书是高温硅微电子学的专著,既可以作为大专院校微电子专业与电子类各专业的集成电路设计课程的教材与参考书,也可供从事高温微电子学和高温 MOS 集成电路设计与应用的工程技术人员参考。

责任编辑:黄 德

---

### 图书在版编目(CIP)数据

高温 CMOS 集成电路原理与实现/柯导明 陈军宁 著

—合肥:中国科学技术大学出版社,2000.10

ISBN 7-312-01237-X

I. 高... II. ①柯... ②陈... III. 绝缘衬底上外延硅  
MOS 集成电路 IV. TN432

中国版本图书馆 CIP 数据核字(2000)第 49246 号

---

中国科学技术大学出版社出版发行

(安徽省合肥市金寨路 96 号,邮编:230026)

中国科学技术大学印刷厂印刷

全国新华书店经销

开本:787×1092/16 印张:9.75 字数:250 千

2000 年 10 月第 1 版 2000 年 10 月第 1 次印刷

印数:1—1200 册

ISBN 7-312-01237-X/TN·41 定价:15.00 元

# 前言

随着科学技术的发展,对设备的使用温度提出了越来越高的要求,特别是在能源、航空和航天领域内常常要求通讯与检测设备能在超过室温数倍的高温状态下运行。虽然在普通设备中采用冷却装置后,可以使在室温下工作的器件和电路适用于高温情况,但这样处理后的设备体积庞大、使用复杂、噪声高、可靠性差、灵敏度低,不利于系统的微型化和实用化,因此制造高温器件和集成电路是十分必要的。

从半导体物理学可知,最好是利用宽禁带半导体材料如 GaAs、SiC 制作高温集成电路。但是这些材料制作的器件和集成电路还有许多材料、器件、电路、工艺的课题需要解决。例如 GaAs 集成电路,由于其材料昂贵,工艺复杂,因而其性能价格比至今仍不能与硅集成电路竞争。再如 SiC 器件,因为材料和工艺都不成熟,目前还没有进入市场,仅能应用于实验室研究。

正是由于短期内很难在宽禁带半导体器件和集成电路的性能价格比上作出根本性的突破,因此利用硅工艺制造高温器件和集成电路也就是一件顺其自然的事了。国外学者自 70 年代末就积极开展这一方面工作,1978 年 D. W. Plamer 首次报道了能工作在  $250^{\circ}\text{C}$  以上的 JFET 和 MOSFET,90 年代初能工作于  $300^{\circ}\text{C}$  的集成电路已经商品化,供应于市场。

作者自 1988 年起一直从事高温 MOS 集成电路的研究,在高温 MOS 集成电路方面已有系列的研究成果,同时注意收集了这方面的技术资料,鉴于国内还未见到这方面的著作,作者将有关文献资料和研究成果汇集成书出版,目的是使读者对于高温 MOS 集成电路的物理性质有一个清晰的认识,掌握高温 MOS 集成电路的设计方法,使设计和制造高温 MOS 集成电路的工作建立在科学的理论基础之上。

由于目前唯一成熟的 VLSI 是以体硅、外延硅为衬底的 MOS 集成电路,而 CMOS 工艺又是其主流工艺,故本书以体硅、外延硅为衬底的高温 CMOS 集成电路为主要内容,兼顾了正在发展的其它结构和材料的高温集成电路。

本书中我们力求既能总结高温 CMOS 集成电路中较为成熟的理论,又能体现这个领域的最新发展,由于集成电路技术发展十分迅速,完成这个目标颇为困难,只希望本书能为从事高温集成电路研究与设计的工作者提供一个入门的途径。

本书可以作为微电子、电子工程、通信专业领域的器件与电路设计人员、教师及研究生学习和参考。

本书由柯导明撰写绪论、第 3 章、第 4 章,陈军宁撰写第 1 章、第 2 章。在撰写过程中,作者曾得到国家自然科学基金的部分资助,在此表示感谢。由于作者水平有限,书中难免还存在一些缺点和错误,殷切希望广大读者批评指正。

柯导明 陈军宁

2000 年 1 月 15 日

# 目 录

## 第0章 绪 论

- 0.1 高温 CMOS 集成电路的研究意义与发展 ..... (1)
- 0.2 本书内容简介 ..... (3)

## 第1章 MOS 晶体管的基本原理

- 1.1 MOSFET 的基本原理 ..... (5)
  - 1.1.1 MOSFET 的结构与导电原理 ..... (5)
  - 1.1.2 MOSFET 的类型与 CMOS 工艺简介 ..... (7)
  - 1.1.3 MOSFET 的伏安特性 ..... (10)
- 1.2 MOSFET 的阈值电压和伏安特性方程 ..... (13)
  - 1.2.1 理想硅表面物理 ..... (13)
  - 1.2.2 MOSFET 的阈值电压 ..... (16)
  - 1.2.3 载流子的漂移运动 ..... (18)
  - 1.2.4 漏源电流公式 ..... (19)
- 1.3 MOSFET 的大信号模型与小信号模型 ..... (22)
  - 1.3.1 MOSFET 的大信号等效电路 ..... (22)
  - 1.3.2 MOSFET 的小信号等效电路 ..... (24)
- 1.4 短沟道 MOSFET 的特性 ..... (26)
  - 1.4.1 短沟道 MOSFET 的阈值电压 ..... (26)
  - 1.4.2 短沟道 MOSFET 的漏源电流 ..... (28)

## 第2章 高温 MOS 晶体管的电学特性

- 2.1 本征 MOSFET 的高温特性 ..... (29)
  - 2.1.1 MOSFET 的阈值电压温度系数 ..... (29)
  - 2.1.2 MOSFET 的迁移率 ..... (32)
  - 2.1.3 MOSFET 的沟长调制效应 ..... (32)
  - 2.1.4 按比例缩小的温度效应 ..... (35)
  - 2.1.5 本征 MOSFET 的高温伏安特性 ..... (37)
- 2.2 高温 MOSFET 的等效电路 ..... (39)
  - 2.2.1 高温 MOSFET 的直流等效电路和大信号等效电路 ..... (39)
  - 2.2.2 高温 MOSFET 的小信号等效电路 ..... (42)
  - 2.2.3 高温 MOSFET 小信号电路的寄生电容及泄漏电导 ..... (46)
  - 2.2.4 高温 MOSFET 的电压放大能力及截止频率 ..... (53)
- 2.3 高温 MOSFET 的二级效应 ..... (55)

|                                  |      |
|----------------------------------|------|
| 2.3.1 高温 MOSFET 亚阈值区域的特性 .....   | (55) |
| 2.3.2 短沟道 MOSFET 的阈值电压温度系数 ..... | (57) |

### 第 3 章 高温 CMOS 集成电路设计

|                                                                  |       |
|------------------------------------------------------------------|-------|
| 3.1 高温 CMOS 反相器的直流传输特性 .....                                     | (59)  |
| 3.1.1 高温 CMOS 反相器的大信号等效电路 .....                                  | (59)  |
| 3.1.2 本征 CMOS 反相器的高温直流传输特性 .....                                 | (61)  |
| 3.1.3 高温 CMOS 反相器直流传输特性 I : $A_{Rp}J_{Rp} > A_{Rn}J_{Rn}$ .....  | (65)  |
| 3.1.4 高温 CMOS 反相器直流传输特性 II : $A_{Rp}J_{Rp} < A_{Rn}J_{Rn}$ ..... | (69)  |
| 3.1.5 高温 CMOS 反相器直流噪声容限 .....                                    | (70)  |
| 3.2 高温 CMOS 反相器的瞬态特性 .....                                       | (72)  |
| 3.2.1 高温 CMOS 反相器的瞬态特性等效电路 .....                                 | (72)  |
| 3.2.2 高温 CMOS 反相器的开关时间 .....                                     | (74)  |
| 3.2.3 高温 CMOS 反相器的开关特性分析 .....                                   | (76)  |
| 3.2.4 高温 CMOS 反相器的传输延迟时间 .....                                   | (78)  |
| 3.3 高温 CMOS 门电路及高温极限 .....                                       | (79)  |
| 3.3.1 高温 CMOS 门电路的设计 .....                                       | (79)  |
| 3.3.2 高温 CMOS 电路的自锁效应 .....                                      | (81)  |
| 3.3.3 高温 CMOS 电路的实现 .....                                        | (85)  |
| 3.4 高温 CMOS 模拟集成电路直流偏置与设计规则 .....                                | (87)  |
| 3.4.1 零温度系数偏置点存在的必要条件 .....                                      | (87)  |
| 3.4.2 ZTC 点栅偏置电压方程 .....                                         | (89)  |
| 3.4.3 偏置在 ZTC 点 MOSFET 的小信号参数 .....                              | (92)  |
| 3.4.4 高温 MOS 模拟集成电路的设计规则 .....                                   | (93)  |
| 3.5 高温 CMOS 模拟集成电路设计 .....                                       | (95)  |
| 3.5.1 偏置电压的产生 .....                                              | (95)  |
| 3.5.2 差分输入级设计 .....                                              | (98)  |
| 3.5.3 高温 CMOS 单级放大器特性 .....                                      | (102) |
| 3.5.4 高温 CMOS 电路输出级特性 .....                                      | (105) |
| 3.6 高温 CMOS 运算放大器的频率补偿 .....                                     | (107) |
| 3.6.1 高温 CMOS 运算放大器的频率特性 .....                                   | (107) |
| 3.6.2 高温 CMOS 运算放大器的频率补偿 .....                                   | (111) |
| 3.6.3 高温 CMOS 运算放大器的设计与可靠性 .....                                 | (113) |

### 第 4 章 高温功率 MOS 和 SOI MOS 器件与集成电路

|                                   |       |
|-----------------------------------|-------|
| 4.1 横向双扩散 MOS 的高温特性 .....         | (114) |
| 4.1.1 LDMOS 的高温等效电路 .....         | (114) |
| 4.1.2 LDMOS 的 E 管温度特性 .....       | (115) |
| 4.1.3 高压 LDMOS 的高温特性 .....        | (117) |
| 4.1.4 高温 LDMOS 的导通电阻与最大输出功率 ..... | (120) |

|                                         |       |
|-----------------------------------------|-------|
| 4.2 SOI CMOS 电路器件 .....                 | (122) |
| 4.2.1 SOI CMOS 器件与电路简述 .....            | (122) |
| 4.2.2 高温 SIMOX MOST 的本征参数 .....         | (124) |
| 4.2.3 泄漏电流及亚阈值电流 .....                  | (127) |
| 4.3 高温、高压、大功率半导体材料及器件 .....             | (129) |
| 4.3.1 高温、耐高压、大功率半导体材料和器件的电导率与优值指数 ..... | (129) |
| 4.3.2 高温、大功率器件的泄漏电流及影响 .....            | (133) |
| 4.3.3 高温、大功率器件的优值指数 .....               | (139) |
| <b>参考文献</b> .....                       | (142) |

# 第 0 章 绪 论

## 0.1 高温 CMOS 集成电路的研究意义与发展

科学技术和工业生产的发展,对设备的使用温度提出了越来越高的要求,特别是在能源、航空和航天领域内,常常要求检测和控制设备能在超过室温数倍的高温状态下运行。例如,石油的油井和天然气井的井底传感系统和监控设施的工作环境温度高达  $200^{\circ}\text{C} \sim 300^{\circ}\text{C}$ ; 喷气发动机的控制设备中,则要求传感器和控制线路必须在  $50^{\circ}\text{C} \sim 260^{\circ}\text{C}$  的环境下工作。其它一些设备,像内燃机点火装置和控制系统将被置于  $200^{\circ}\text{C} \sim 300^{\circ}\text{C}$  的环境下,而原子能发电站监视系统工作温度达  $300^{\circ}\text{C} \sim 500^{\circ}\text{C}$  [1,2,3,4]。

虽然在采用了冷却装置后,可以使室温下工作的器件和电路适用于高温情况,但经过这样处理的器件和电路体积庞大、重量增加、安装和使用复杂、噪声高、灵敏度低、可靠性差、不便于适时控制 [2,3,4], 给系统的微型化和实用化带来了诸多的不便。因此研究高温微电子学,设计制造高温微电子器件和集成电路是十分必要的。

从半导体物理学可知,半导体材料的禁带宽度越大,器件温度特性的稳定性越好,因此最好使用宽禁带半导体材料来制造高温器件和集成电路。已经用禁带宽度  $2.3\text{eV}$  的 SiC 制造了能在  $500^{\circ}\text{C}$  高温下工作的晶体管 [25]。在宽禁带半导体材料中,对禁带宽度  $1.4\text{eV}$  的 GaAs 研究最深入,应用最广泛,用它制成的高频 MESFET 可以工作在  $300^{\circ}\text{C}$  [26], 而 GaAs 霍尔传感器/放大器能在  $200^{\circ}\text{C}$  稳定工作 [27]。

然而,这些宽禁带半导体器件和集成电路还有一些材料、器件、电路、系统和工艺的课题等待着进一步深入研究,因此并不能广泛地应用。例如 SiC 器件,因为材料和工艺都不成熟,目前并没有真正地进入市场 [20]。再如 GaAs 集成电路虽然已经大规模用在室温下,但是在高温下应用仍有大量的器件物理问题需要研究,所以高温 GaAs 集成电路并没有硅高温集成电路那样成熟 [26,27,28,29]。

上述事实说明了拓宽高温微电子学的研究领域,制造高温硅器件和集成电路是一件顺其自然的事。国外对这一方面工作开展得较早,自 70 年代末起,一些学者就积极地开展了 Si 材料高温器件和集成电路的研究。1978 年 D. W. Plamer 首次报道了工作在  $250^{\circ}\text{C}$  以上的 JFET 和 MOST 的电学特性 [1]。随后, J. L. Prince 和 J. D. Beason 等人在 1979 年至 1981 年之间陆续发表了一批双极和 MOS 集成电路在高温下电学特性的测试结果,探讨了制作耐高温硅集成电路的可能性 [2,3,4,5]。但是这些早期工作的主要目标是设计与制作双极型高温集成电路和厚膜集成电路 [7,16], 例如, IEEE 1982 年出版的一本关于高温微电子学及其应用的专集中,数十篇涉及到硅器件和集成电路的文献,介绍的几乎都是双极型模拟集成电路和 TTL 数字集成电路 [16]。

对高温 MOS 晶体管和 CMOS 集成电路进行系统地研究的第一批学者是 F. S. Shoucair、W. Hang 和 J. M. Eearly(即基区宽变效应的发现者)等人,他们于 1984 年在《IEEE Trans. on Electron Devices》、《IEEE Trans. on Components, Hybrids, Manufacture, Technology.》和《Microelectron Reliab.》上发表了一系列  $25^{\circ}\text{C} \sim 300^{\circ}\text{C}$  环境下 MOS 晶体管电学特性的研究论

文<sup>[6,8,9,10,11]</sup>。这些论文讨论了 MOS 晶体管的阈值电压、表面载流子的低场迁移率、亚阈值电流、漏源电流、pn 结泄漏电流、泄漏电导和 MOS 晶体管的交流小信号参数在 25℃~300℃ 环境下的变化情况,给出了描述它们高温电学特性的方程和经验公式,为高温 MOS 晶体管和 CMOS 集成电路的设计提供了理论基础。

高温 CMOS 模拟集成电路的基础是 F. S. Shoucair 提出的零温度系数栅偏置电压理论 (Zero Temperature Coefficient Gate Bias Voltage Points, 简称 ZTC 点)<sup>[8,10]</sup>, 它的核心是设置能使漏源电流(或跨导)工作在零温度系数的栅偏压,使得漏源电流(或跨导)不随温度变化。ZTC 理论的出现,解决了高温 MOS 模拟集成电路直流偏置点不能稳定的问题。1986 年, F. S. Shoucair 总结了他和前人的研究成果后,提出了能在 260℃ 下稳定工作的 CMOS 模拟集成电路的设计方法<sup>[12,19]</sup>。该方案较好地解决了高温下恒流源、差分输入级、中间放大级和输出级的设计,实现了 25℃~260℃ 高温 CMOS 运算放大器的设计。

在高温 CMOS 模拟集成电路研究取得了进展的同时, F. S. Shoucair 在 1984 年首先对高温 CMOS 反相器作了定性估算,并给出了大信号等效电路<sup>[10]</sup>。从 1990 年起,文献[29]~文献[35]陆续分析了体硅、外延硅高温 CMOS 静态数字电路,提出了高温 CMOS 静态数字集成电路的直流传输特性和瞬态特性模型,并对直流和瞬态特性进行了定量的计算,得到了高温 CMOS 静态数字集成电路的直流特性和瞬态特性随温度变化的规律,给出了高温 CMOS 静态数字集成电路的器件结构和参数的设计方法。

对于高温 CMOS 集成电路的温度极限研究也在发展,在这一方面具有代表性的是文献[10]、[18]、[19]、[36]、[37]、[38]。理论分析和实验结果都确定了泄漏电流引发的可控硅自锁效应(Latch Up)决定了 CMOS 集成电路应用的极限温度。由于在理论上弄清了高温 CMOS 集成电路的失效原因, R. B. Brown 等人在 MOS 晶体管的尺寸、阱的掺杂浓度、器件间隔和引线等几个方面作了改进,成功地制作了工作在 315℃ 的 0.5μm~1.2μm pn 结隔离的 CMOS 集成电路<sup>[19]</sup>。

进入 80 年代中期后,由于固态传感器和执行器的飞速发展,使得高温硅微电子学的应用前景更加明朗。R. B. Brown 等人在 1987 年提出可以把高温 CMOS 集成电路与硅传感器或执行器集成在一块芯片上,以获得航空、航天领域内急需的低成本、高精度、抗干扰能力强的集成传感器和控制系统<sup>[17]</sup>,随后就报道了能在高温环境下工作的硅材料传感器<sup>[39,40]</sup>。

80 年代末人们又对高温大功率晶体管和 SOI 结构 MOS 器件和集成电路进行了深入的研究。G. Donly 首先测试了 LDMOS 的高温电学特性,对 LDMOS 亚阈值情况和导通态 ZTC 点特性进行了分析和建模<sup>[22]</sup>。而 K. Shenal 则从不同材料特性、器件参数、热传导的情况出发,建立了高温、大功率器件和集成电路的最佳设计方案<sup>[20]</sup>。研究高温 SOI 器件与集成电路电学特性的文献也很多,例如文献[23]、[42]和[43]。由于 SOI 器件 pn 结面积比体硅、外延硅 pn 结面积小得多,其泄漏电流要小几个数量级,因而 MOS 晶体管可以在高达 500℃ 的温度下工作,失效的原因并不是器件功能失效,而是其铝引线电迁移引起的失效,这一切表明 SOI 材料是优秀的高温器件和集成电路材料。

目前微电子技术正在高速发展,集成电路正朝着越来越小尺寸发展,超大规模集成电路器件的特征尺寸已达到亚 0.1 μm。但是高温半导体器件与集成电路的研究并未停止,而在继续深入。自 90 年代开始, IEEE 组织的高温微电子学会议每两年举行一次,已连续举行了四次,并且还将继续举行。会议的内容已从早期的硅器件和集成电路,发展到了包括 GaAs、SiC 材料的器件与集成电路。与此同时,国外也出版了一些高温微电子学专著。在高温微电子学正

在发展的时候,总结高温微电子学成熟的成果,将他们加以推广,使之被广泛应用,是我们微电子学研究者应尽的职责。作者自 80 年代末起一直在研究高温微电子学,陆续接触到一些硅高温器件和集成电路的材料,现将收集到的材料和研究成果汇集成本书,以供这一领域的工作人员参考。

## 0.2 本书内容简介

本书的内容共分 4 章,主要介绍高温 MOS 晶体管和高温 CMOS 集成电路物理特性以及电路和工艺设计原理,其主要内容简介如下:

第 1 章是 MOS 晶体管的基本原理。这一章概括地叙述了 MOS 晶体管的基本结构、导电机理和伏安特性,简单地推导了 MOS 晶体管的阈值电压、载流子迁移率、简化的伏安特性描述公式——萨方程。为了后面讨论的连贯性,这一章还分析了 MOS 晶体管的大信号模型和小信号模型,给出了详细的等效电路,描述了 MOS 器件的小尺寸效应。对于短沟道 MOS 晶体管的阈值电压和漏源电流给出了简化的计算公式。这一章主要是为那些没有半导体物理和器件基础的读者而写的,熟悉这些内容和方法的读者可以略去本章,直接阅读后面的内容。

第 2 章是高温 MOS 晶体管特性与参数的分析与计算。集成电路的基本单元是晶体管,CMOS 集成电路的基本单元是 MOS 晶体管,因此为了分析和了解高温 CMOS 集成电路,对高温 MOS 晶体管分析与建模十分必要。

这一章首先分析了高温本征 MOS 晶体管的特性。理论与实验都表明高温 MOS 晶体管的阈值电压可以近似地表示为温度的线性函数,而高温 MOS 晶体管的载流子迁移率与温度是指数关系。本章也讨论了高温 MOS 晶体管的沟道长度调制效应,给出了按比例缩小 MOS 晶体管的各项参数随温度变化的规律。

MOS 晶体管漏源 pn 结的泄漏电流在室温(25℃左右)很小,相对于漏源电流而言是可以忽略不计的。但是在高温下,pn 结泄漏电流随着温度升高而急剧增加,其值不能忽略。本征 MOS 晶体管和漏源 pn 结泄漏电流组成了高温 MOS 晶体管,其等效电路复杂,使得用解析方法进行分析变得困难了起来。本章详细地讨论了高温 MOS 晶体管的各项参数与温度的关系,给出了高温 MOS 晶体管的大信号等效电路和小信号等效电路,对它们的参量都给出了定量计算公式或估算方法。最后还分析了高温 MOS 晶体管的亚阈值特性,计算了亚阈值参数与温度的关系。

第 3 章分析了高温 CMOS 数字集成电路和模拟集成电路。本章首先讨论了高温 CMOS 静态数字电路的电学性能,分析了高温 CMOS 反相器的直流传输特性、噪声容限和瞬态特性,得到了两种不同的直流传输模式:一种是输出低电平升高;另一种是输出高电平下降。由于其输出高、低电平的变化,因此它的噪声容限只能用指定噪声容计算,本章给出了指定噪声容计算公式。书中还对高温 CMOS 反相器的参数作了适当的简化,得到了精度较高的传输延迟时间的计算公式。根据讨论结果给出了高温 CMOS 静态数字电路的电学参数和版图设计的方法和必须注意的事项。

这一章还分析了高温 CMOS 模拟集成电路的特性。对高温 MOS 晶体管的漏源电流详细分析后,给出了 CMOS 模拟电路零温度系数栅偏置电压(ZTC 点)存在的必要条件和计算公式。又按照克希荷夫电流定律的要求得到了高温 CMOS 模拟集成电路的电路参数和版图设计的规则。本章还给出了高温 CMOS 运算放大器的恒流源电路、差分输入级、中间放大级、输

出级特性和频率补偿的计算和分析方法。

本章除了讨论高温 CMOS 集成电路参数的温度效应外,还对高温 CMOS 集成电路的上限温度进行了分析。经过分析确定了 MOS 晶体管的寄生 pn 结引起的自锁效应(Latch Up)决定了 CMOS 集成电路的应用极限温度,给出了维持电流与温度的关系。讨论了一个能在 315℃ 下稳定工作的  $p$  阱 CMOS 电路的例子,分析了这个 CMOS 电路的掺杂、阱、连线与引线的设计方案。R. B. Brown 设计的这个高温 CMOS 电路用浅阱、钼引线工艺使 pn 结隔离的 CMOS 电路工作的环境温度上限达到了 315℃。

第 4 章分析了高温、功率 MOS 晶体管和高温 SOI MOS 晶体管以及集成电路。这一章包括 3 个内容:其一是高温 LDMOS 的特性。这部分包括高温 LDMOS 的等效电路和等效电路参数计算公式,得到了雪崩击穿电压和导通电阻与温度关系。这部分还分析了高温 LDMOS 的阈值电压、载流子迁移率和 ZTC 点与高温平面 MOS 相应参数的异同之处。

这一章第 2 部分分析了 SIMOX 材料的高温 SOI 厚膜和薄膜晶体管的阈值电压、泄漏电流的特性。

最后本章根据文献[19]提供的方法和讨论结果,分析了高温、高功率 JFET 和 MESFET 的特性,指出了最佳高温、高功率半导体器件材料是 SiC 和金刚石材料。

作者想通过对本书内容的简介使读者对本书有一个系统和比较全面的认识,为读者阅读提供方便。

# 第 1 章 MOS 晶体管的基本原理

现代微电子器件和半导体集成电路都是利用半导体材料的导电性能。通常半导体材料有两类,一类是本征半导体材料。在本征半导体材料中,半导体中的正负导电载流子空穴与电子相等,用这种材料制造成的器件,其性能随温度变化剧烈,因此,一般不用本征半导体来制作器件和集成电路。

另一类材料是掺杂半导体,这种材料很容易制造,性能稳定,因而广泛地用于制作半导体器件和集成电路。掺杂半导体的特点是材料以一种载流子导电为主,以正电荷载流子导电为主称为  $p$  型半导体,以负电荷载流子导电为主称为  $n$  型半导体。制成的器件工作时若电子与空穴都参加导电称为双极型晶体管,而制成的晶体管若只以一种载流子(或空穴,或电子)导电为主,则称做单极型晶体管。

MOSFET 是一种单极型晶体管,它是 Metal Oxide Semiconductor Field Effect Transistor 的缩写。MOSFET 是一种场控器件,具有尺寸小、工艺简单、器件参数易于控制的特点,很容易被大量集成在一块芯片上,形成 LSI、VLSI 和 ULSI。特别是在 CMOS 工艺出现后,由于 CMOS 电路功耗低、抗干扰能力强、速度较高、工艺简单,因而获得了广泛的应用,CMOS 工艺也迅速成为 VLSI 和 ULSI 的主流工艺,预计在 21 世纪前 30 年里 CMOS 工艺仍然是集成电路的主流工艺<sup>[44]</sup>。

由于 CMOS 电路是 VLSI 和 ULSI 的主流技术,而 MOSFET 又是其基本单元,因此 MOSFET 也就是当前微电子技术的研究核心。MOSFET 通常是金属栅— $\text{SiO}_2$  绝缘层— $n$ (或  $p$ )型半导体衬底系统。早期的金属栅通常特指金属 Al,而近年来由于工艺与电路技术的发展,大多数金属栅都被多晶硅栅所取代。多晶硅栅不但能用于自对准工艺,提高 MOSFET 的性能,而且很适用于 VLSI 和 ULSI 的多层布线。本章将以这种系统为研究对象,分析 MOSFET 的电学特性,简述 CMOS 集成电路的工艺特性,为后继章节奠定基础。

## 1.1 MOSFET 的基本原理

### 1.1.1 MOSFET 的结构与导电原理

用平面工艺制作的 MOSFET 的典型结构如图 1-1 所示。图中是一个  $n$ MOS 管,它的衬底是  $p$  型 Si,两个  $n^+$  区在现代工艺中通常是离子注入后再经扩散形成,用作 MOSFET 的源区和漏区。栅氧化层用  $\text{SiO}_2$  制成,上面是一层金属或多晶硅,用作为栅电极。栅氧化层下面在源和漏之间,是 MOSFET 的导电沟道。源电极用 S 表示,漏电极用 D 表示,衬底用 B 表示,栅电极用 G 表示。MOSFET 在应用中电极的接法有两种,一种是衬底与源电极短接,接在电路的公共地上。另一种是源极 S 接地,而衬底接一反偏电压,这样将提高 MOSFET 的阈值电压,扩大 MOSFET 的应用范围。

根据 MOSFET 导电沟道中运动的导电载流子不同,MOSFET 可以分成两种类型, $n$  沟道 MOSFET 和  $p$  沟道 MOSFET。又根据外加栅电压时,导电沟道的变化情况,MOSFET 又分成增强型和耗尽型两种不同的 MOSFET。这两种情况组合在一起,MOSFET 可分成四种类型:

$n$  沟道增强型;  $n$  沟道耗尽型;  $p$  沟道增强型;  $p$  沟道耗尽型。通常  $n$  沟道 MOSFET 简称做  $n$ MOS,  $p$  沟道 MOSFET 简称为  $p$ MOS。

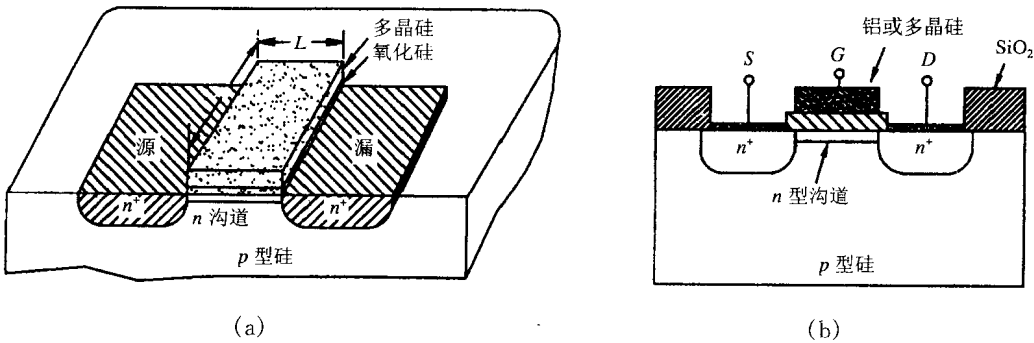


图 1-1 用平面工艺制作的 MOSFET 结构图  
(a) 简单的立体结构;(b) 图(a)的剖面图

下面以增强型  $n$ MOS 为例讨论 MOSFET 的工作原理。为了简化讨论过程,我们将  $S$  与  $B$  短接于地上。在 MOSFET 的各种应用之中,一定要让源区和漏区在反偏或零偏状态。这样做有两个优点,首先源和漏与衬底隔离了起来,其次仅需考虑外加栅偏压下衬底的导电状态即可。经过这样简化后的 MOSFET 相当于一个 MOS 电容器,其结构如图 1-2 所示。设想一

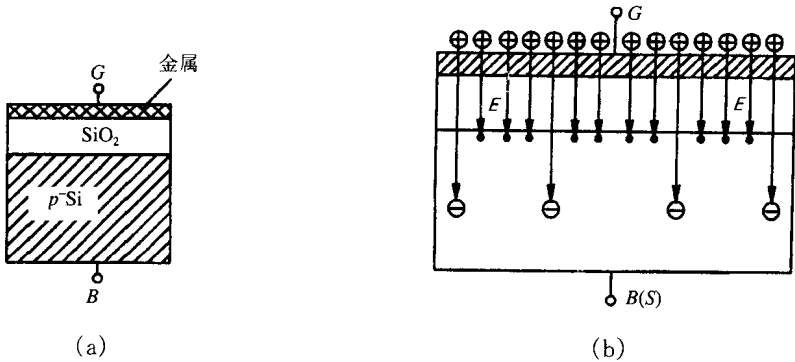


图 1-2  
(a)基本 MOS 电容器结构;(b)外加正向电压时产生电子和空间电荷区的示意图

下,让衬底  $B$  接地,栅接一小的正电压,在栅电极上的正电荷的电力线穿透  $\text{SiO}_2$  层,终止在硅区表面。对于  $p$  型半导体来说,最初在  $\text{SiO}_2$ — $\text{Si}$  界面都是空穴,由于空穴是正的可动载流子,因此在电场  $E$  的作用下,向衬底运动,在  $\text{Si}$ — $\text{SiO}_2$  界面处留下负离子。负离子由于质量大不可以运动,在  $\text{SiO}_2$ — $\text{Si}$  界面形成薄薄的一层,这就是类似 pn 结的空间电荷区。若外加栅电压  $V_{GS}$  增加较大,这时空间电荷区已无法屏蔽栅电压,为了屏蔽栅电压产生的电力线,半导体表面处会产生可动负载流子即电子。由半导体物理可知,一般耗尽层里离子的密度由掺杂所决定,通常最大不超过  $10^{17}\text{cm}^{-3}$ 。而表面载流子的浓度与表面电压是指数关系,所以一旦有表面电子产生,它的浓度增加就很快,很快就形成浓度很高的薄薄一层,屏蔽了栅电压。这个薄层里可动载流子(电子)导电类型与体内的可动载流子类型相反,通常称之为反型层。使半导体表面产生与体内导电类型相反的可动载流子层,所需的栅电压称为阈值电压  $V_T$ 。 $V_{GS} = V_T$  时的反型层浓度很高,远远大于体内半导体载流子浓度,足以屏蔽栅电场。所谓的

$n$ MOS 就是反型层的可动载流子是电子,衬底是  $p$  型 Si,而  $p$ MOS 就是反型层的可动载流子是空穴,衬底是  $n$  型 Si。

从上面可知  $V_{GS} \geq V_T$  后,在半导体表面会有空间电荷层和反型层,反型层里是可动载流子,在外加电压于反型层两端后,可动载流子就会运动产生电流,形成导电沟道。这时 MOS-FET 的一维结构如图 1-3 所示。这种结构的优点在于,首先表面导电沟道很薄,约为几 nm。

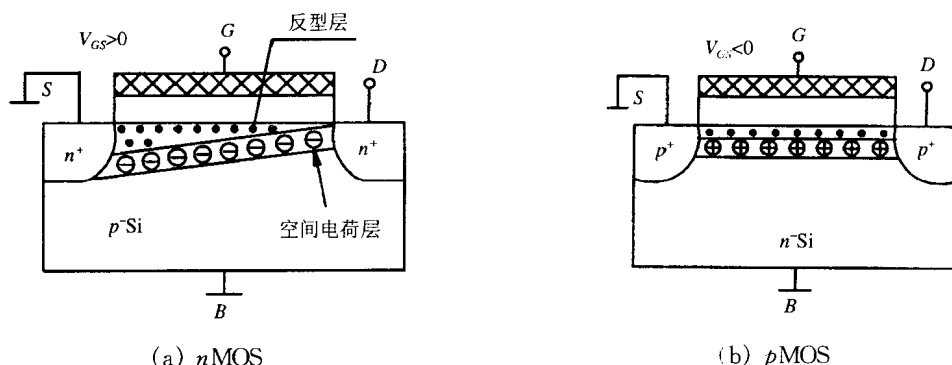


图 1-3

(a)  $n$ MOS 示意图;(b)  $p$ MOS 示意图

而耗尽层中无可动载流子,不导电,隔开了表面导电沟道与衬底。导电沟道可以看成仅在 Si 表面,因此 MOSFET 是表面器件。从图 1-3 可见, $n$ MOS 耗尽层是负离子, $p$ MOS 耗尽层是正离子,因此  $n$ MOS 的阈值电压是正值, $p$ MOS 的阈值电压是负值。

从图 1-3(a)可见,为了让衬底的空穴不参加导电,漏极必须相对于衬底是正向电压,以使漏 pn 结在反偏状态,衬底空穴不能进入漏区,而反型层的电子在漏极电压  $V_{DS}$  的作用下发生运动形成漏源电流  $I_{DS}$ 。很明显在  $V_{GS} < V_T$  时,没有导电沟道, $V_{DS}$  再大也没有电流  $I_{DS}$ ,仅有很小的 pn 结泄漏电流。在  $V_{GS} = V_T$  时,导电沟道形成,外加  $V_{DS}$  后有漏源电流  $I_{DS}$ 。随着  $V_{GS}$  增加,反型层中电子密度增加,为了屏蔽栅电场,导电沟道厚度也增加, $I_{DS}$  也随之而增加。与此同时,由于反型层中电子密度远大于耗尽层中负离子密度,屏蔽栅电场的任务主要由反型层中电子完成,外界电场增加一点,反型层中电子增加很多,而耗尽层的厚度几乎不随栅电压而变,因此在栅电压  $V_{GS}$  达到  $V_T$  后,栅下耗尽层厚度是不随  $V_{GS}$  而变的,固定在  $V_{GS} = V_T$  时的耗尽层厚度,这在半导体物理中称之为最大耗尽层厚度  $x_{dmax}$ 。这种在  $V_{GS}$  大于  $V_T$  后导电沟道才形成的 MOS 管,称之为增强型 MOSFET。用同样的方法可以分析  $p$ MOS 的工作原理,易知  $p$ MOS 与  $n$ MOS 的工作机理类似,只是  $V_{GS}$  是负值, $V_{DS}$  也是负值。

### 1.1.2 MOSFET 的类型与 CMOS 工艺简介

对于实际 MOSFET 来说,并不是上节所说的那么简单。首先由于不同种类材料接触时有接触电势差,所以存在着金属半导体的接触电势差,通常称做功函数差。一般来说不同的物质有不同的功函数,当功函数不同的两种材料放在一起的时候就会有电子从功函数小的材料转移到功函数大的材料,使两边带电而产生接触电势差。接触电势差的大小可用下式计算:

$$\Phi_{ms} = \frac{W_s - W_m}{q} \quad (1-1)$$

式中  $W_s$  和  $W_m$  分别是半导体和金属的功函数,  $q$  是电子电荷。以 Al—SiO<sub>2</sub>—Si 构成的 MOS 系统为例, 金属的功函数是

$$W_m(\text{Al}) = 4.20(\text{eV})$$

而  $p$  型 Si 的功函数是

$$W_s = 4.61(\text{eV}) + kT \ln \frac{N_{sub}}{n_i}$$

式中  $n_i$  是纯硅的导电载流子浓度, 为  $10^{11} \text{cm}^{-3}$  数量级, 而  $N_{sub}$  是  $10^{14} \sim 10^{16} \text{cm}^{-3}$  量级, 因此半导体功函数大于金属功函数。这样当 Al—SiO<sub>2</sub>—Si 放在一起时, 由于 Al 功函数小, 就会有电子从 Al 转移到硅中去, 金属 Al 由于失去电子带正电, 而半导体硅由于得到电子带负电, 结果在金属、半导体之间形成一定的电位梯度, 相当于外加正向偏压。由此看来, 由于存在接触电势差, 尽管 MOS 结构无外接偏压, 也好像有偏压加在栅电极上。

对于实际 MOS 器件, 在生产过程中 SiO<sub>2</sub> 中有过剩的硅离子, 即 SiO<sub>2</sub> 层中有氧空位。氧空位起正电中心作用, 所以 SiO<sub>2</sub> 层中会有固定电荷, 而且这些固定电荷带正电, 这些固定正电荷会使 Si 表面感应出等量的负电荷。

除了上述两种原因外, 在 SiO<sub>2</sub>—Si 的界面存在着界面态。界面态的产生机理较为复杂, 有的甚至于目前还不知道它的起源, 但是它们的共同物理现象是会捕获 Si 表面的电子或空穴, 也可以在 Si 表面处产生电子或空穴, 这样就会在 SiO<sub>2</sub>—Si 的界面处 Si 的一端感应出正电荷或负电荷。

由于上述原因, 若不采取适当的工艺措施(有时甚至是有意识的), 虽然栅上无外加偏压, 但是半导体表面已经形成了导电沟道, 外加漏、源电压  $V_{DS}$  后就会有电流流过, 这就是耗尽型 MOSFET。例如  $n$ MOS 耗尽型管子, 栅上无外加电压, Si 表面有导电沟道。在栅上施加负电压  $V_{GS}$  时, 负电压抵消了功函数和 SiO<sub>2</sub> 层中正电荷产生的等效正向偏压, 因此 Si 表面的导电沟道减薄, 表面反型层里少子浓度减少, 在一定的  $V_{DS}$  作用下比无栅偏压时流过沟道的  $I_{DS}$  减少。如果  $V_{GS}$  的值减小(绝对值增加),  $I_{DS}$  继续减小。当  $V_{GS}$  到达一定值  $V_p$  时, 它会完全抵消接触电势差和氧化层中正电荷产生的等效正电压, 使  $n$  型沟道完全消失, 这时即使漏极上加上正电压  $V_{DS}$ , 也无电流流过, 称 MOSFET 的这种导电状态是截止状态,  $V_p$  是截止电压。显然  $n$  沟耗尽型管子的截止电压  $V_p < 0$ 。

原则上也存在  $p$  沟耗尽型管子, 它与  $p$  沟增强型管子的相同之处是以  $n$  型硅作为衬底, 外加截止电压  $V_p > 0$ 。当  $V_{GS} < V_p$  时, 漏和源之间已经存在  $p$  型沟道, 只要在漏极加上负电压, 空穴就能在源和漏之间流动, 形成漏源电流。但是由于  $p$  沟耗尽型 MOS 制作困难, 而且载流子迁移率较  $n$  沟 MOSFET 的小, 所以其应用的范围较小。 $n$  沟和  $p$  沟耗尽型 MOSFET 称做 DMOS。

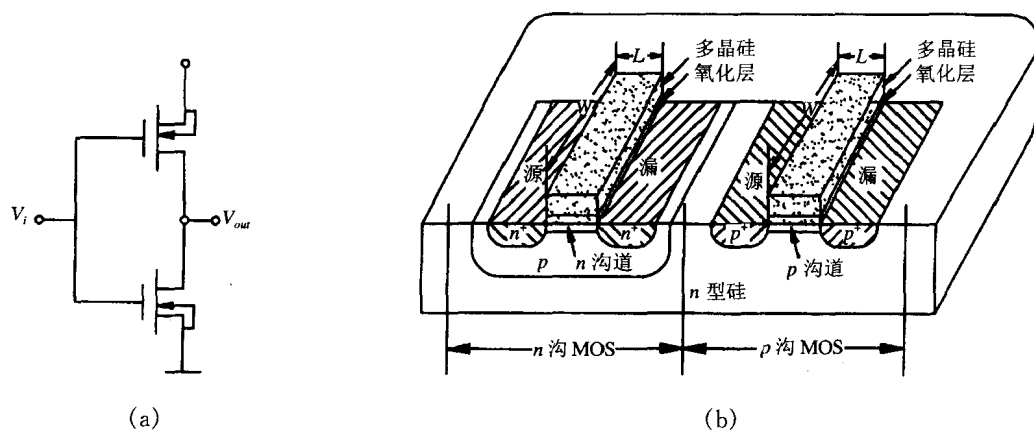
四种 MOS 管中, 以增强型  $n$  沟和  $p$  沟 MOSFET 应用范围最广。 $n$  沟 DMOS 在早期应用较广, 但是随着 CMOS 的出现, 现在 DMOS 应用已经较少了。表 1-1 给出了四类 MOSFET 的符号和特点。

在集成电路制成过程中, 常利用不同类型的 MOSFET 组合在一起制成用途不同的集成电路。应用较为广泛的是 E/DNMOS, 在  $p$  型 Si 衬底上, 同时制作增强型  $n$ MOS 管和耗尽型  $n$ MOS 管, 再把它们组合成用途不同的电路, 这曾经是 LSI 的主流工艺。但是在 CMOS 技术出现后, CMOS 工艺迅速成为 VLSI 主流工艺。

表 1-1 四种类型 MOSFET 的符号与特点

| 类 型          | 符 号 | 衬 底 | 漏源扩散  | 导电沟道<br>少子类型 | 栅偏压 | 阈值电压<br>或截止电压 | 漏源电压         |
|--------------|-----|-----|-------|--------------|-----|---------------|--------------|
| $n$ 沟<br>增强型 |     | $p$ | $n^+$ | $n$          | 正   | $V_T > 0$     | $V_{DS} > 0$ |
| $n$ 沟<br>耗尽型 |     | $p$ | $n^+$ | $n$          | 零正负 | $V_p < 0$     | $V_{DS} > 0$ |
| $p$ 沟<br>增强型 |     | $n$ | $p^+$ | $p$          | 负   | $V_T < 0$     | $V_{DS} < 0$ |
| $p$ 沟<br>耗尽型 |     | $n$ | $p^+$ | $p$          | 零正负 | $V_p > 0$     | $V_{DS} < 0$ |

CMOS 电路是用增强型  $n$ MOS 管与增强型  $p$ MOS 管组合形成电路,图 1-4 是一个 CMOS 反相器的电路图和结构图。为了在一种衬底上制作导电类型不同的两类晶体管 ( $n$ MOSFET 和  $p$ MOSFET),需在衬底制作出一块与衬底导电类型不同的区域,在半导体器件工艺中称为制阱。



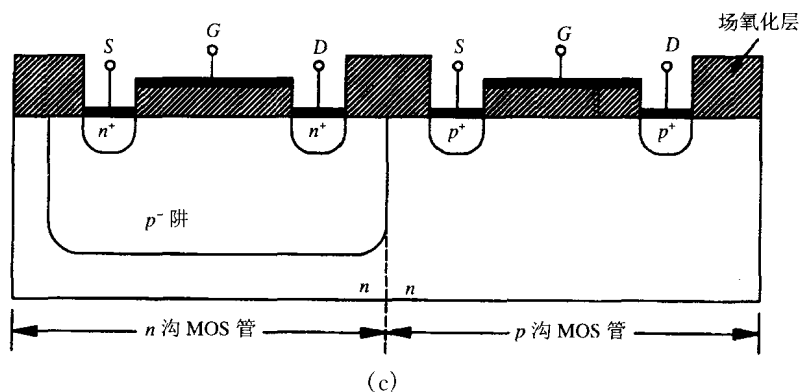


图 1-4

(a) 一个 CMOS 反相器的电路图;(b) CMOS 反相器结构图;(c) CMOS 反相器的剖面图

阱的制法很多,其发展过程与集成电路工艺发展有关。最早的是  $p$  阱 CMOS 工艺,它建立在早期  $p$ MOS 集成电路工艺基础之上。具体作法是在  $n$  型衬底上制备  $p$  阱,在这些  $p$  阱上制备  $n$ MOS 管。 $p$  阱的掺杂浓度比衬底的掺杂浓度( $n$  型衬底)高一个数量级左右,由于材料浓度越高,其迁移率越低,这样  $p$  阱内制备的  $n$ MOS 管沟道电子迁移率降低,性能下降。对于以  $n$ MOS 管为主, $p$ MOS 管为辅的一些电路,例如动态逻辑及多米诺逻辑,电路的性能较低。

为了解决  $p$  阱 CMOS 工艺的缺点,人们逐渐发展了  $n$  阱 CMOS 工艺。 $n$  阱 CMOS 是以  $p$  型材料为衬底,在其上制作  $n$  阱,它的出现解决了  $n$ MOS 性能降低的缺点。除此以外, $n$  阱 CMOS 工艺还很容易制备高压  $n$ MOS 器件和 npn 双极晶体管,与 E/D MOS 工艺兼容。缺点是  $p$ MOS 管本身的物理性能就比  $n$ MOS 管的性能低,而现在由于  $n$  阱掺杂浓度高,其性能进一步下降。

最新的 CMOS 工艺是一种双阱 CMOS 工艺。现代电路中  $n$ MOS 管和  $p$ MOS 管数目相差不多,而当电路中  $n$ MOS 管数目与  $p$ MOS 管的数目相差不多时,对于  $n$  阱或  $p$  阱 CMOS 工艺来说,两种 MOS 管的主要参数增益因子(后面将详细介绍)相差较大,虽然可以用改变管子尺寸的方法让两类管子的增益因子保持相当,但这将减小电路集成度,降低电路整体性能。为此发展了双阱工艺,它采用高阻  $n$  型衬底,在衬底上分别制备  $n$  阱与  $p$  阱。这样两种阱的掺杂浓度较低,两种管子的迁移率都较高,易于匹配,不但提高了两种类型 MOSFET 的性能,而且改善了电路整体性能。

CMOS 工艺从 70 年代中期出现以来,其进步决不止上面所述阱的变化。其器件尺寸,主要是指栅下沟道尺寸,已从最初的  $5\mu\text{m}$  以上,发展到了  $0.1\mu\text{m}$ ,整整缩小了 500 倍,极大地提高了器件与电路的速度。栅电极材料也从 Al 发展到了多晶硅,有效地防止了电迁移,能作自对准工艺,大大地减小了漏栅寄生电容。各种新型结构的 CMOS 器件不断出现,如 LDD MOS 晶体管出现,有效地减小了热载流子注入等非理想效应。这些器件的物理效应及工艺情况,请参阅有关文献,例如文献[53]。

### 1.1.3 MOSFET 的伏安特性

MOS 场效应晶体管的基本特性可以用其伏安特性曲线表示出来,和双极型晶体管一样,MOSFET 也有多种接法,最常用的是共源接法。图 1-5 是共源放大器的电路图和特性曲线。在测试特性曲线时,固定  $V_{GS}$ ,调整  $V_{DS}$  就可以测出一族曲线。图中的输出特性可以划分成三