

VHDL

与数字电路设计

卢毅 赖杰 编著

实例设计包含

同位元产生 / 检查电路

数字转换电路

加法器、减法器

状态机

编 / 解码器

ROM

比较器

ALU

电路、微分电路

电子钟

分频电路

电子密码锁

移位电路

数字电表

计数器电路

CPU



科学出版社



文魁资讯股份有限公司

VHDL 与数字电路设计

卢毅 赖杰 编著

科学出版社

2001

内 容 简 介

VHDL 是一种快速的电路设计工具,功能涵盖了电路描述、电路合成、电路仿真等三大电路设计工作。

本书主要介绍 VHDL 的命令语句,组合逻辑电路和时序逻辑电路的设计,以及电子密码锁和 CPU 电路设计等实例。在内容的编排上,本书尽量避免繁琐且较不常用的语法介绍,取而代之的是大量的实例,让读者真正掌握 VHDL 的精华。

本书适合于各级希望学习 VHDL 的读者,可作为电路设计人员的参考用书,也可作为大专院校相关专业的教材。

本书繁体字版原书名为《VHDL 与数字电路设计》,由文魁资讯股份有限公司出版,版权属卢毅、赖杰所有。本书简体字中文版由文魁资讯股份有限公司授权科学出版社独家出版。未经本书原版出版者和本书出版者书面许可,任何单位和个人均不得以任何形式或任何手段复制或传播本书的部分或全部。

版权所有,翻印必究。

图字: 01-2000-3694 号

VHDL 与数字电路设计

卢毅 赖杰 编著

科学出版社 出版

北京东黄城根北街 16 号
邮政编码: 100717

北京双青印刷厂 印刷

科学出版社发行 各地新华书店经销

*

2001 年 4 月第 一 版 开本: 710×1000 1/16

2001 年 4 月第一次印刷 印张: 31

印数: 1—5 000 字数: 509 000

ISBN 7-03-009042-X/TP·1477

定价: 49.00 元 (含光盘)

(如有印装质量问题,我社负责调换<环伟>)

序

VHDL 是 Very High Speed Integrated Circuit Hardware Description Language 的英文缩写，是一种快速的电路设计工具，功能涵盖了电路描述、电路合成、电路仿真等三大电路设计工作。

VHDL 原来是由美国国防部于 20 世纪 70 年代开始研究发展的电路设计工具，并于 1987 年成为 IEEE 的一种标准语言。以前发展的目的是为了将电子电路的设计和内部的含义用文件的方式存储起来，以便其他人能够轻易地了解电路的设计意义。这至少意味着两种重大的改变：设计电路竟然可以通过文字描述的方式，完成设计工作；电子电路也可以当作文件一样来存储。

从 VHDL 每年能够以超过 30% 的速度快速成长，便可以知道 VHDL 电路设计语言不但功能强大，而且能够满足各个设计阶层的设计工作，从 ASIC 设计到 PCB 系统设计，都能够轻易地达到设计工作者的需要。也因此酝酿了笔者编写此书的动机。

在内容的编排上，本书尽量避免繁琐且较不常用的语法介绍，取而代之的是用大量的实例和大家一起研讨。这样作出是希望初学者或自修的读者能确实掌握 VHDL 的精华，以及学习如何将它应用到相关电路的设计中。同时在每个章节的最后，提供了几个习题供大家思考，当然它们也非常适合各位教师选择来作为课后的练习习题。

本书的章节是有其顺序的，如第 4 章是提到组合逻辑的基础电路设计，所以紧接着第 5 章的内容，就讨论更高级的组合逻辑电路的应用——ALU 设计。类似的安排作法，在第 6 章提到时序逻辑的基础电路设计，然后在第 7 章，讨论更高级的时序逻辑电路应用——电子钟。最后在第 8~10 章以专题制作的方式，讨论密码锁、数字电表，以及 CPU 的设计。

无论如何，本书的每一个专题设计都是实际上能够做出成品的电路设计。

笔者花了很多的心力和时间来编写这本书，除了当作平时的教材之外，也希望能够有更多希望学习 VHDL 的读者通过本书的出版，能够学到更多更好的设计技能。

本书虽力求完美，但错误之处在所难免，请读者不吝指正及赐教，不胜感激。

作 者

目 录

第 1 章 第一个 VHDL 语言范例与软件操作仿真.....	1
1-1 VHDL 简介.....	2
1-1-1 逻辑芯片的分类.....	2
1-1-2 VHDL 的由来.....	4
1-1-3 VHDL 的程序结构.....	4
1-2 基本语法结构简介.....	6
1-3 软件操作简介.....	10
第 2 章 VHDL 基本数据类型与命令语句.....	23
2-1 基本数据类型: 逻辑信号、数值信号.....	24
2-1-1 逻辑信号.....	24
2-1-2 数值信号.....	32
2-2 数据对象定义: 常数、信号、变量.....	36
2-3 并行同时语句.....	44
2-4 顺序语句(一): Process,If-Else,Wait.....	51
2-5 顺序语句(二): Case-When,Null.....	58
第 3 章 VHDL 进阶数据类型与命令语句.....	67
3-1 进阶数据类型: 列举与数组数据类型.....	68
3-2 顺序语句 For-Loop.....	70
3-3 并行同时语句(二).....	79
3-4 并行同时语句 For-Generate.....	91
第 4 章 组合逻辑电路设计.....	99
4-1 译码器与编码器.....	100
4-1-1 译码器的设计.....	101
4-1-2 编码器.....	104

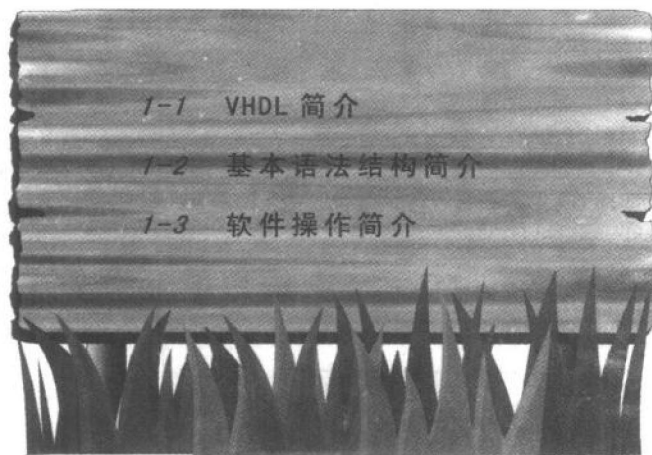
4-2	多任务器与解多任务器.....	109
4-3	数码转换.....	115
4-4	比较器.....	119
4-5	算术运算.....	124
4-6	只读存储器.....	134
4-7	三态与双向界面设计.....	136
第 5 章	组合逻辑电路进阶设计.....	139
5-1	ALU 功能简介.....	140
5-1-1	算术运算单元的功能.....	140
5-1-2	逻辑运算单元的功能.....	141
5-2	算术运算单元.....	142
5-2-1	算术运算单元的 ENTITY 定义.....	143
5-2-2	算术单元的 ARCHITECTURE 描述.....	145
5-2-3	算术运算单元的设计.....	145
5-3	逻辑运算单元.....	149
5-3-1	完成 ENTITY 定义.....	149
5-3-2	ARCHITECTURE 描述.....	150
5-3-3	逻辑单元的 VHDL 程序设计.....	150
5-4	ALU 的 VHDL 设计.....	153
第 6 章	时序逻辑电路设计.....	159
6-1	触发器:D 型、T 型、RS 触发器.....	161
6-1-1	D 触发器.....	161
6-1-2	T 触发器.....	164
6-1-3	RS 触发器.....	171
6-2	触发器的应用.....	174

6-2-1	延迟电路.....	175
6-2-2	微分电路.....	178
6-2-3	可逆计数器.....	181
6-2-4	同步计数器.....	188
6-5	状态机电路设计.....	207
第 7 章	时序逻辑电路进阶设计.....	219
7-1	七段显示器电路设计.....	220
7-2	电子钟时间计数与显示电路设计.....	231
7-2-1	除 60、除 24 计数.....	232
7-2-2	时间显示电路设计.....	238
7-3	弹跳消除电路设计.....	256
7-4	电子钟电路设计：时间设定、时间显示.....	262
第 8 章	电子密锁.....	285
8-1	键盘接口电路的设计.....	287
8-1-1	矩阵式键盘的工作原理.....	288
8-1-2	时序产生电路.....	290
8-1-3	键盘扫描电路.....	292
8-1-4	弹跳消除电路.....	296
8-1-5	键盘译码电路.....	300
8-1-6	按键存储电路.....	306
8-1-7	键盘电路.....	315
8-2	密码锁的控制电路设计.....	324
8-3	七段显示器显示电路的设计.....	336
8-4	四位数电子密码锁.....	342
第 9 章	数字电表设计.....	355

9-1 A/D 0804 转换器简介.....	356
9-2 数字电压表设计.....	360
9-3 数字温度表设计.....	386
第 10 章 SAP-1 CPU 电路设计.....	421
10-1 SAP-1 CPU 及计算机的组成结构简介.....	402
10-2 SAP-1 CPU 指令、寻址法、程序设计.....	406
10-3 16× 8 的 ROM 设计与仿真.....	411
10-4 SAP-1 CPU 设计与仿真.....	414
10-4-1 SAP-1 指令周期.....	414
10-4-2 SAP-1 CPU 设计.....	418
附录 A.....	441
附录 B.....	443
附录 C.....	449

Chapter 1

第一个 VHDL 语言范例与软件操作仿真



现今工程师们所面对的环境是，研发产品的功能不断增加，但产品的大小规格却不断缩小，而且研发周期也受制于竞争的压力，必须尽可能地缩短时间以提高产品的生命周期。所以，可以用内外交迫来形容这些科技尖兵的处境。

1-1 VHDL 简介

本节将向大家简介几个有关研发工具和芯片材料的课题：

- 逻辑芯片的分类
- VHDL 的由来
- VHDL 的程序结构

1-1-1 逻辑芯片的分类

对于逻辑芯片的分类，可以用图 1-1 来说明。

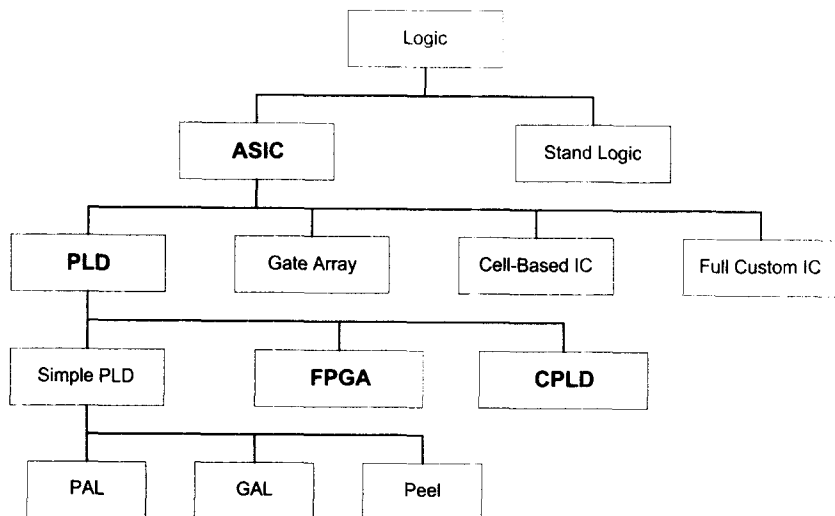


图 1-1 逻辑芯片的分类

由图 1-1 可以了解,逻辑芯片可分成:标准逻辑(Standard Logic,如 TTL/CMOS 等系列芯片)和应用规格芯片(ASIC: Application Specific Integrated)两大类。随着 VLSI 与计算机技术的成熟,ASIC 芯片具有以下几项优点:

- 电路容积高: 芯片内的组件门数高,相对缩小整个电路板的面积。
- 电路性能佳: 电路信号延迟小,较容易得到可靠的电路设计。
- 完备的开发工具: 协助完成电路的合成与仿真,并能自动作出电路的最佳化,缩短设计研发周期。
- 可编程逻辑功能: 提供弹性的设计方式,并允许多次清除和重新烧录。
- 费用低廉: 随着 VLSI 的制作技术提高,ASIC 芯片内的门数不断提高,但售价却不断逐步降低。

所以在数字电路领域里,ASIC 的广泛应用,实际上早已有许许多多的产品问世,比如网卡、集线器(HUB)、扫描仪等,都可以看到它们的踪迹。

依照 ASIC 的制程方式,可按如图 1-1 分类,分成以下四种:

- PLD: Programmable Logic Device
- Gate Array
- Cell-Based IC
- Full-Custom IC

其中属于 PLD 里的 FPGA(Field Programmable Gate Array)、CPLD(Complex PLD),它们相对于 Simple Logic 下的 PAL、PEEL,具有更高的电路门数,所以可应用于功能较复杂的电路。

虽然可以使用相同的硬件描述语言,如 VHDL, Verilog 来设计 FPGA 或 CPLD,但是这两种芯片有下面几个重要的不同点:

- 内部绕线不同: 由于 FPGA 的绕线是属于分段式,这将造成内部延迟时间不固定,致使新手不易学习。但 CPLD 的绕线是属于连续式,内部延迟时间固定,较容易设计和使用。
- 门数不同: CPLD 的接线单纯,所以芯片内的门数比 FPGA 多。如 Altera 公司所生产的 FLEX 系列(RAM 形式)、MAX 系列(ROM 形式)都

是属于 CPLD 的类型，而 Xilinx 公司生产的 Spartan 系列（RAM 型式）则是属于 FPGA 类型。

1-1-2 VHDL 的由来

VHDL 是 Very high speed intergated circuit Hardware Description Language 的缩写，意思是非常高速集成电路的硬件描述语言。这是一项诞生于由美国国防部所支持的研究计划，目的是为了把电子电路的设计意义以文字或文件的方式保存下来，以便其他人能轻易地了解电路的设计意义。

1985 年完成第一版的硬件描述语言，两年后（1987）成为 IEEE 标准，即 IEEE1076 标准。1988 年，美国国防部规定所有官方的 ASIC 设计都必须以 VHDL 为设计描述语言，所以 VHDL 就渐渐成为工业界的标准。之后于 1993 年增修为众所周知的 IEEE1164 标准，1996 年，IEEE 又将电路合成的标准程序与规格加入至 VHDL 硬件描述语言中，称为 IEEE 1076.3 标准。

由于半导体制程技术的快速进步，VHDL 所能提供高阶电路描述语言的方式，让复杂的电路可以通过 VHDL 编辑器的电路合成方式，轻易而且快速地达到设计的规格。

由于 VHDL 电路描述语言所能涵盖的范围相当广，能适用于各种不同阶层的设计工程师的需求。从 ASIC 的设计到 PCB 系统的设计，VHDL 电路描述语言都能够派上用场，所以 VHDL 电路设计毫无疑问地成为硬件设计工程师的必备工具。

VHDL 目前仍然无法应用于模拟电路上，但已有人投入研究，来开发 VHDL 在模拟方面的应用技术，相信在不久的将来，必能得到丰硕的成果，届时 VHDL 电路描述语言将可以应用于模拟/数字电路的开发与设计。

1-1-3 VHDL 的程序结构

下面将以图 1-2 为例，简要说明 VHDL 的程序结构。



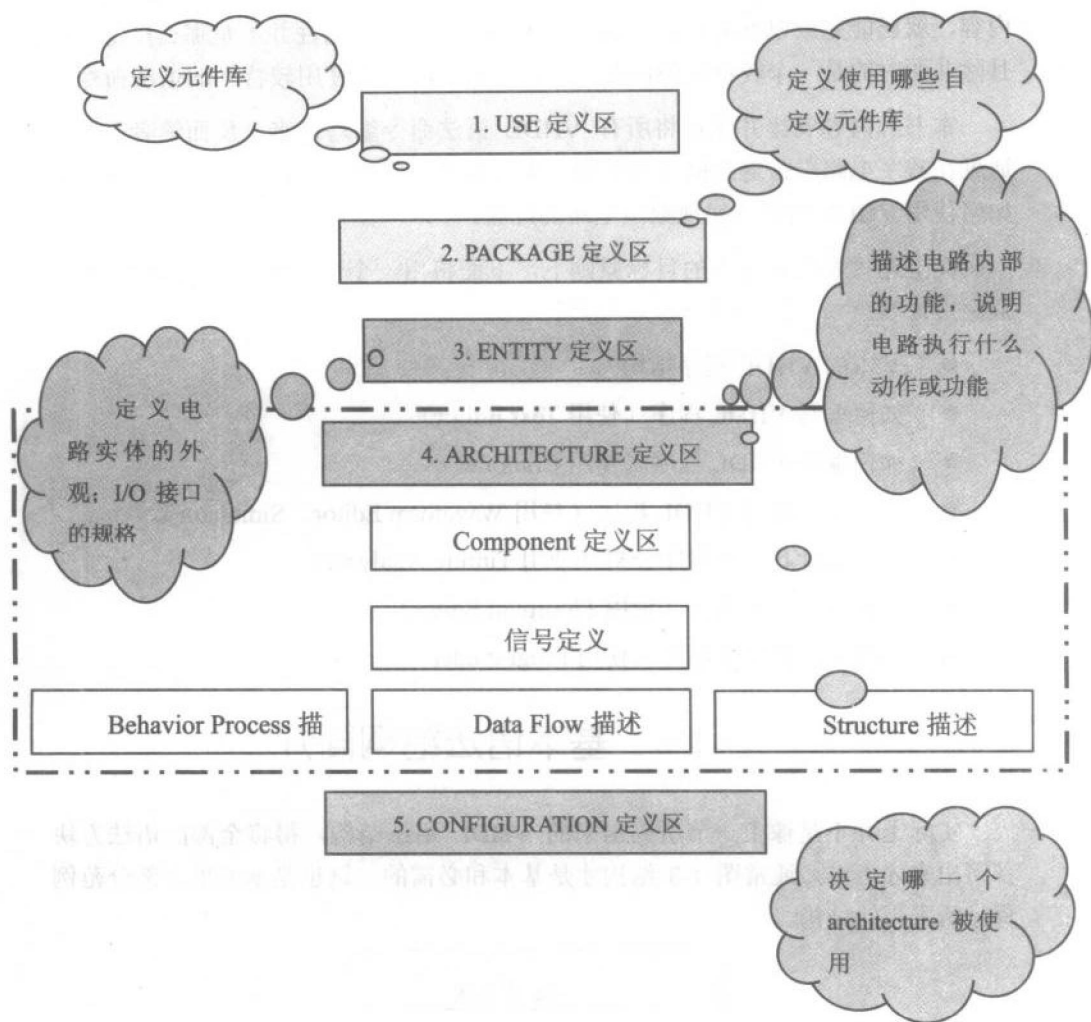


图 1-2 VHDL 程序结构图

在许多的设计项目里，常常看到大部分的工程师只是使用 VHDL 语法的 30% 内容，就已完成电路的设计。这是因为部分命令的适用性并不是那么广泛，而且除非面对的是一个较特殊的问题，这时才必须进一步使用较特别的语法命令。

本书的内容安排并无意将所有 VHDL 语法命令编写进来，反而笔者是希望通过在数字电路里常遇到的电路范例，来反复练习常用的语法命令，进一步提高如何使用 VHDL 语言来实现数字电路的经验。

在上述“学以致用”的目标原则下，下面将用一个十分简单的 VHDL 语言范例来说明：

- 基本的 VHDL 程序结构
- 如何编写 VHDL 程序（使用 Text Editor）
- 如何编译 VHDL 程序（使用 Compiler）
- 如何仿真验证 VHDL 程序（使用 Waveform Editor、Simulator）
- 如何进行芯片的时序分析（使用 Timing Analyzer）
- 如何安排芯片脚位（使用 Floorplan Editor）
- 如何下载程序至芯片（使用 Programmer）

1-2 基本语法结构简介

实际上并不是像上一节所列出来的 VHDL 语法结构，得将全部的语法方块都写出来才可以，通常图 1-3 结构才是基本和必需的。这也是本书里大部分范例程序所采用的结构。

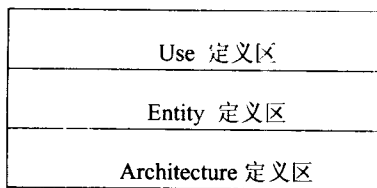


图 1-3 VHDL 程序基本结构

如图 1-4 代表的是一个芯片的内部俯视图。

实际上这只是将输入脚 Pin48 直接引一条线至输出脚 Pin7。下面范例就介绍如何使用 VHDL 程序设计这个图 1-4 的芯片电路。

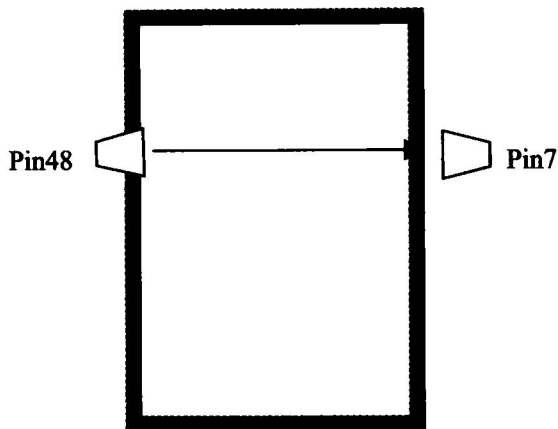


图 1-4 芯片内部俯视图



范例：

试使用 VHDL 程序设计图 1-4 的芯片电路。

重点提示：

1. 整个程序的结构应如图 1-3 表示（VHDL 的程序是不分大小写字母）。
2. Use 定义区应写成：

```
LIBRARY IEEE;  
USE IEEE.STD_LOGIC_1164.ALL;  
USE IEEE.STD_LOGIC_ARITH.ALL;  
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

由于 VHDL 已是 IEEE 规定的标准，所以只要是 CPLD、FPGA 等芯片公司，它们都会提供这个标准的定义库（Library IEEE），而且由于这里面写了许许多多的定义和参数，初学者一时之间也不容易全部了解，所以全部写上以减轻负担，后面章节的程序默认也这么写。

上述程序如：

```
USE IEEE.STD_LOGIC_1164.ALL;
```

代表本程序引用 IEEE 标准定义库的 STD_LOGIC_1164 全部定义。

3. VHDL 语言编写是属于自由格式，所以在完整命令叙述写完时，必须为它加上“；”，作为前后命令的分界，如上述的 Use 定义命令共有 4 个，所以有 4 个分号在每个命令叙述的最后面。
4. 这个 Entity 定义区的命令格式是：

```
ENTITY 芯片电路名称 is
  PORT(
    管脚名称 1: 输出输入状态  资料类型;
    管脚名称 2: 输出输入状态  资料类型;
    :
    管脚名称 n: 输出输入状态  资料类型
  );
END 芯片电路名称;
```

所以依照这个范例需求，可将 Entity（单体）定义区写成：

```
ENTITY Ch1_1_1 is
  PORT(
    Pin48: IN      Std_Logic;
    Pin7 : OUT   Std_Logic
  );
END Ch1_1_1;
```