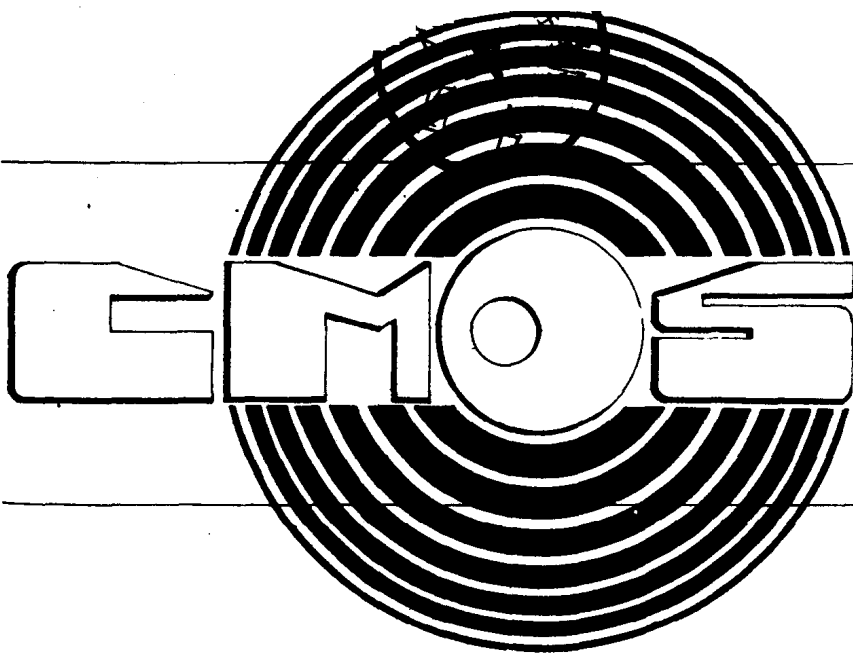


TN432.107

1

# CMOS 電路故障分析與檢修

張博堯 編譯



全華科技圖書公司印行



全華圖書 版權所有 翻印必究  
局版台業字第0223號 法律顧問：陳培豪律師

**CMOS**  
**電路故障分析與檢修**

張博堯 編譯

出版者 全華科技圖書股份有限公司  
北市龍江路76巷20-2號  
電話：581-1300・564-1819  
581-1362・581-1347  
郵政帳號：1 0 0 8 3 6  
發行者 蕭 而 鄭  
印刷者 欣瑜彩色印刷廠  
定價 新臺幣 120 元  
再版 中華民國70年8月

# 序

# CMOS

CMOS IC 具有較低消耗功率、較大雜訊界限……等的特點，在目前工業上的發展，已屆成熟階段。例如：電算器與電子錶採用CMOS LSI 與耗電少的液晶顯示器 (LCD)，不僅體積、重量減少很多，功能也大為提高。此外如 CB (民用頻帶) 無線電收發機 (Transceiver) 也採用由 CMOS IC 作成的 PLL (鎖相迴路) IC，所以 CMOS 未來前景一致被看好。

另一方面來說，在電視、音響、錄音機、汽車、ECR (電子收銀機) 等消費產品 (Customer Products) 方面，也有不少的 CMOS LSI 被應用於其中，同時也使得這些產品增加很多以往所沒有的功能。

作為標準邏輯元件之 CMOS IC，種類繁多而且第二來源 (Second Source) 充足，不必擔心來源的供給問題。近年來科技發展加速，CMOS IC 在用途上給予 TTL 之威脅與日俱增。

儘管 CMOS IC 之應用極廣，且比起 DTL，TTL 之類的雙載子 IC 在構造與特性上有較多優點，但是對一般從事技術方面的專家來說，往往有無從著手的感覺。再者，有些技術者鑑於 CMOS IC 之缺點，如：受靜電破壞，不願接受此一技術。這些都是值得研究的。

作者撰寫本書之用意在於使讀者，尤其是技術人員能夠巧妙地、熟練地運用 CMOS IC，同時，列舉許多 CMOS 電路故障實例，予以解析與找尋檢修方法，期使讀者能善用此技術，以迎合其未來的發展。

本書第一章「CMOS 之基礎知識」對於 CMOS IC 之構造、原理、特點予以簡略敘述。

第二章「CMOS IC 之特性」係參考資料表 (Data Sheet) 加以說明，與第一章合起來，構成「CMOS 入門篇」。

第三章「故障與檢修」係對各種故障依其現象予以分類，並分析原因與找尋檢修方法，在此列舉許多實例。

第四章「CMOS 介面與故障檢修」討論 CMOS 之介面特性，可能發生的故障與檢修方法。

第五章探討「CMOS 之可靠度與安全度概念」。最後，第六章「CMOS IC 之品種與功能」則列舉常用的 CMOS IC 品種與功能，以及各廠商產品之互換表。

# 目 錄

|                                  |     |
|----------------------------------|-----|
| <b>第一章 C-MOS之基礎知識</b> .....      | 1   |
| 1.1 C-MOS之構造與工作原理.....           | 1   |
| 1.2 C-MOS IC之特點.....             | 6   |
| <b>第二章 C-MOS IC之特性</b> .....     | 13  |
| 2.1 C-MOS IC之基本特性.....           | 13  |
| 2.2 目錄與資料表之讀法.....               | 20  |
| 2.3 標準C-MOS IC之規格.....           | 23  |
| <b>第三章 C-MOS電路之故障分析與檢修</b> ..... | 25  |
| 3.1 因靜電引起的故障.....                | 25  |
| 3.2 因門住現象引起的故障.....              | 34  |
| 3.3 因緩慢時序引起的故障.....              | 46  |
| 3.4 因雜訊引起的故障.....                | 59  |
| 3.5 與電源有關的故障.....                | 75  |
| 3.6 意外雜波所生的故障.....               | 87  |
| 3.7 溫度引起的故障.....                 | 102 |
| 3.8 其他故障分析與檢修.....               | 111 |
| <b>第四章 C-MOS介面與故障檢修</b> .....    | 126 |

|     |                |     |
|-----|----------------|-----|
| 4.1 | C-MOS 之介面特性    | 126 |
| 4.2 | C-MOS 同類元件間的介面 | 128 |
| 4.3 | 與 TTL 之介面      | 138 |
| 4.4 | 與 HTL 之介面      | 143 |
| 4.5 | 與 ECL 之介面      | 149 |
| 4.6 | 與 P 通道 MOS 之介面 | 151 |
| 4.7 | 與分離式電晶體之介面     | 157 |
| 4.8 | 與開關之介面         | 162 |
| 4.9 | 與顯示器之介面        | 167 |

## 第五章 C-MOS之可靠度與安全保險之概念 181

|     |               |     |
|-----|---------------|-----|
| 5.1 | C-MOS IC 之可靠度 | 182 |
| 5.2 | 安全保險系統        | 187 |
| 5.3 | 複件電路          | 191 |
| 5.4 | 多數通過電路        | 193 |
| 5.5 | 其他提高可靠度之電路    | 195 |

## 第六章 C-MOS IC之品種與功能 199

|     |                 |     |
|-----|-----------------|-----|
| 6.1 | C-MOS IC 之型號名稱  | 200 |
| 6.2 | C-MOS IC 之品種與功能 | 203 |

|     |                |     |
|-----|----------------|-----|
| 附表： | C-MOS 電路之故障檢查表 | 215 |
|-----|----------------|-----|

# 1 CMOS

## C-MOS之基礎知識

### 1-1 C-MOS之構造與工作原理

C-MOS係由英文Complementary Metal Oxide Semiconductor (互補型金屬氧化膜半導體)四個字的字首拼成的。如依照出品廠商的命名來看，還有以下的名稱：COS/MOS, McMOS, C<sup>2</sup>MOS，這是依各廠商所具不同技術特性發展出來的產品。

C-MOS之意義為，以P通道與N通道的MOS FET (Field Effect Transistor場效電晶體)作互補方式連接之電路，因此看不出原來半導體電路，但却擁有多項優點。

#### 1-1-1 P通道MOS與N通道MOS

為了解C-MOS構造，首先說明P通道與N通道MOS FET之構造與動作。

## 2 CMOS 電路故障分析與檢修

圖 1-1 (a) 所示，係在 N 型基質上製作二個鄰近的 P 型擴散層，其上鋪有矽氧化膜，再上面則有金屬（鋁）覆蓋。

從金屬板上直接引出的電極為閘極（Gate），從二個 P 型擴散層則分別引出洩極（drain）與源極（source），這便是 P 通道 MOS FET 之基本構造。

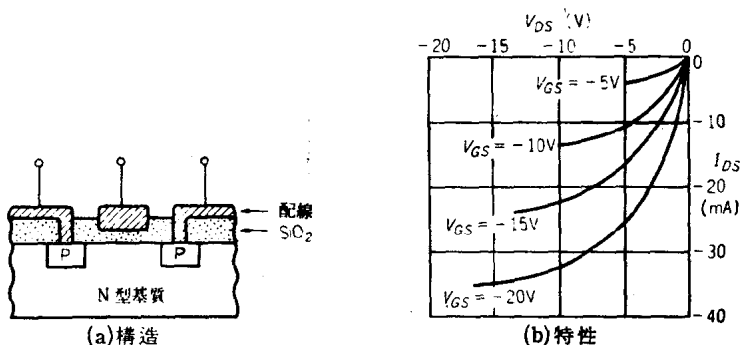


圖 1-1 P 通道 MOS FET 之構造與特性

如以基質電位為基準，在閘極接上負電壓，則閘極正下方的 N 型基質表面與 P 型電位相反，於是構成洩極與源極間之電流通路。

如閘極所加電壓愈大，則洩極與源極間電流之流動更加容易，這一特性可從圖 1-1(b) 看出。

採用這種方式，使閘極電壓達到某定值以上時即有電流通過，這種電路構造稱為增強（enhancement）型。而在電流開始流通時的閘電壓稱為臨限（threshold）電壓。

與上一方式相反的，若維持閘電壓為 0V，而洩極—源極間照樣有電流通過，這種電路構成稱為空乏（depletion）型。增強型與空乏型之間—源極電壓（ $V_{GS}$ ）對洩極電流（ $I_{DS}$ ）之關係如圖 1-2 所示。

如與前述類似地，使用 P 型基質再製作二個 N 型擴散層，如圖 1-3 (a) 所示，分別構成洩極、源極，這一電路稱為 N 通道 MOS FET。

N 通道 MOS 之閘極若加上正電壓，則閘極氧化膜之下方即形成電流

通道，稱為N型通道，圖1-3(b)表示其特性。

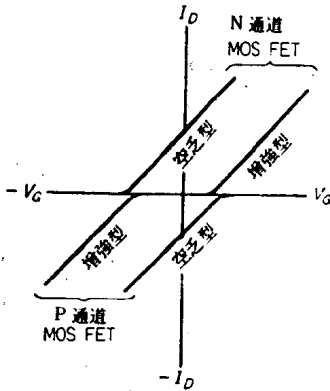
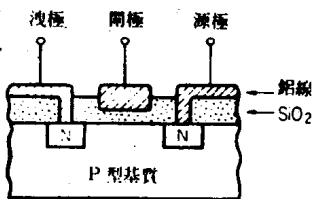
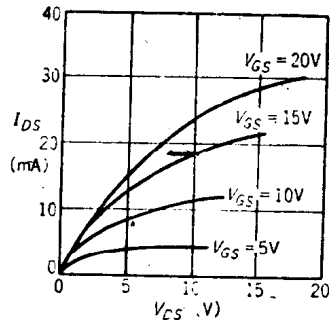


圖 1-2 增強型與空乏型

比較圖1-1與圖1-3，發現P通道MOS FET與N通道MOS FET顯示對稱的特性，前者以電洞，後者以電子來傳送電流，這二種單體皆稱為載子（Carrier）。



(a) 構造



(b) 特性

圖 1-3 N 通道 MOS FET 之構造與特性例

### 1-1-2 C-MOS 之構造

C-MOS 電路係將 P 通道 MOS FET 與 N 通道 MOS FET 在同一基質上製作，使得這二者特性可以互補，並且具有小的消耗功率與大的雜訊界限等優點。這裡以最基本的電路——反相器（Inverter）為例，來說

#### 4 CMOS 電路故障分析與檢修

明 C-MOS 之構造與工作原理。

圖 1-4 為 C-MOS 反相器基本構造截面。在 N 型基質上，製作 P 型擴散層，然後分別作成 P 通道 MOS FET。

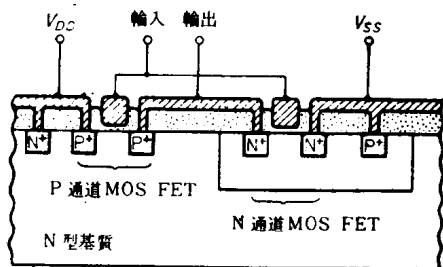


圖 1-4 CMOS 反相器構造之截面圖

此一 N 通道 MOS FET 之基質為一大的 P 型擴散層，一般稱為 P# (P-well) 或 P 區 (P-tab)。利用這一構造以鋁線將二個閘極相連，構成輸入端，將二個洩極相連，構成輸出端，然後，P-MOS 之源極與 P# 相接並與  $V_{SS}$  相連 (但要注意  $V_{DD} > V_{SS}$ )，於是構成 C-MOS 反相器。如從上方看下去，它的電路圖型如圖 1-5 所示，電路記號如圖 1-6 所示。

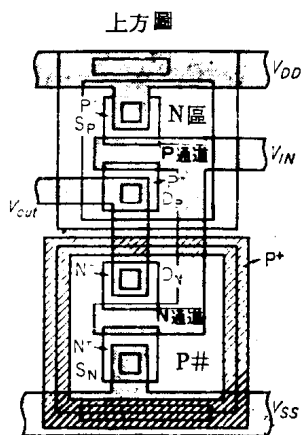


圖 1-5 C-MOS 反相器之上方圖

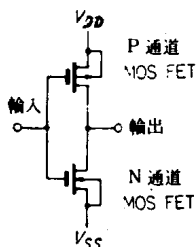
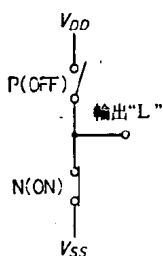
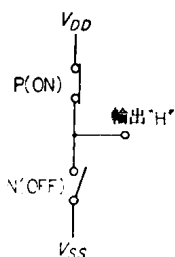


圖 1-6 C-MOS反相器之電路記號

C-MOS 反相器之工作原理如圖 1-7 所示，如果把它當作開關電路，就容易了解。也就是說，當輸入電壓為“H”電位時，N通道 MOS FET 之閘極相對於閘極為正電位，因此為 ON（導通），而 P 通道 MOS FET 之閘極因與 P 井之電位差較小，因此為 OFF（切斷）。此時，輸出端之電位自然與  $V_{SS}$  電位相近，形成“L”電平。



(a)輸入為“H”之場合



(b)輸入為“L”之場合

圖 1-7 C-MOS反相器之等值開關電路

另一方面，當輸入為“L”電位時，可得相反的情形，即：N-MOS 為“OFF”，P-MOS 為“ON”，輸出端之電位與  $V_{SS}$  相近，形成“H”電位。像這種方式，當輸入為“H”時，輸出為“L”，輸入為“L”時，輸出為“H”，這一電路便具有反相器之功能。

C-MOS IC 以此反相器為基本，可以構成各種不同功能的電路。圖 1-8 為利用 C-MOS 構成的 NAND, NOR 電路。

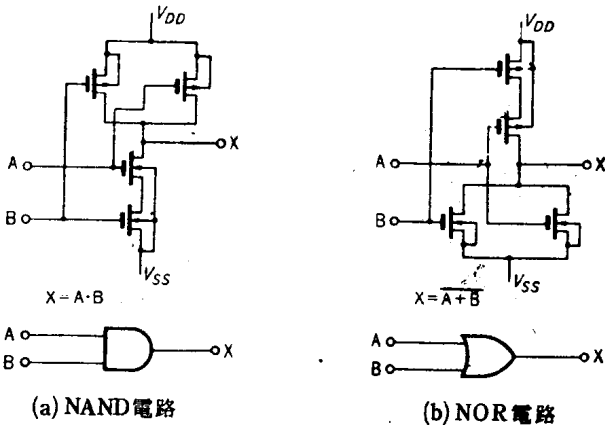


圖 1-8 C-MOS NAND 電路，NOR 電路之構造

## 1-2 C-MOS IC 之特點

C-MOS IC 具有許多優點，主要特點列示如下：

### 1-2-1 消耗功率小

這一優點是 C-MOS IC 的“金招牌”。

在圖 1-6 中，我們看過 C-MOS 反相器工作情形，知悉當輸入為“H”、“L”時，P 通道、N 通道之 MOS FET 必有一為 OFF，因此在正常狀態下，從  $V_{DD}$  流往  $V_{SS}$  之電流等於零。也就是在輸入為靜止狀態下，所消耗的功率（ $V_{DD} \times I_{DD}$ ）等於零，僅有表面漏電與接合漏電等少量消耗。參見圖 1-9(a)。

但是當輸入信號由“H”→“L”或由“L”→“H”時，P、N 兩方之 FET 在瞬間為 ON，於是有電流對輸出端的雜散電容充放電，所以在動態工作時，消耗功率不再為零（請參考圖 1-9(b)、(c)）。這一情形在下一章會提及。

圖 1-10 為比較數位 IC 性能時常用圖形，它表示出每一開的消耗功率與傳達延遲時間之關係。由這張圖可看出 C-MOS IC 是一種消耗功率

最小的元件，對節約能源來說，這一特點很有利用價值。

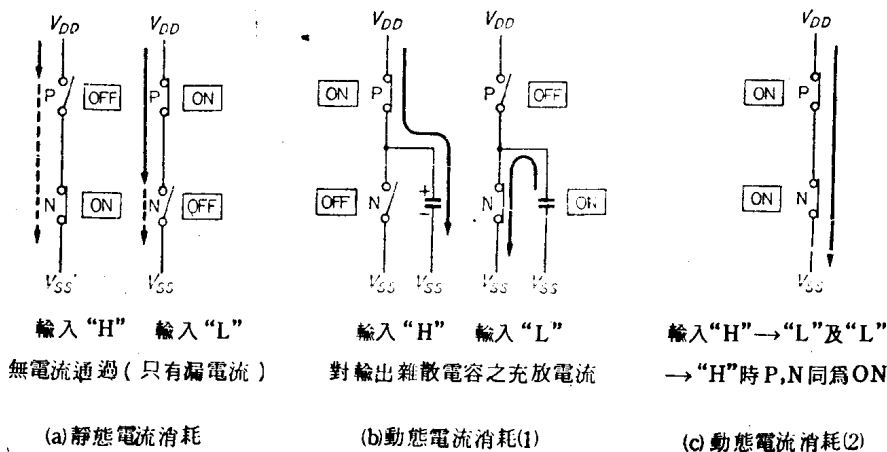
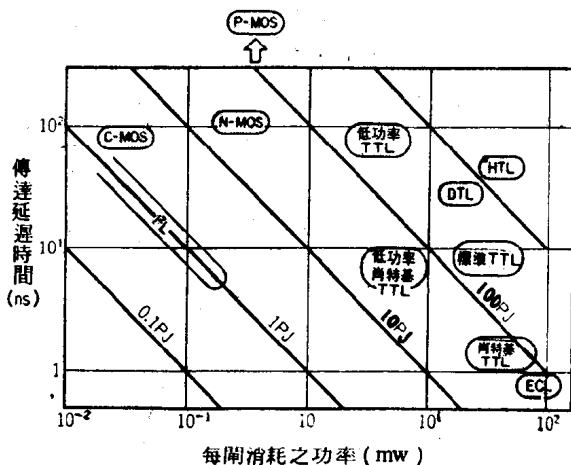


圖 1-9 C-MOS IC之電流消耗



## 1-2-2 雜訊界限大

如圖 1-11 所示，將 C-MOS 反相器之輸入一輸出傳達特性與雙載子 IC 加以比較，可發現前者具有顯著特點。它的下降特性很陡，臨限電壓

## 8 CMOS 電路故障分析與檢修

大約在  $V_{DD}$  的一半處，而且輸出振幅約在  $V_{DD} - V_{SS}$  之範圍。

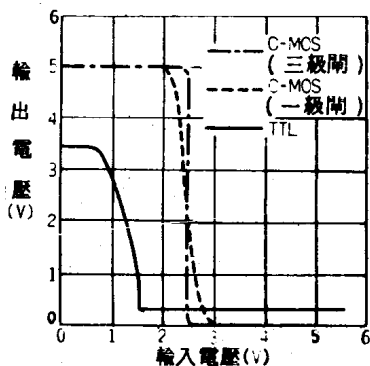


圖 1-11 C-MOS 與 TTL 之輸入出傳達特性

數位 IC 之雜訊界限定義為：輸出振幅之最小值與輸入信號所需最小振幅之差值。因此，當輸出振幅在  $V_{DD} - V_{SS}$  之範圍時，C-MOS 電路既可以小輸入信號工作，自然，它的雜訊界限增大。

圖 1-12 列出 TTL 與 C-MOS IC 之雜訊界限比較圖，可以看得出 C-MOS IC 有極大的雜訊界限，更使得它的應用範圍增大。

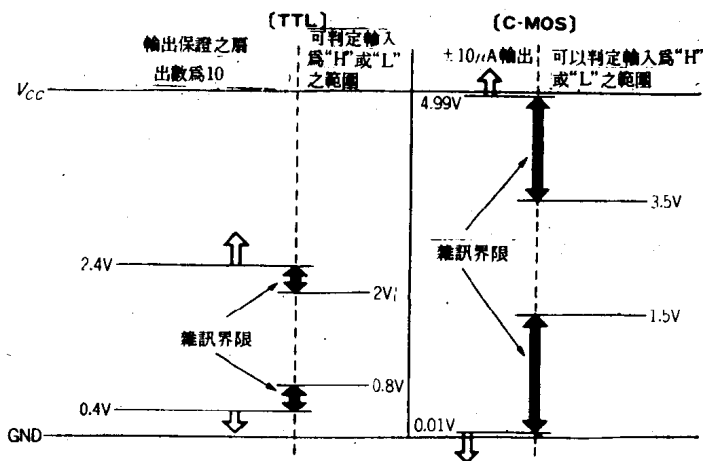


圖 1-12 TTL 與 C-MOS 電壓之雜訊界限比較

### 1-2-3 集積度高

在單位面積(平方毫米)上所聚積的元件數目稱為集積密度(或叫集積度)，用來表示元件密集的程度。

例如：具代表性的電算器用C-MOS LSI，如以8位為一記憶組(memory class)，所需元件數約達8,000，而通常的晶片大小為 $4 \times 4 \text{ mm}^2$ 左右，所以它的集積度為 $500/\text{mm}^2$ 。

含有C-MOS之MOS IC，通常設計的目的在於有高的集積度，以目前技術來說，其元件集積度已由4 K發展為16 K、32 K。

對於TTL類現有的雙載子元件而言，不可能達到這麼高的集積度，而MOS IC發展為高集積度是很有理由的，除了功率消耗小外，元件之間也不用隔離。(參見圖1-13)

各獨立島中可製作電晶體、二極體、擴散電阻

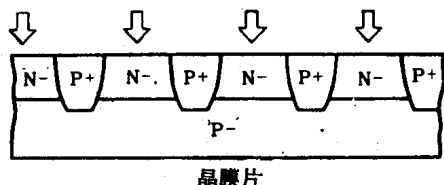


圖 1-13 雙載子IC之絕緣

### 1-2-4 輸入阻抗高

由於C-MOS IC之輸入端在閘極以氧化膜與基質絕緣，因此具有很大的輸入阻抗。

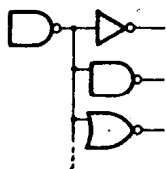
實際上C-MOS IC常要安裝保護輸入之二極體，使它的方向與通常的電位方向相反，必須考慮它的漏電電阻，雖然如此，它的阻抗也有數十 $\text{M}\Omega$ 。

由於輸入阻抗高，它的優點是使得扇出數增加，因此介面更為簡便。

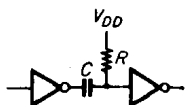
有關扇出數在第四章會作詳盡說明，如果撇開傳達延遲時間不談，可能作無限大的扇出，這一特點比TTL好很多，因為TTL在電路設計時，

## 10 CMOS 電路故障分析與檢修

常要考慮到扇出問題。



(a) 扇出數大



(b) 時間常數大之定時器

圖 1-14 具有大輸入阻抗之優點

此外，C-MOS 還有一項優點：它可製作具有較長時間常數之定時器（timer）。因為它有較大的輸入阻抗，輸入端連接較大的電阻，再接上一個大電容可作成具有長時間常數之定時器。

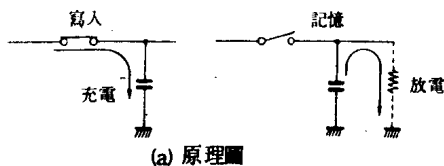
### 1-2-5 利用輸入電容可作短期記憶

C-MOS IC 之構造中，輸入可看成由閘電極、氧化膜、矽基質構成的電容器。

利用這一電容器，可將資訊予以短時記憶。

具體言之，如圖 1-15 所示，經由傳輸閘（Transfer Gate）對輸入電容充電後，一旦傳輸閘為 OFF，其週圍的阻抗增高，利用這一原理，可在短時間內保存資訊。

這一特點在動態型的正反器、計數器、移位記錄器、記憶器各方面皆有廣泛用途。



(a) 原理圖

圖 1-15 利用 C-MOS 輸入電容作短時記憶

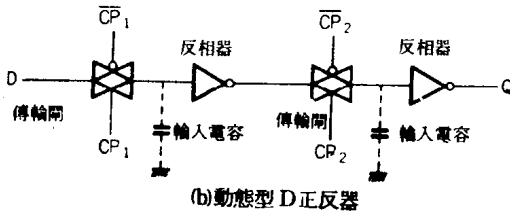
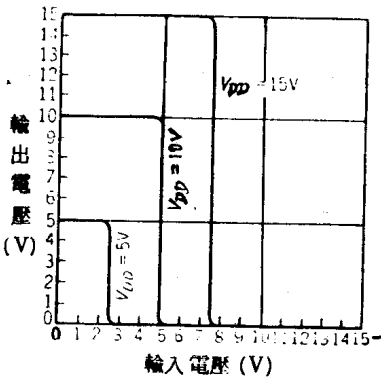


圖 1-15 利用 C-MOS 輸入電容作短時記憶

### 1-2-6 工作電壓範圍廣

一般使用的 C-MOS 品種，大約可保證有  $3 \sim 18\text{V}$  寬度的工作電壓範圍，以這一數字與 TTL, DTL 之  $5\text{V} \pm 0.25\text{V}$ ，HTL 之  $15\text{V} \pm 1.5\text{V}$  相比，顯然優越很多。

C-MOS IC 之所以能保證廣的工作電壓範圍，是因為 P-MOS，N-MOS 對稱製作，即使  $V_{DD}$  變化，電路之臨限電壓仍保持於  $V_{DD}$  之  $\frac{1}{2}$  值。（參見圖 1-16）

圖 1-16 臨限電壓約為  $\frac{1}{2} V_{DD}$  - C-MOS 輸入輸出傳達特性

雙載子 IC 之臨限電壓係由電晶體之基一射極順向電壓 ( $V_{BE}$ ) 決定，較不易受到電源電壓影響，但它的前級輸出電壓受電源電壓影響大，當電源電壓超過某一範圍，輸出電壓與臨限電壓之平衡即受破壞，不能工作。

C-MOS 對於電源電壓之變化，其臨限電壓會跟隨這一變化，因此可期望有較廣之穩定工作範圍。

