EDA

EDA工具应用丛书

VHDL数字系统设计与高层次综合

林　敏　方颖立　编著
高志强　审

電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

EDA 工具应用丛书

VHDL 数字系统设计与高层次综合

林　敏　方颖立　编著

高志强　审

電子工業出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书全面、系统地介绍了国际标准的硬件描述语言 VHDL 以及 VHDL 在现代集成电路设计中的应用，对 VHDL 和基于 VHDL 的集成电路设计中的有关问题进行了深入细致地讲解，并结合理论分析了大量实例，使本书兼具知识性和实用性。

全书内容共分 8 章。第 1,2,3 章介绍了集成电路设计中的基本概念、语言程序基础和基本逻辑单元的 VHDL 模型；第 4,5 章介绍了数字系统的系统级设计和数字系统寄存器的传输级设计；第 6,7 章介绍了数字系统高层次综合及具体实例；第 8 章介绍了部分 VHDL 工具软件的使用。另外，附录 A 列举了常用的 IEEE VHDL 标准程序包，附录 B 列举了常用的 VHDL 语句样例，以方便读者快速查阅。

本书可作为大专院校电子类高年级本科生和研究生学习 VHDL 语言的教科书和参考书，也可以为广大从事集成电路设计的工程技术人员提供相关的技术参考。

图书在版编目(CIP)数据

VHDL 数字系统设计与高层次综合/林敏等编著 .—北京：电子工业出版社，2002.1

(EDA 工具应用丛书)

ISBN 7-5053-7094-4

Ⅰ.V… Ⅱ.林— Ⅲ.①硬件描述语言，VHDL—程序设计 ②数字集成电路—系统设计 ③数字集成电路—系统综合 Ⅳ.TN431.2

中国版本图书馆 CIP 数据核字(2001)第 077736 号

丛 书 名：EDA 工具应用丛书

书　　名：**VHDL 数字系统设计与高层次综合**

编 著 者：林　敏　方颖立

审　　者：高志强

责任编辑：段　颖　周晓云

排版制作：电子工业出版社计算机排版室

印 刷 者：北京兴华印刷厂

装 订 者：三河市双峰装订厂

出版发行：电子工业出版社　http://www.phei.com.cn

北京市海淀区万寿路 173 信箱　邮编 100036

经　　销：各地新华书店

开　　本：787×1092　1/16　印张：25.25　字数：634.2 千字

版　　次：2002 年 1 月第 1 版　2002 年 1 月第 1 次印刷

书　　号：ISBN 7-5053-7094-4 / TN·1479

印　　数：5 000 册　　定价：33.00 元

前　言

随着集成电路产业在我国的发展，学习 VHDL 也日益成为我国高校学生和工程技术人员的迫切需求。国内也出版了一些关于 VHDL 方面的书。本书的编著者在参考了国内外有关 VHDL 书籍的基础上，结合当前集成电路设计领域内的新内容、新概念，编写了此书。本书的特色在于它不仅对 VHDL 的语言规范进行了详细、全面的说明，还结合大量实例介绍了 VHDL 设计的具体方法和技巧。同时，还对集成电路设计领域内较新的高层次综合技术做了讲解，对当前比较流行的 VHDL 设计工具也介绍了基本的操作使用方法。实例化、实用性是本书力求达到的两个特色。通过阅读本书，读者既可以学习 VHDL 语言，又能够掌握一定的设计方法和技巧，还能够熟悉 VHDL 设计工具，从而做到既能用 VHDL 语言描述自己的设计，又能利用 VHDL 工具验证、实现自己的设计。

本书内容共分 8 章。第 1 章介绍了集成电路设计中的基本概念，第 2 章讲解了 VHDL 语言程序基础，第 3 章介绍了基本逻辑单元的 VHDL 模型，第 4 章介绍了数字系统的系统级设计，第 5 章介绍了数字系统的寄存器传输级设计，第 6 章介绍了数字系统的高层次综合，第 7 章讲解了 VHDL 行为设计与高层次综合实例，第 8 章是部分 VHDL 工具软件使用指南。另外，附录 A 列举了常用的 IEEE VHDL 标准程序包，附录 B 列举了常用的 VHDL 语句样例，以方便读者快速查阅。

本书由清华大学微电子研究所的林敏和方颖立编著，并由高志强先生审阅。编著者曾经也是 VHDL 的学习者，现在一直从事使用 VHDL 进行电路设计的工作，对 VHDL 学习、使用过程中遇到的困难和问题有着切身的体会和经验教训。因此，本书在编写过程中力求结合实际，为广大 VHDL 学习者和使用者提供有益的帮助。由于编著者自身的水平有限，如果书中存在错误和不妥之处，敬请读者批评指正。读者的反馈信息可通过电子邮件发送至：

linm@dns.ime.tsinghua.edu.cn 或 fangyl@dns.ime.tsinghua.edu.cn。

本书参考和引用了国内外学者、专家的有关专著和研究成果，在此对他们表示衷心的感谢。

编著者

2001 年 9 月于清华大学

目　录

第 1 章　集成电路设计中的基本概念

本章简要介绍了现代集成电路设计的基本概念，包括集成电路设计方法分类、集成电路设计流程、集成电路设计的表示方法、传统与现代的集成电路设计的比较以及 VHDL 在电子系统硬件设计中的优点，使读者对现代集成电路的设计有一个框架性的了解，为以后章节的学习打下基础。

1.1　集成电路设计方法分类

1.1.1　正向设计与反向设计

集成电路的设计方法从功能和实现的先后顺序上分，可以分为正向（Forward）设计和反向（Backward）设计。所谓正向设计就是由设计者或用户提出一个功能要求，然后通过综合得到最终的半导体实现。所谓反向设计就是对已有的一个半导体实现，通过分析得到它的结构和功能，在此基础上进行模仿或修改，实现类似的电路功能。这两种设计方法如图 1-1 所示。

随着集成电路的发展，反向设计方法的应用领域越来越小。这里面主要有两个原因：第一，现代电子产品的应用范围越来越广，它们要求的 ASIC 的功能也越来越多样化、专门化。电子系统的开发者往往不能从已有的芯片产品中找到符合自己特殊功能及性能要求的专用集成电路，所以必须从所开发电子系统的要求出发，提出功能要求，进行专用芯片的正向设计。第二，随着集成电路制造工艺的发展，芯片规模越来越大，集成度越来越高，一块芯片的规模往往达到几百万甚至上千万门，对于这些大规模、高集成度的芯片进行版图分析非常困难，需要耗费巨大的成本和时间，这对产品开发极为不利。另外，现在集成电路产品加强了保密措施，这就使得反向设计几乎成为不可能。

与此同时，正向设计方法得到了越来越广泛的研究和应用。正向设计方法中的关键技术是综合技术，正向设计的发展主要依赖于包括高层次综合、逻辑综合、版图综合在内的各个层次的综合方法和工具的发展，而高层次综合是这些综合技术中的首要环节。

1.1.2　自顶向下的设计和自底向上的设计

集成电路的设计方法从整体和局部的先后顺序上分，可以分为自顶向下（Top-down）的设计和自底向上（Bottom-up）的设计。所谓自顶向下的设计，就是设计者首先从整体上规划整个系统的功能和性能，然后对系统进行划分，分解为规模较小、功能较为简单的局部模块，并确立它们之间的相互关系，这种划分过程可以不断地进行下去，直到划分得到的单元可以映射到物理实现。所谓自底向上的设计，就是设计者首先选择具体的逻辑单

元，进行逻辑电路设计，得到系统需要的独立的功能模块，然后再把这些模块连接起来，组装成整个系统。这两种设计方法如图 1-2 所示。

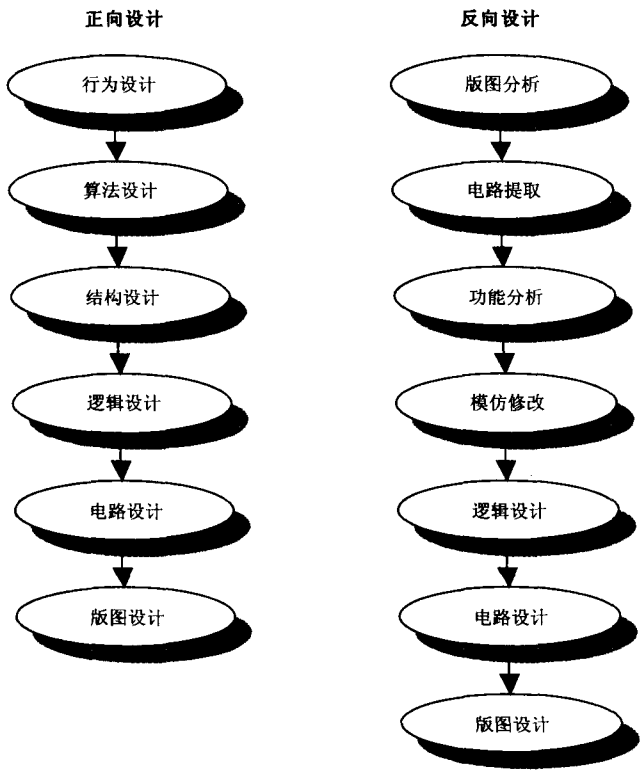

图 1-1　正向设计和反向设计

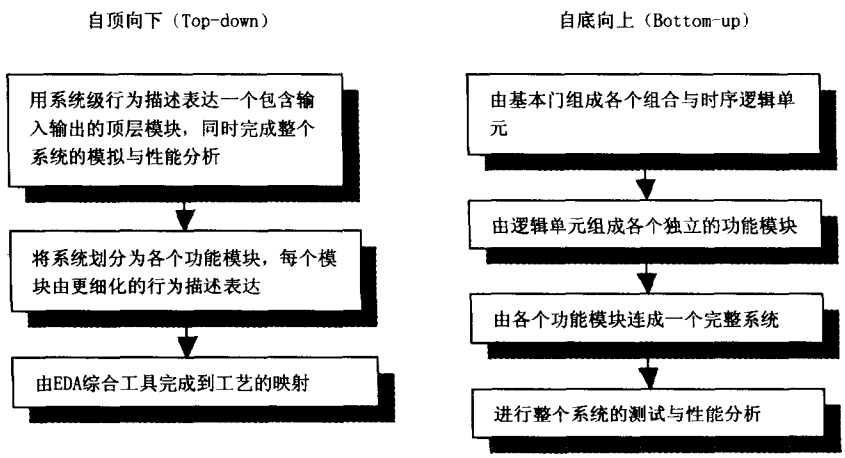

图 1-2　自顶向下与自底向上的设计方法

自底向上的设计方法是从传统的手工设计发展而来的。在进行手工电路设计时，一个硬件系统的实现过程是从选择具体的元器件开始的。当从手工设计转变为 CAD 设计时，

为电路设计开发的CAD软件也是按照这种设计流程建立起来的。CAD设计与手工设计过程的区别只是在CAD设计中，由底层逻辑库中调用逻辑门单元的过程是借助计算机完成的。这种设计过程的优点是符合硬件设计工程师的传统习惯，缺点是在进行底层设计时，缺乏对整个系统总体性能的把握。如果在整个系统完成后发现性能还需改进，则修改起来就比较困难。随着系统规模与复杂度的提高，这种设计方法的缺点就越来越突出，因而逐渐被自顶向下的设计方法所取代。

自顶向下的设计方法是随着硬件描述语言（HDL）和EDA工具同步发展起来的。硬件描述语言可以在各个抽象层次上对电子系统进行描述，而且借助于EDA设计工具，可以自动实现从高层次到低层次的转换，这就使得自顶向下的设计过程得以实现。采用自顶向下的设计方法的优点是显而易见的。由于整个设计是从系统顶层开始的，结合模拟手段，可以从一开始就掌握所实现系统的性能状况，结合应用领域的具体要求，在此时就调整设计方案，进行性能优化或折衷取舍。随着设计层次向下进行，系统性能参数将得到进一步的细化与确认，并随时可以根据需要加以调整，从而保证了设计结果的正确性，缩短了设计周期，设计规模越大，这种设计方法的优势越明显。自顶向下的设计方法的缺点就是需要先进的EDA设计工具和精确的工艺库的支持。

1.2 集成电路设计流程

1.2.1 集成电路设计流程的概念和作用

现代集成电路设计多指正向设计。集成电路设计流程就是为实现集成电路从功能定义到半导体实现的整个过程所需要进行的所有工作及其先后次序。集成电路设计流程是集成电路设计方法学中一个重要方面，它对于设计活动的作用表现在：

1）设计流程是规范设计活动的准则，它使得设计活动在各个阶段有了交流、比较的可能。

2）设计流程规定了工具的选择和使用，为各种工具之间的接口提供了可能。

3）设计流程规定了设计人员的工作次序与内容，这使得在同一个设计项目中可以进行多人分工与协作，从而缩短设计周期。

4）设计流程自身的科学性也保障了所进行的设计的正确性和可靠性。

因此一个规范的、科学的集成电路设计流程，对设计活动具有重要的指导意义，可以提高设计活动的效率和可靠性，有利于设计活动的管理和交流。

集成电路设计流程是随着集成电路的发展而发展的。在集成电路制造工艺进入到深亚微米阶段后，传统的集成电路设计流程就不再适应设计深亚微米集成电路，而被现代的深亚微米集成电路设计流程取代。

1.2.2 集成电路设计的一般流程

在通常的集成电路设计中，其流程大致可以分为9步。如图1-3所示。

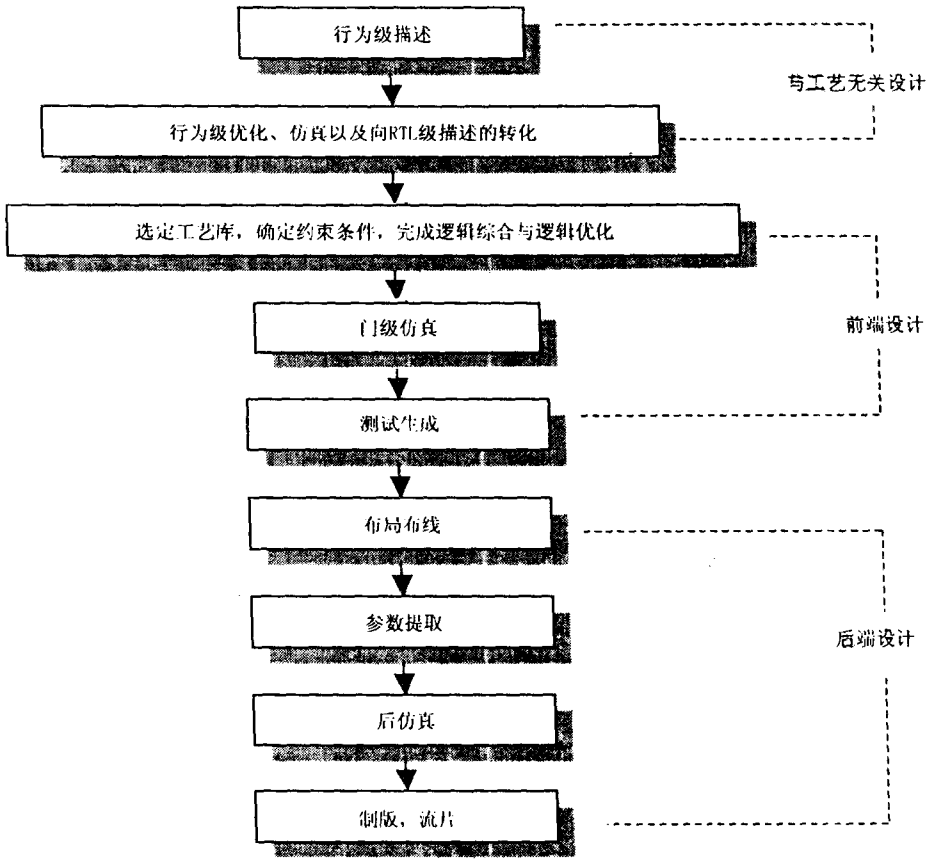

图 1-3　集成电路设计的一般流程

图 1-3 所示流程中各步的意义如下：

1．行为级描述

在完成系统性能分析与功能划分的基础上，对于各个电路功能模块，用硬件描述语言完成行为级描述。

2．行为级优化、仿真以及向 RTL 级描述的转化

对上一步中完成的描述进行算法优化和功能仿真。算法优化的目标是选择最优的算法实现，功能仿真的目的是为了验证给定的行为描述是否能够实现所需的功能。在进行行为级优化的同时，通常还要进行向 RTL 级描述的转化。进行这种转化的原因在于现有的 EDA 工具只能接受 RTL 级描述进行逻辑综合。同样，对得到的 RTL 级描述，也要进行功能仿真。

3．选定工艺库，确定约束条件，完成逻辑综合与逻辑优化

逻辑综合和逻辑优化的目标是将前面得到的 RTL 描述映射到具体的工艺上加以实现。因而从这一步开始，设计过程就和工艺相关了。

自动逻辑综合的前提是要有逻辑综合库的支持，逻辑综合库内部包含了相应的工艺参数，如门延迟、单元面积、扇入扇出数等。对不同的工艺，其综合库中的工艺参数就会不同。

4．门级仿真

门级仿真的目标是为了验证逻辑综合出来的电路的正确性。完成逻辑综合后的门级仿真包含了门单元的延迟信息，因而门级仿真需要相应工艺的仿真库的支持。

5．测试生成

完成逻辑综合后，可产生相应的网表文件，但在将设计提交给下一步进行布局布线时，应当提供相应的测试文件。

测试分为功能测试和制造测试两部分。功能测试就是为了检验线路的逻辑、时序是否正确。前面的行为级仿真、RTL 级仿真、门级仿真都属于功能测试的范畴。制造测试是针对半导体工艺而设计的，目的是检测制造过程中的物理故障，通常称为测试向量。对复杂电路，具有高故障覆盖率的测试向量一般要借助于测试综合工具，通过 ATPG（Automatic Test Pattern Generation）产生。

6．布局布线

对于 IC 设计来说，这一步是借助版图综合的工具，在对应工艺的版图库支持下，完成自动布局布线。对于 FPGA 设计来说，只需借助 FPGA 提供商提供的专用工具实现。从这一步开始，设计过程就和半导体物理实现（版图）有关，通常成为后端设计。

7．参数提取

在逻辑综合后的门级电路网表中，只包含了门单元的工艺参数。当完成版图综合后，由于各单元的布局布线已经确定，所以可以进一步提取实际电路中连线电阻、连线电容等分布参数。

8．后仿真

这一步的目标就是将上一步提取的分布参数包含于原来的门级网表中，进行包含门延迟、连线延迟的门级仿真。这一步主要是考察在增加连线延迟后，时序是否仍然满足设计要求。

9．制版，流片

对于 IC 设计来说，在完成上面 8 个步骤的设计后，可交付集成电路制造厂家进行投片生产。对于 FPGA 设计来说，只需向 FPGA 器件加载代码即可。

1.3 集成电路设计的表示方法

一个集成电路设计的表示或描述涉及两方面的问题：描述的层次和描述的领域。描述共有 5 个抽象层次：系统层（System）、算法层（Algorithm）、寄存器传输层（Register-transfer）、逻辑层（Logic）和电路层（Circuit）。对每一个层次，分别有 3 种不同领域的描述：行为（Behavior）领域描述、结构（Architecture）领域描述和物理（Physics）领域描述。这些设计的表示方法的内容如表 1-1 所示。

需要强调的是往往有这么一种概念，认为某个描述层次和某个描述领域是等同的。例如，有人认为系统层只涉及行为领域描述，逻辑层只涉及结构领域描述。为了概念上更加清楚和全面，建议使用表 1-1 中所表述的设计层次和描述领域的概念，这已为大多数人所认可。

表 1-1 设计的表示方法

		描述领域		
		行为领域描述	结构领域描述	物理领域描述
描述层次	系统层	行为、性能、输入输出的映射关系	CPU、存储器、开关网络、控制器以及总线之间的连接	芯片、模块、电路板以及子系统的物理划分
	算法层	实现行为的算法	硬件模块、数据结构	部件之间的物理连接
	寄存器传输层	寄存器传输、状态表	ALU、多路选择器、寄存器、总线、存储器、控制器等	芯片、宏单元等
	逻辑层	布尔方程（组）	门、触发器、锁存器	门级单元布图
	电路层	电路微分方程	晶体管、电阻、电容	版图

设计的 5 个描述层次的主要含义如下：

1．系统层

系统层描述主要是针对整个电子系统性能的描述，是系统最高层次的抽象描述。在这一层次，目前仍以高级程序语言为主要描述手段，例如 C 语言、FORTRAN 语言等。

2．算法层

算法层描述是在系统级性能分析和结构划分之后，对每个模块功能行为的描述，这一层次又称为行为层或功能层。这一层的描述手段多为硬件描述语言（HDL）。

3．寄存器传输层

算法层所描述的功能、行为，最终要以数字电路来实现，而数字电路从本质上可以看做是寄存器与组合逻辑两种类型的电路组成的，寄存器负责信号的存储，组合逻辑负责信号的传输。寄存器传输层描述就是从信号存储、传输的角度去描述整个系统的。这一层的描述手段多为硬件描述语言（HDL）。

4．逻辑层

寄存器传输层中的寄存器和组合逻辑都是通过各种基本的逻辑门实现的，例如反相器、与非门、或非门等。逻辑层描述就是从各种逻辑门的组合、连接的角度去描述整个系统的。这一层仍可采用硬件描述语言（HDL）作为描述手段。

5．电路层

逻辑层中的逻辑门是由晶体管电路构成的。例如，在 CMOS 电路中，一个反相器是由一个 PMOS 晶体管和一个 NMOS 晶体管构成的；一个最基本的与非/或非门是由两个 PMOS 晶体管和两个 NMOS 晶体管构成的。电路层描述就是从晶体管的组合、连接的角度来描述整个系统的。这一层仍可采用硬件描述语言（HDL）作为描述手段，但由于这一层处于设计描述的底层，而且这一层的描述一般只需让 EDA 工具“看懂”，硬件描述语言并不能发挥其面向高层的优势。

设计的 3 个描述领域的主要含义如下：

1．行为领域描述

行为领域描述一个设计的基本功能，或者说所设计的电路应该做什么。从概念上讲，纯行为是输入和输出映射关系的描述。例如，布尔方程组就是逻辑网络的行为描述，它描述逻辑网络输入输出间的关系。

2．结构领域描述

结构领域描述一个设计的逻辑结构，或者说一个设计的抽象实现，典型的表达方式就是一些抽象功能模块之间相互连接的网表。例如，在寄存器传输层，抽象功能模块是ALU、多路选择器、寄存器等。

3．物理领域描述

物理领域描述一个设计的物理实现，或者说把结构描述中的抽象元件代之以真正的物理元件。例如，在寄存器传输层，物理描述方法描述了实现 ALU、多路选择器、寄存器等功能模块的平面布图。在每一个层次中，物理描述通常都涉及速度、功耗、面积等方面的约束。

无论是描述层次还是描述领域，它们的边界是可以重叠的。一个设计的描述，通常在描述层次和描述领域上可以混合表示。例如，一个典型的寄存器传输层的描述，通常既包含行为领域描述又包含结构领域描述，既包含寄存器级元件又包含逻辑级元件。对任何设计，设计者的目的都是获得其物理实现；或者说，一个设计最终要被转换成物理领域描述。

另一个值得一提的问题是，一个设计可以在不同的层次进行描述，但并不是说每一个设计都必须从系统层开始进行。对于有经验的设计者，在设计所熟悉的电子产品时，可能更喜欢从寄存器传输层或更低的层次开始着手设计。大多数普通设计人员从更高层次入手，设计的自由度更大，更能发挥 EDA 工具的优化能力，设计出性能更优的产品。以一个系统中的加法器为例，如果在寄存器传输层进行描述，就必须由设计者来决定是用并行实现还是用串行实现。假设这个系统要求时间最优，那么设计者很自然地会选用并行的加法器。如果设计者从行为级开始设计，只给出加法的行为描述，而将时间最优作为综合优化的约束条件，那么综合器首先对整个系统进行分析。如果这个加法器位于系统的关键路径上，综合器会选用并行实现；如果这个加法器不在系统的关键路径上，综合器就会选用串行实现，它们同样都能满足时间最优的条件。前面的寄存器传输层设计，不管怎样都在设计描述时预先决定了采用并行加法器；而后面这种行为级设计，可以通过对整个系统进行分析并根据约束条件来选择使用并行或串行加法器，这样有可能在同样满足时间最优的条件下比前面一种设计更节省面积或成本，使产品有更好的性能价格比。

1.4 传统与现代集成电路设计的比较

1.4.1 传统与现代集成电路设计方法的比较

传统与现代的集成电路在设计方法上的主要区别如表 1-2 所示。

表 1-2 传统与现代集成电路设计方法的比较

	传统集成电路设计	现代集成电路设计
设计方法类别	自底向上	自顶向下
设计手段	电路原理图	硬件描述语言
系统构成	通用元器件	ASIC 电路
仿真调试	在设计的后期进行	在设计的早期进行

传统的自底向上的设计方法的主要步骤是：根据系统对硬件的要求，详细编制技术规范书，并画出系统控制流图；然后，根据技术规范书和系统控制流图，对系统的功能进行细化，合理地划分功能模块，并画出系统的功能框图；接着进行各功能模块的细化和电路设计；各功能模块电路设计、调试完成后，将各个功能模块的硬件电路连接起来再进行系统的调试，最后完成整个系统的硬件设计。现代的自顶向下的设计方法就是从系统的总体要求出发，自顶向下地将设计内容细化，最后完成系统硬件的整体设计。

在用传统的硬件设计方法所形成的设计文件，主要是由若干张电原理图构成的文件。在电原理图中详细标注了各逻辑元器件的名称和互相间的信号连接关系。该文件是用户使用和维护系统的依据。对于小系统，这种电原理图只要几十张至几百张就行了。但是，如果系统比较大，硬件比较复杂，那么这种电原理图可能要有几千张、几万张，甚至几十万张。如此多的电原理图给归档、阅读、修改和使用都带来了极大的不便。现代集成电路设计中，主要的设计文件是 HDL 语言编写的源程序。如果需要也可以转换成电原理图形式输出。用 HDL 语言的源程序作为归档文件有很多好处。其一是资料量小，便于保存。其二是可继承性好。当设计其他硬件电路时，可以使用文件中的某些库、进程和过程等描述某些局部硬件电路的程序。其三是阅读方便。阅读程序比阅读电原理图要更容易一些，阅读者很容易在程序中看出某一硬件电路的工作原理和逻辑关系。

在传统的硬件电路设计中，设计者总是根据系统的具体需要，选择市场上能买到的逻辑元器件，来构成所要求的逻辑电路，从而完成系统的硬件设计。随着微处理器的出现，尽管在由微处理器及其相应硬件构成的系统中，系统的许多硬件功能可以用软件系统来实现，从而在较大程度上简化系统硬件电路的设计，但是，这种选择通用的元器件来构成系统硬件电路的方法并未改变。在现代的集成电路设计中，由于目前众多的制造 ASIC 芯片的厂家的工具软件都支持 HDL 语言的编程，因而，硬件设计人员在设计硬件电路时，无须受只能使用通用元器件的限制，可以根据硬件电路设计需要，设计自用的 ASIC 芯片或可编程逻辑器件。这样最终会使系统硬件电路设计更趋合理，体积也可大为缩小。

在传统的系统硬件设计中，仿真和调试通常只能在系统硬件设计的后期才能进行。因为进行仿真和调试的仪器一般为系统仿真器、逻辑分析仪和示波器等，而这些仪器只有在硬件系统已经构成以后才能使用。系统设计时存在的问题只有在后期才能较容易发现。这样，传统的硬件设计方法对系统设计人员有较高的要求。一旦考虑不周，系统设计存在较大缺陷，那么就有可能要重新设计系统，使得设计周期大大增加。在现代集成电路设计中，由于采用自顶向下的设计方法，在系统设计过程中较高层次进行仿真调试，从而可以在系统设计早期发现设计中存在的问题。与传统设计的后期仿真相比，可大大缩短系统的设计周期，节省设计成本。

1.4.2 传统与现代集成电路设计流程的比较

传统的集成电路设计流程指的是集成电路制造工艺处于微米、亚微米时期（0.35 微米以上）的设计流程，现代集成电路设计流程指的是当前集成电路制造工艺已经达到深亚微米水平（0.35 微米以下）后与之相适应的设计流程。

集成电路制造的特征尺寸从微米、亚微米水平减小到深亚微米水平后，为集成电路