

《电子技术基础》 课程设计指南

焦宝文 主编

清华大学出版社

内 容 简 介

本书是在北京广播电视大学的组织下,由清华大学、北京工业学院、北京工业大学、中央电大共同编写的,目的是指导《电子技术基础》的课程设计。

书中编排了八个设计课题。数字电路设计课题包括:数字电子计时器(具有计时、闹钟、整点报时、自动报时、逆向秒表五种功能)、针织圆机数字控制器、简易双积分式数字电压表。模拟电路设计课题包括:OCL音频放大器(由基本单级低频放大器、场效应管源极跟随器、反馈型音调控制电路、分立元件OCL功率放大器构成)、集成BTL功率放大器、串联型晶体管稳压电源。微处理器应用课题包括:模数(A/D)转换器、可编程序乐曲演奏器(能自动重复演奏预先以代码形式存放在存储器中的乐曲)。

这些课题不仅内容丰富而且具有综合性、趣味性和实用价值。为了便于初学者自学与入门,每个课题还介绍了设计原理和方法并均有设计举例,同时,对实验箱和实验模板的结构、使用技巧也做了详细说明并给出了电路故障检测方法和准则。

本书既可作为电视大学、工科院校《电子技术基础》课程设计的教材,也可作为工程技术人员、电子爱好者的自学实验参考书。

《电子技术基础》课程设计指南

焦宝文 主编

*

清华大学出版社 出版

北京 清华园

国防工业出版社印刷厂 印刷

新华书店北京发行所发行 各地新华书店经售

*

开本: $787 \times 1092 \frac{1}{16}$ 印张: $9 \frac{1}{2}$ 字数: 225千字

1984年3月第一版 1984年3月第一次印刷

印数: 1~60000

统一书号: 15235·108 定价: 1.20元

目 录

第一部分 数字逻辑电路的设计

一、数字逻辑电路设计的基本知识	1
(一) 设计的基本步骤和方法	1
(二) CMOS集成电路的正确使用方法	5
二、数字电路设计课题举例	6
课题(一) 数字电子计时器	6
课题(二) 针织圆机数字控制器	23
课题(三) 简易双积分式数字电压表	30

第二部分 模拟电路的设计

一、模拟电路设计的基本知识	39
(一) 典型模拟装置的组成	39
(二) 多级放大器设计的一般原则	40
二、模拟电路设计课题举例	44
课题(一) OCL 音频放大器的设计	44
课题(二) BTL 集成功率放大器的设计	70
课题(三) 串联型晶体管稳压电源的设计	77

第三部分 微处理器应用课题

课题(一) 模数(A/D)转换器	88
课题(二) 可编程序乐曲演奏器	100

第四部分 附 录

附录〔一〕DLB-4型数字逻辑实验箱介绍	119
附录〔二〕BSK-8型实验扩音板和测试台使用说明	125
附录〔三〕参考电路所用组件和晶体管介绍	129
I. CMOS集成电路逻辑图和引脚图	129
II. TTL集成电路逻辑图和引脚图	140
III. 线性集成电路电原理图和引脚图	142
IV. 晶体管参数(仅供参考)	146

第一部分 数字逻辑电路的设计

随着数字电子技术的发展,由数字逻辑电路组成的数字控制系统、数字量测系统和数字通讯系统以及电子数字计算机已经广泛应用到各个领域。因此,数字逻辑电路的设计愈来愈显得十分重要,它已成为高等院校有关专业的学生以及有关的工程技术人员必须掌握的基本技能。

一般地说,数字逻辑电路设计应包括两个方面,即基本功能电路设计和逻辑电路系统的设计。有关基本功能电路设计已经在《数字电子技术基础》中做了较为详细的介绍,本指导书主要介绍数字逻辑电路系统的设计。也就是根据设计指标,将各种器件和基本功能电路组合成逻辑电路装置,使之能实现预期的工作任务。为叙述方便起见,本书将此设计简称为数字逻辑电路设计。

一、数字逻辑电路设计的基本知识

(一) 设计的基本步骤和方法

数字逻辑电路通常由四个部分组成。(1) 输入电路; (2) 控制运算电路; (3) 输出电路; (4) 电源。如图 1-1 所示。输入电路接收被测或被控系统的有关信息并进行必要的变换或处理,以适应控制运算电路的需要;控制电路则把接收到的信息按一定的模式进行逻辑判断和数字运算,然后把结果送给输出电路;最后输出电路将送来的结果再做一定的处理就可以驱动被测或被控系统了;电源的作用是为各部分电路提供必要的电压和电流。

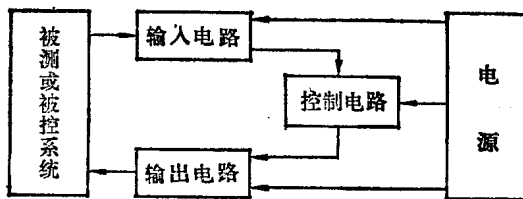


图1-1 数字逻辑电路框图

以上四个部分中,控制电路是整个电路的中枢环节。它的设计主要应用了《数字电子技术基础》的基本知识,比较适合课程设计的要求。所以,本指导书将着重讨论控制电路的构成和设计方法。至于输入和输出电路则将在相应的课题中再作介绍。电源的设计则在模拟电路部分介绍。

1. 设计步骤

在一般情况下,电子系统设计的最终目标是做出生产样机或定型产品。整个设计过程大致可以分为下面几个阶段:

(1) 方案设计——根据设计任务书给定的技术指标和条件设计出完整的电路,通常

把这一工作也叫做“预设计”。这一阶段的主要任务是准备好实验文件，包括：画出主要单元电路、数据通路、输入、输出及重要控制信号概貌的框图；画出构成电路的详细逻辑图；给出方案实验的具体装配图（这时的装配图可以粗糙些，但应给出组件的数量、管脚号以及器件的实际位置）；同时配以文字说明，简明解释系统工作原理并指出所采用的某些“技巧”或一些不明显的假设等。

应当指出，一种较为理想的方案不是轻而易举就能很快提出来的，它往往需要设计者进行广泛调查研究、大量查阅参考文献和资料，再进行反复的比较和可行性论证才能最后确定下来。

（2）方案试验——对所选定的设计方案进行装调实验。实践证明，由于生产实际的复杂性和电子元、器件参数的分散性，再加上设计者开始经验不足，一个仅从理论上设计出的电路往往是不成熟的，可能存在着许多问题。但是，不通过实验就想把这些问题检查出来并加以解决是十分困难的。因此，在完成方案设计后总要进行电路的装配和调试。通过调试，就可以发现实验现象与设计要求不相符的情况。这时，如果善于从理论到实践的結合上分析原因，就可能很快的找出解决问题的方法和途径，从而完善预设计方案使之达到规定的技术指标。如果说方案设计是搞好系统设计的先决条件的话，那么实验调整则可以说是解决问题的决定性步骤。

在实际进行方案实验时，往往还会出现预先估计不到的许多现象，难免需要改变某些参数或更换元件，甚至修改方案，为方便起见，通常先把电路在试验架或专用实验箱上组装起来进行。

应当指出，由于许多系统往往比较复杂，因此在方案试验阶段一般只能对其中的关键部分或采用的新电路、新技术进行试验，而对于那些很有把握或很成熟的内容，则可以不做试验。只有在方案比较简单时，才有可能在实验室里做总体试验。

（3）工艺设计——完成制作实验样机所必须的文件资料，包括整机结构设计和印刷线路板的设计等。

（4）样机制作及调试——在修改和完善方案设计、工艺设计的基础上完成样机外壳和构架的加工、元件的组装和焊接、整机调试和指标测试等工作，最终做出符合技术指标的样机。

（5）总结鉴定——考核样机是否全面达到规定的技术指标，能否长期可靠地正常工作，同时写出设计总结报告。一般只有在通过技术鉴定后方可投入试生产。

综上所述，大家可以明显的看出，一个电子装置的设计制作过程实际上是比较复杂的。我们在进行课程设计教学时受到时间和设备条件的限制，不可能使每个同学都亲身参加所有设计环节的训练，因此，只能选择重点作为教学基本要求。此外，从某种意义上说，课程设计在多数情况下只能是实验室“练兵”，要真正做出商业产品是比较困难的。因此，我们认为把方案设计、方案实验和写总结报告这三个环节作为本课的训练重点是比较合适的。

2. 设计的基本方法

以前，设计数字逻辑电路一般是根据任务要求先画出状态图和状态表，然后再利用各种方法化简求出简化逻辑表达式，画出逻辑图做出电路。可是近些年来，由于中、大规模集成电路的迅速发展，这些工作大部分已由生产器件的工厂完成。而厂家直接为我

们提供了各种功能很强的标准微电子集成电路,这就使得数字逻辑电路的设计也发生了根本性的变化。现在设计中考虑的主要问题是如何利用各种标准的集成电路器件综合成满足需要的逻辑电路系统。所以一般地说,在确定总体方案之后,首先是根据方案对各部分电路的要求,选择合适的集成电路类型;然后再确定所需要的具体器件;最后把这些器件连接组合起来,做成完整的逻辑电路系统。实践证明,数字逻辑电路设计多使用中、大规模集成电路,不仅可以减少组件的数目,而且能提高电路的可靠性,降低成本。只有在确实需要时,才选用小规模集成电路和分立元件。因此,我们讨论设计方法时,将着重研究如何选择合适的集成电路,怎样用最简单的连接方式来完成设计。

总体方案设计的基本方法在于首先根据总的功能要求把复杂的逻辑电路系统分解成若干个独立的单元。每个独立单元的功能再由若干个标准集成电路器件来完成。为了减少各单元电路之间由于连接而产生错误的机会,化分单元的数目一般不宜太多,但是每个单元又不能太大、太复杂,以免出现故障时难以查找。

然后,根据单元的逻辑功能,选择合适的器件完成所需的工作。要做好这一点,要求设计者不仅应具有一定的集成电路的知识,而且要熟悉器件的种类、功能和特点。为了便于设计者了解常用集成电路的性能,本书在附录中介绍了各课题所用器件的电气特性和管脚图。

第三是考虑各单元电路间的连接问题。各单元电路在时序上应协调一致,满足工作要求,在电气特性上应该匹配,保证各部分都能正常工作。此外,设计中还应该注意防止竞争冒险现象和电路的自启动问题。

衡量一个电路设计的好坏,主要看是否达到了技术指标和能否长期可靠地工作,此外还要考虑经济实用、容易制做、维修方便。为了构成比较理想的电路,设计者除了要具备较为丰富的经验和很强的想象力之外,还应该尽可能的熟悉大多数典型电路的逻辑功能。本书课题所涉及的基本上是在《数字电子技术基础》中学过的典型电路,即使有一些电路不熟悉,运用学过的知识也不难掌握。在每个课题中,我们还介绍了一些工程上实用的简易设计方法。但希望读者不要生搬硬套,最好能根据个人和实验条件的具体情况来进行设计。

3. 实验文件的标准格式

从设计步骤以及本课的重点要求可知,在整个设计过程中每个同学要完成三个文件,即预设计作业、方案实验预习报告和课程设计总结报告。

对预设计作业的要求是:必须按下述原则画出框图和逻辑图并交指导教师审阅。

画框图的原则是:

① 比较简单的逻辑电路的框图一般由几个方框构成,复杂些的电路一般由十多个方框构成。通常所有的方框画在一张图纸上,相当庞大的电路可附加各个单元电路的方框图。请注意,所画框图不必太详细,也不能过于含糊,关键要反映出逻辑电路的主要单元电路、数据通路、输入和输出以及控制点的设计思想。

② 框图要能清晰地表示出控制信息和数据信息的流向。信息的流向可以是任意的,通常由左至右。

③ 每个方框不必指出功能块中所包含的具体器件。

④ 所有连线必须清晰整齐。

画逻辑图的原则是:

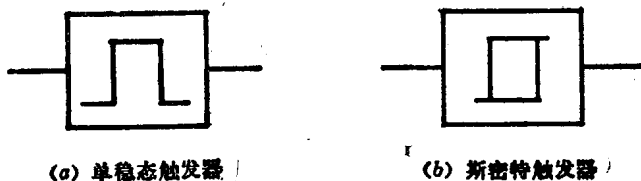
① 一般把电路的输入端画在左边, 输出端在右边, 重要的电路画在上部, 不重要的画在下部。

② 所有通路应尽量连接, 连接线可交叉, 但若相交则要用一个园点标出。如果走线拥挤须将通路分开画时, 应在断口两端做上标记。

③ 超出一张纸的逻辑电路, 应使用同一个坐标系 (象地图一样), 标出信号从一张到另一张的引出点和引入点。

④ 所有器件应使用标准逻辑符号。表 1-1 列出了四机部颁发的标准二进制逻辑电路

图形符号。至于中规模集成电路的符号, 我们规定画成一个方框, 并在方框内标出器件名称。单稳态和斯密特触发器可以使用图 1-2 所示的符号。



(a) 单稳态触发器 (b) 斯密特触发器

图1-2 单稳态和斯密特触发器符号

表 1-1

名称	图 形 符 号	名称	图 形 符 号
与门		与或非门	
或门		异或门	
非门		R-S 触发器	
与非门		J-K 触发器	
或非门		D 触发器	

方案实验预习报告必须由学生自拟。内容包括：调试和指标测试内容、方法及步骤；测试线路图；所用仪器设备；记录测量结果的表格等。

课程设计总结报告要限期完成。应包括如下内容：任务及要求；方案特点；组成部分及工作原理（应结合框图简述）；单元电路的设计与调试；总逻辑图；总体安装接线和调试；总装配图；实验结果分析（包括画出必要的波形，进行精度测量及误差分析）；改进意见和收获体会等。

（二）CMOS集成电路的正确使用方法

从《数字电子技术基础》课程中我们已经了解到，CMOS集成电路具有电路简单、功耗低、扇出系数大、价格低廉等多种优点，在电路一旦装好进行正常工作后，它的稳定性比TTL电路还要高，抗干扰能力也强。所以，本书设计举例中，大部分都采用了部标中、小规模CMOS双列直插式组件。但是，CMOS集成电路也有一些独特的问题。由于它的输入阻抗非常高，在没有与其它电路相接之前，各输入端均处于开路状态，极易受外界静电的感应，有时会产生高达数百甚至数千伏的静电电压而将组件破坏。虽然现在生产的CMOS组件输入端都加有保护电路，但是为了安全起见，在储存、使用过程中必须注意以下几点：

（1）存放要屏蔽。一般用金属箔或导电泡棉将组件所有管脚短路。

（2）焊接时电烙铁要接地。为防止电烙铁漏电击穿组件的输入端，也可断电用存热快速焊接。

（3）通电时，应先开启稳压电源后，再用导线加到组件的电源端。

（4）不可在电源接通情况下插、拔组件，否则组件很容易受到较大的感应电压而损坏。

（5）组件断电后，千万不可将信号加入。因为 V_{DD} 尚未加入时，将有较大的电流流过输入保护电路，从而损坏组件。正确的操作步骤应该是：在开始实验时，先加 V_{DD} 后加输入信号；停止实验时先撤除输入信号再断 V_{DD} 。

（6）输入信号幅度不能大于 V_{DD} 或小于 V_{SS} 。例如，若 V_i 大于 V_{DD} 时，组件有可能产生“可控硅现象”而损坏。

（7）不用的输入端不能悬空，应根据逻辑需要将输入端接 V_{DD} 或地端。须注意，这一点与TTL组件的使用有很大的不同，因为悬空时，不仅容易接受外界噪声干扰，使电平不定，引起误动作，而且会消耗很大的功率（有时消耗电流要比正常工作时多数百倍以上）。尤其是当输入端悬空时，用手触及，极易造成栅穿。在湿度30%以下的干燥空气中，问题会更加突出。

（8）在输入连线长的场合，由于导线分布电容和寄生电感的影响，可能引起LC振荡，因此在输

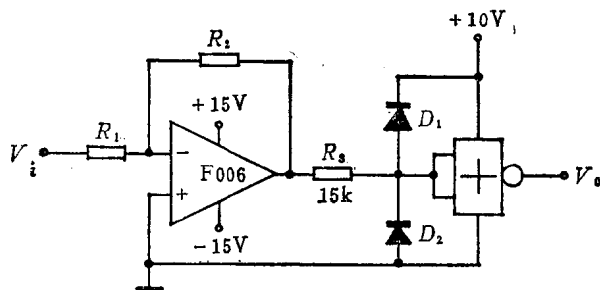


图1-3 运算放大器和CMOS电路的典型连接方式

入端串接一个 $10\text{k}\Omega$ 左右的电阻是必要的。

(9) CMOS 电路工作电流小, 其输出端只能驱动一级晶体管。如需输出电流较大时, 可采用复合管接法。对于显示用的半导体发光二极管, 达到可见度的电流大约在 $2\sim 10\text{mA}$ 范围, 一般需要借助于三极管才能驱动。至于运算放大器, 通常可直接驱动 CMOS 电路。例如, 当运算放大器 F006 用 $\pm 15\text{V}$ 电源供电, 而 CMOS 电路用 $+10\text{V}$ 电源供电时, 电路之间的接口可采用如图 1-3 所示的连接方式。

二、数字电路设计课题举例

课题(一) 数字电子计时器

随着科学技术的不断发展, 人们对于时间计量的精度要求愈来愈高。高精度的计时工具大多数都使用了石英晶体振荡器。由于电子钟表采用了石英技术, 因此走时精度高、稳定性好、使用方便且不需要经常调校。至于数字式电子钟表与指针式钟表的主要区别, 仅在于显示时间的方式不同, 即用集成电路计数、译码代替机械系统传动; 用液晶(或发光二极管)显示代替指针显示。但是就晶体振荡器而言, 指针式和数字式石英电子钟表是一样的。

由于 CMOS 电路的耗电极低、输入阻抗极高、噪声容限高、电源电压范围广等一系列优点, 因此电子手表电路几乎毫无例外地都采用了 CMOS 电路。下面介绍用中、小规模 CMOS 组件制作的数字石英钟。这种数字钟是用 CMOS 门电路和石英晶体构成的振荡器、产生稳定的振荡频率作为计时标准, 用 CMOS 集成电路计数、译码、并用六位数字液晶显示。这种钟除具有按时、分、秒显示时间的计时功能外, 还可以整点报时、按作息时间表自动报时、可作闹钟使用、及可作逆向计时秒表等多种功能。在本课题中主要讨论主计时器部分, 其它各功能则列入选作课题中再作介绍。

一、数字计时器的基本原理

数字计时器一般由振荡器、分频器、计数器、译码器、显示器等几部分组成。这些都是数字电路中应用最广的基本电路, 逻辑框图示于图 1-4。石英晶体振荡器产生的时标信号送到分频器, 分频电路将时标信号分成每秒一次的方波作为秒信号。秒信号送入计数器进行计数, 并把累计的结果以“时”、“分”、“秒”的数字显示出来。“秒”的显示由两级计数器和译码器组成的六十进制计数电路实现; “分”的显示电路与“秒”相同; “时”的显示由两级计数器和译码器组成的二十四进制计数电路来实现。所有计时结果由六位液晶显示器显示。现分别介绍如下:

1. 石英晶体振荡器

振荡器是计时器的核心, 它的作用是产生一个频率标准, 然后再由分频器分成时间脉冲, 即秒时间脉冲, 因此振荡器振荡频率的精度与稳定度基本决定了计时器的质量。振荡电路是由石英晶体、微调电容与集成电路中作振荡用的反相等元件构成, 原理图如图 1-5 所示。图中门 1、门 2 是反相器, 门 1 用于振荡, 门 2 用于缓冲整形, R_f 为反馈电阻 ($10\sim 100\text{M}\Omega$), 反馈电阻的作用是为 CMOS 反相器提供偏置, 使其工作在放大

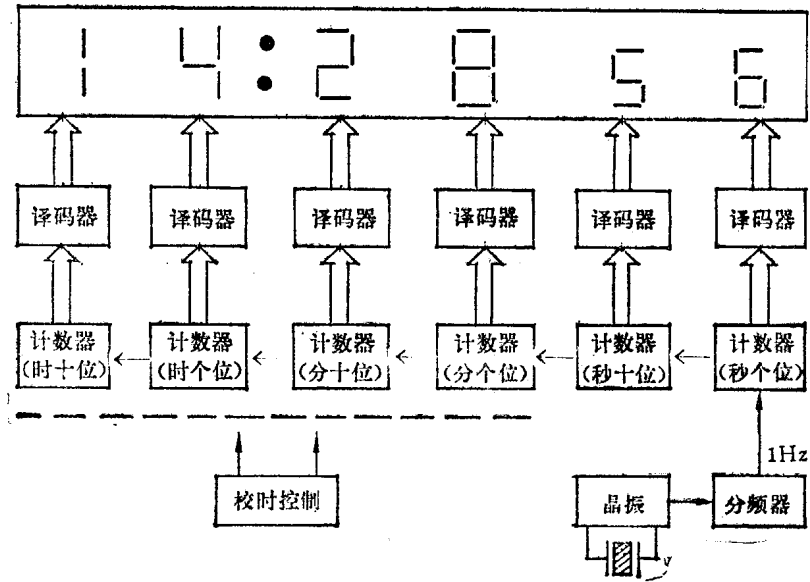


图1-4 数字计时器逻辑框图

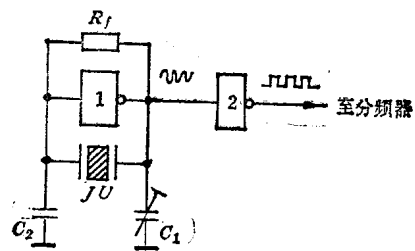


图1-5 晶体振荡器

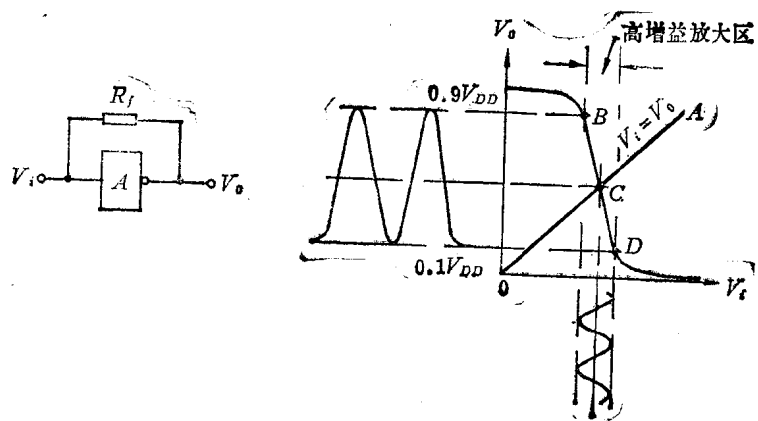


图1-6 CMOS放大器

状态,而不象通常的数字电路反相器,仅工作于导通或截止两个状态。CMOS反相器的输入阻抗极高,一般为 $10^{12}\Omega$ 以上,远远大于反馈电阻 R_f ,故反馈电阻的压降近似为零,可以认为 $V_i=V_o$ 。CMOS放大器的输入输出转移特性曲线如图 1-6 所示。过原点作 OA 直线与转移特性曲线相交于 C 点, C 点即为放大器的静态工作点,也就是反相器被反馈电阻 R_f 偏置在 $V_i=V_o$ 的静态工作点。由图中曲线可见 BCD 段基本上是线性区。当给反相器输入信号时,工作点附近过渡区的斜率很陡,故可得到放大的反相信号。反馈电阻 R_f 值的选取不能太大,否则会使放大器偏置不稳甚至不能正常工作, R_f 值太小又会使反馈网络负担加重。图 1-5 中的 C_1 是频率微调电容,一般取 $5/35\text{pF}$ 。 C_2 是温度特性校正用电容,一般取 $20\sim 40\text{pF}$ 。电容 C_1 、 C_2 与晶体共同构成 π 型网络,完成对振荡频率的控制,并提供必要的 180° 相移。

石英振荡器可以得到极其稳定的频率,但它输出的波形却不理想,近似于正弦波,所以用反相器进行整形,从而得到矩形脉冲输出。有的电路在输入端串联有电阻,这是为了起稳定振荡的作用,稳定电阻的取值在十到几百千欧。振荡器的频率,目前多数石英电子手表是 32768Hz ,因为 32768 是 2 的 15 次方,经过 15 级二分频正好可以得到 1Hz 。如果从钟表计时精度的角度考虑,振荡电路的频率愈高,钟表计时精度就愈高,但是耗电将增大。图 1-7 所示电路振荡频率是 100kHz ,采用 JN3 型石英晶体作为高 Q ,高精度频率网络串接于由与非门 1、2 组成的振荡器反馈电路中,与非门 3 是振荡器的整形缓冲级,凭藉与石英谐振器串联的微调电容,可以对振荡器频率作微小的调整。与非门可用 C006。

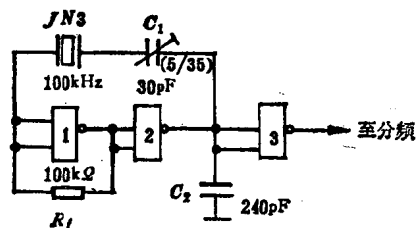


图1-7 晶体振荡器

2. 分频器

由石英晶体振荡器产生时间标准信号的频率很高,要得到秒脉冲,需用分频电路。例如振荡器所产生的 32768Hz 信号,用 n 位二进制计数器进行分频后,可得 $1/2^n$ 频率的信号,要得秒脉冲, $n=15$ 即可。如图 1-8 所示。图 1-9 所示是采用苏州半导体总厂生产的单片 CMOS 集成电路 C4001 构成的电路。

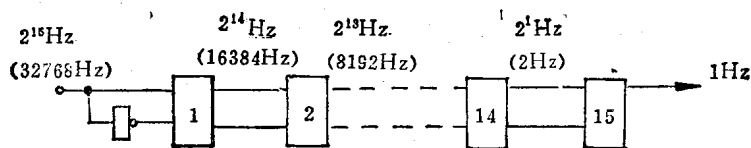


图1-8 15级二分频电路

图 1-10 所示是用 100kHz 的方波作为标准时钟信号 C_p 送到分频电路,在经过五级分频后,得到秒脉冲。

3. 计数器

来自分频器的时标信号经过六级计数器,分别得到“秒”个位、十位,“分”个位、十位以及“时”个位、十位的计时。“秒”、“分”计数器为六十进制,小时为二十四进制。这两种进制的计数次序和二进制完全相同,只是模数不是 2 的整幂。采用反馈置零

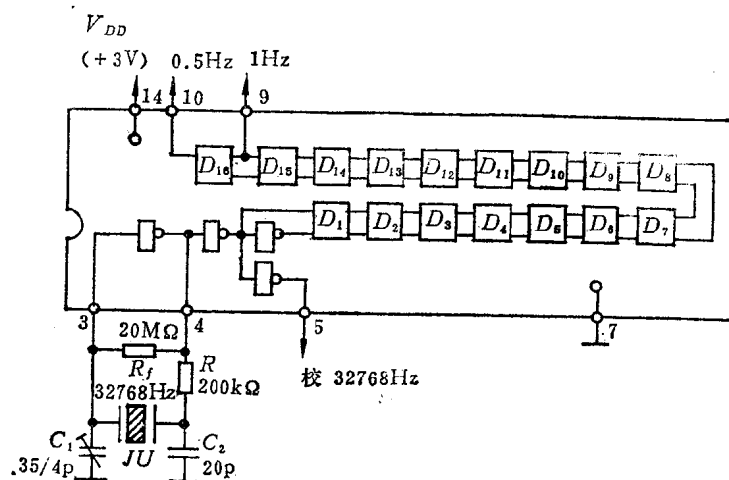


图1-9 1秒时标信号电路

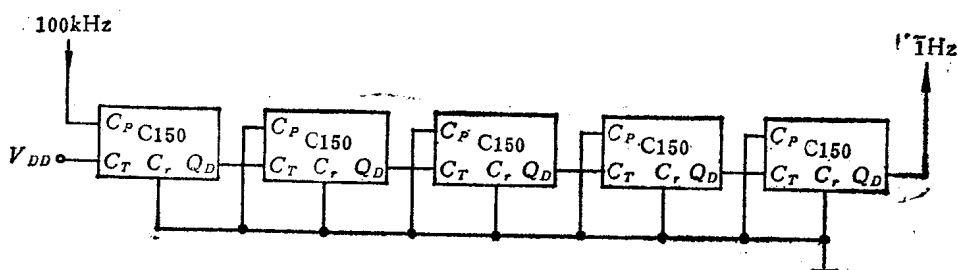


图1-10 五级十分频电路

法，先按二进制计数链联起来构成计数器。当计数状态达到所需的模值后，经门电路译码、反馈，产生“复位”脉冲将计数器清零，然后重新开始进行下一个循环。

(1) 六十进制计数

“秒”计数器由一级十进制计数器和一级六进制计数器级连起来构成。十进制计数器反馈归零方法大家比较熟悉，六进制计数电路的反馈方法是当CP端输入第六个触发脉冲时，它的四级触发器状态为“0110”，这时 Q_B 、 Q_C 均呈现高电平“1”。将它们相与（用两级与非门）后，送到计数器的清除端 C_r ，使计数器归“0”，从而实现六进制计数。例如图1-11所示是采用两块中规模集成电路C150串接起来构成的“秒”计数器，输出脉冲除用作自身清零外，同时还作为“分”计数器的输入信号，波形见图1-12所示。

如果考虑图1-11所示电路输出的复位脉冲比较窄，使计数器有可能会出误动作，那么，可以在门电路输出端加触发器，将复零脉冲展宽。

图1-13所示是采用两块任意进制计数器C156实现六十进制计数的逻辑图。C156集成电路如果用时钟的上升沿使计数器作增量计数时，时钟脉冲应加在CP端上，同时计数控制输入端必需加高电平“1”。若是用时钟下降沿计数，那么时钟脉冲要加在计数控制端 C_T 上，这时CP端必需为低电平“0”。为完成所需的进制计数，将Q输出端

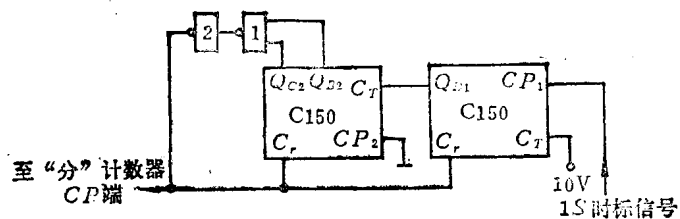


图1-11 六十进制计数器

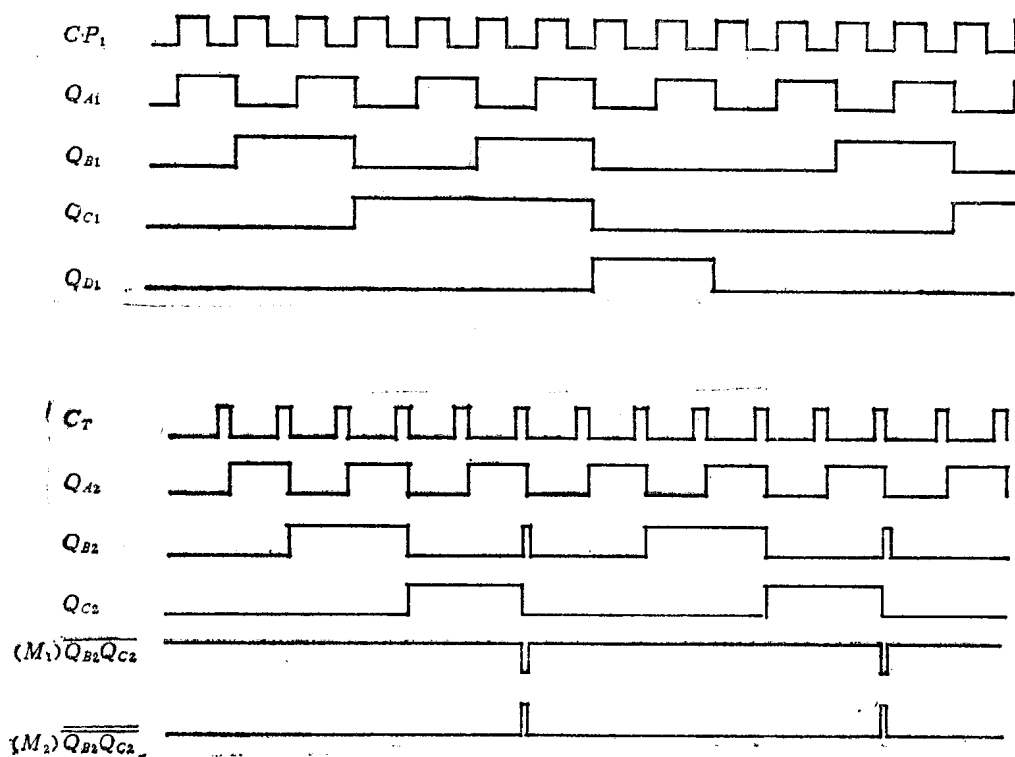


图1-12 波形图

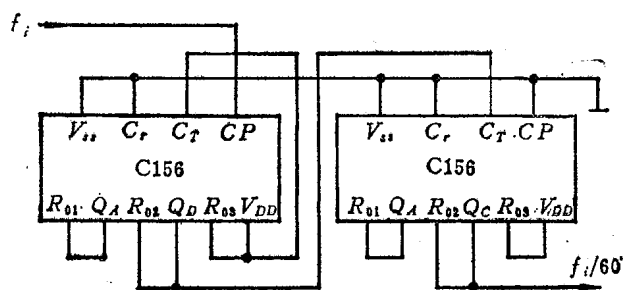


图1-13 六十进制计数器

反馈连接到 $R_{01} \sim R_{03}$ 的反馈输入端上, 其中多余的反馈端接高电平“1”。例如作六进制计数, 由 C156 外引线连接表可知, Q_A 反馈到 R_{01} 端, Q_C 反馈到 R_{02} 端, R_{03} 接至 V_{DD} 处。

“分”计数器电路与“秒”计数器相同。

(2) 二十四进制计数

小时计数器可用两块中规模集成电路 C151 与两级反相器构成二十四进制的计数, 示于图 1-14。当“时”个位计数器输入端 CP_+ 到来第 10 个触发信号, “时”个位计数器复“0”, 进位端 $\bar{O}_c$ 向“时”十位计数器输出进位信号; 在第 24 个来自“分”计数器的进位脉冲信号时, “时”个位计数器四级触发器的状态为“0100”, “时”十位计数器的状态为“0010”, 这时“时”个位计数器的 Q_c 和“时”十位计数器的 Q_B 输出为“1”。把它们相与经两级反相器后, 送到“时”个位, 和“时”十位计数器的清除端 C_r , 计数器复“0”, 其波形示于图 1-15。

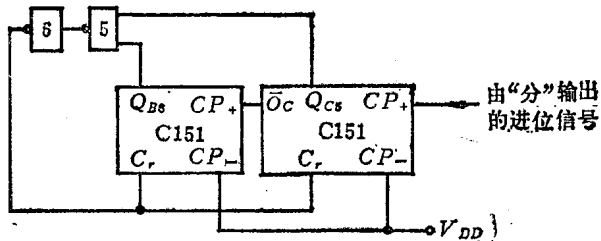


图1-14 24进制计数器

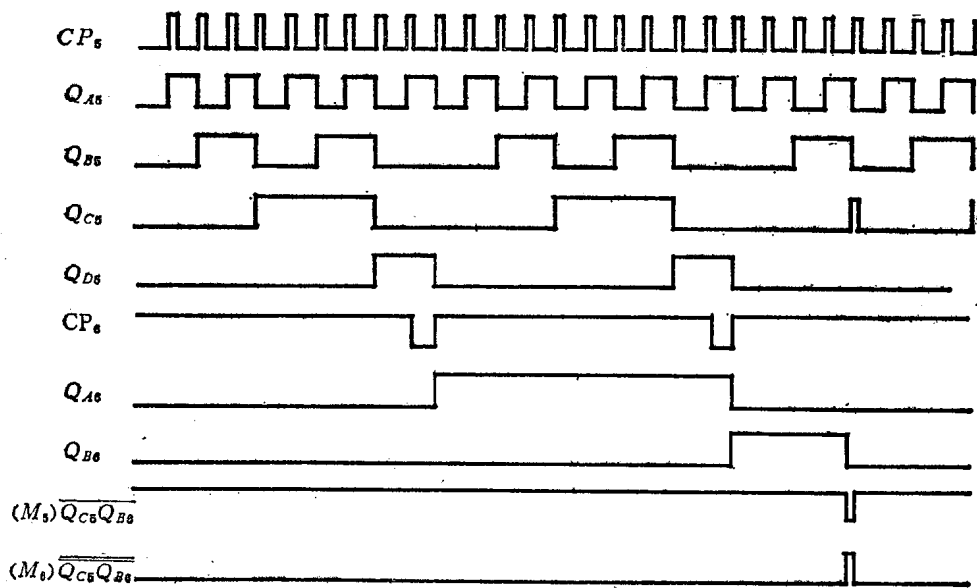


图1-15 波形图

4. 译码和显示电路

译码是把给定的代码进行翻译, 变成相应的状态。用于驱动液晶数字显示屏的 CMOS 七段液晶显示译码器, 只要在它的输入端输入 8、4、2、1 码, 七段液晶显示器就能显示十进制数字, 如图 1-16 所示。

液晶显示器件 (LCD) 是一种新型的平板薄型显示器件, 它的工作电压和工作电流非常低, 功耗微小, 配合 CMOS 电路可以组成低功耗系统, 故广泛地用于电子钟表、电

子计算器以及各种仪器仪表中。液晶显示器件本身不发光，靠调制外界光呈现反差达到显示的目的，其结构示意图如图 1-17 所示。液晶显示器象一只密封的薄玻璃盒，盒中注有液晶，在前、后玻璃内侧有经光刻制造的透明导电图形。在液晶盒两端没有施加电场时，入射光线顺原路返回，形成亮场。当液晶盒上施加一定的电场之后，破坏了盒内原

液晶分子扭曲 90° 的排列，转向与玻璃垂直的方向，从而失去了旋光性，因此不能通过后面的垂直检偏振片，光被吸收不能反射，便呈现暗视场。液晶屏在透视时于是出现白底黑字型显示。

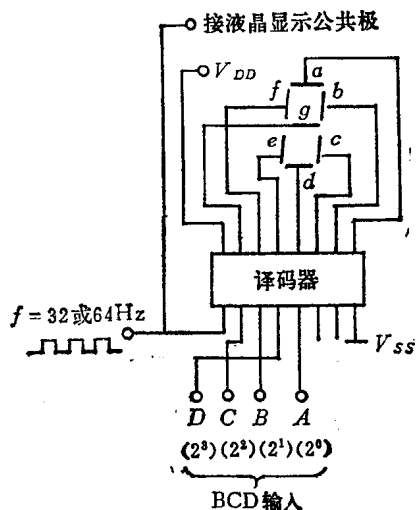


图1-16 显示译码电路

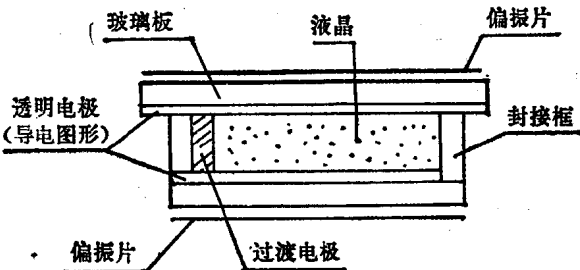


图1-17 液晶显示器结构示意图

液晶显示器件的驱动方法有静态和动态两种。动态驱动用于多位数字的显示器件，是采用线分割多路驱动的方法。数字位数少的显示器件采用静态驱动。在静态驱动时，其背板所有数字的笔段都连在一起作为一个公共电极，前板各个数字的每一段电极都分别引出作为独立的电极引出线。驱动液晶显示器只能应用交流电压，其直流分量应小于 100mV ，这是因为高直流电压作用会使液晶材料发生电化学反应，使显示质量变差。交流驱动电压的频率若用于计时，应为 32Hz 或 64Hz 。若用于计数，应为 $64\sim 500\text{Hz}$ 。交流驱动的方法是，在驱动电路中使公共电极信号通过异或门，将异或门的输出作为段

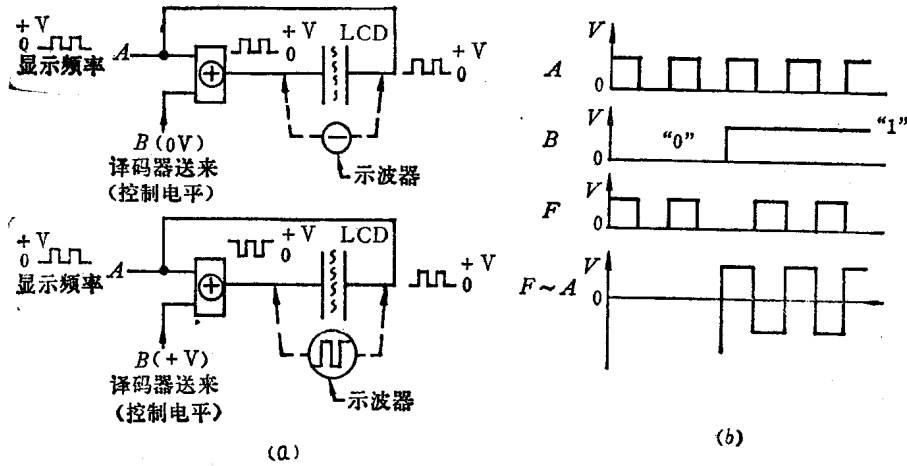


图1-18 交流驱动原理图及波形图

电极信号,使显示器两端得到对称的交流方波。图 1-18 所示为一个异或门对一个液晶显示单元的交流驱动原理图及波形图。由异或门逻辑表达式 $F = A \cdot \bar{B} + \bar{A} \cdot B$ 可知,当 B 端为“0”电平时,输出端 F 与 A 同相位,这时显示器前、后极为同相位,它们相对电平差为零,显示器“关闭”,笔段不显示。当 B 端按译码器输出的显示控制电平为高电平“1”时, F 与 A 端反相位,这时显示器两端的相对电平差为 F 端或 A 端电压幅值的两倍,显示器“打开”,笔段显示,其驱动波形 $F \sim A$ 见图 1-18(b) 所示。

5. 校时电路

当刚接通电源或者时钟走时出现误差时,都需要进行时间的校准。图 1-19 所示的校时控制电路由三级 CMOS 门电路和三只开关 ($K_1 \sim K_3$) 组成,分别用以实现对“时”、“分”、“秒”的校准。开关选择有“正常”(一般为时间显示)和“校时”两档。开关在“正常”位置时,设定电路为低电平“0”;选择开关在“校准”位置时,设定电路为高电平“1”。平时开关在“正常”位置接通低电平“0”,“时”、“分”、“秒”计数器正常计时。当进行“时”校准时,将开关 K_1 断开,秒信号送入“时”个位计数器进行快速计数,同时将“分”计数器电路置“0”。在“时”调到需要的数字后,合上开关 K_1 (使接低电平“0”),此时,由与非门 1 输出的秒信号被切断,计时器便继续工作。

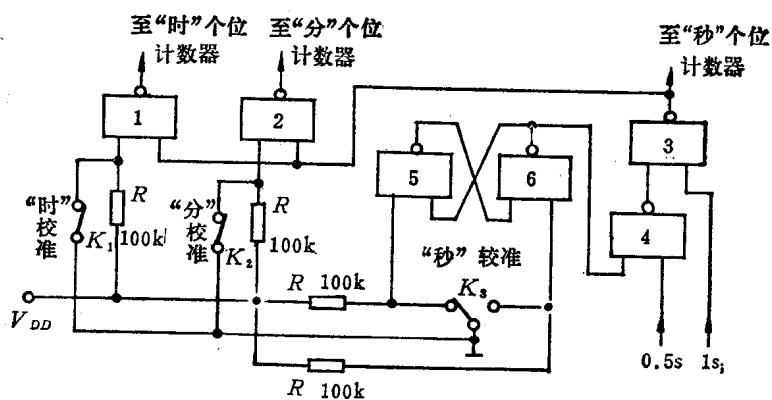


图 1-19 校时控制电路

“分”校准与“时”校准的步骤相同,秒信号通过与非门 2 送入“分”个位计数器。在进行“分”校准时,秒计时电路置“0”,当“分”调到需要的数字后合上开关 K_2 ,时针便按校时后的时间计数。

“秒”校准开关通过与非门 5、6 组成的 RS 触发器,当开关 K_3 与门 6 的输入端相接时,门 6 输出为高电平“1”。将门 4 打开,利用周期为 0.5 S 的信号通过门 4、门 3 进行校准,从而将“秒”校准速度提高一倍。同样在校至所需数字后,合上 K_3 ,于是计时器便按校准后的时间进行工作。图中所示的与非门,可用两块二输入端四与非门 C006。

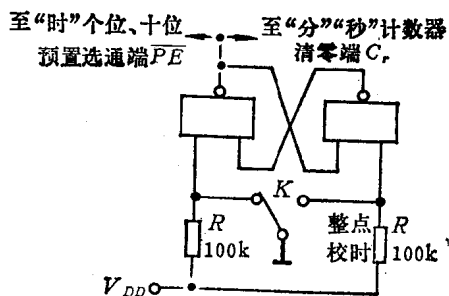


图 1-20 整点校时电路

如果希望计时器在整点时刻与电台所报的标准时间校对时,可用图 1-20 所示的整点

校时电路。我们可以事先将“时”计数器的置数端 A 、 B 、 C 、 D 按所需的小时数，根据 BCD 数码予置，当电台报时的最后一响到来时，立即操作整点校时开关 K ，这时触发器输出的负脉冲信号加在“时”计数器的予置选通端 $\overline{PE}$ ，于是将予置数送入。同时，该负脉冲信号在经一级反相后送至“分”、“秒”计数器清零端 C ，将“分”、“秒”计数器置零，计时器即从校准后的整点时刻开始计数。

6. 时间预置电路

预置时间可用开关直接操作，构成所需的数码送入计数器的置数端；或是用拨码盘与计数器的各置数端相连，构成时间预置电路，如图 1-21 所示。亦可采用 8421 编码器 $C274$ 与拨码盘相连，构成时间预置电路。码盘上的十进制数码经编码器变换后，变为相应的二一十进制数码送入计数器的置数端，于是实现时间预置，电路如图 1-22 所示。

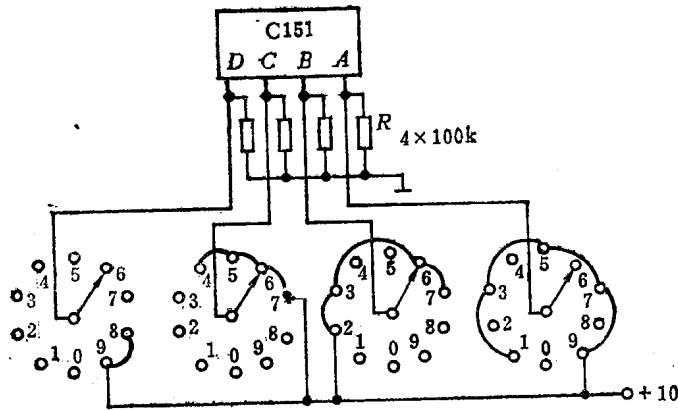


图1-21 时间预置电路

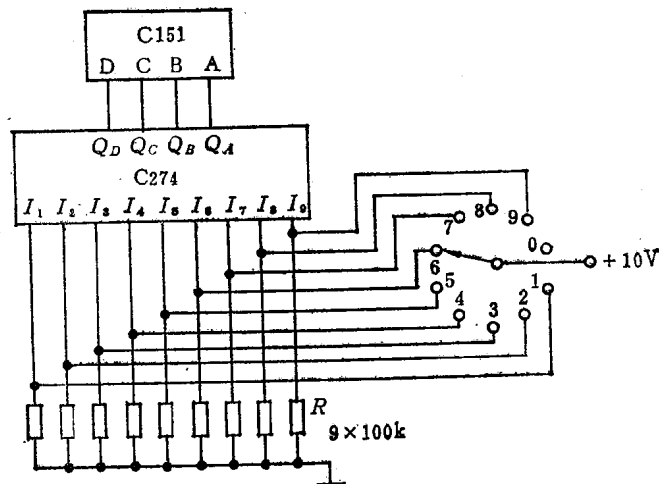


图1-22 时间预置电路