

高等学校教材

高性能个人计算机

马鸣锦 赵秋霞 曾光裕 编著

硬件结构及接口

- 系统性——完整给出高档 PC 微机全貌
- 先进性——跟踪最新 PC 微机硬件结构及总线技术
- 理论性——深刻剖析系统体系结构及组成原理
- 实用性——详述系统设计及实现方法
- 可读性——内容深入浅出、逻辑结构严谨

国防工业出版社

高性能个人计算机硬件 结构及接口

马鸣锦 赵秋霞 曾光裕 编著

国防工业出版社

· 北京 ·

图书在版编目(CIP)数据

高性能个人计算机硬件结构及接口/马鸣锦等编著.
北京:国防工业出版社,2001.5

ISBN 7-118-02515-1

I. 高… II. 马… III. ①个人计算机—硬件—构造
②个人计算机—硬件—接口 IV. TP368.3

中国版本图书馆 CIP 数据核字(2001)第 10803 号

国防工业出版社 出版发行

(北京市海淀区紫竹院南路 23 号)

(邮政编码 100044)

北京奥隆印刷厂 印刷

新华书店经售

*

开本 787×1092 1/16 印张 25 575 千字

2001 年 5 月第 1 版 2001 年 5 月北京第 1 次印刷

印数:1-3500 册 定价:36.00 元

(本书如有印装错误,我社负责调换)

前言

这是一本关于高级个人计算机的书。本书以 PCI 局部总线为主线索,介绍 Pentium (包括 Pentium II/III/IV)个人计算机的体系结构、组成原理以及系统设计方法,较完整地给出了高级个人计算机的全貌。

自 20 世纪 80 年代初 IBM PC 微型计算机推出以来,以 Intel 为代表的 CPU 或兼容的 CPU 所构成的微机结构有了很大的发展,包括从单一总线到多种总线、从单级存储到多级存储、从 8/16 位到 32/64 位结构的演变。各种档次的微机尽管都是采用开放式的主板(母板)结构,但主板的组织有了很大的变化,主板类型由 XT(8088 处理器)、AT(80286、386、486 处理器)发展到 ATX(Pentium、Pentium II/III/IV 处理器)。新主板结构特点包括:4 个 PCI 插槽带上几个 ISA 插槽以形成其可扩展部分;以通用串行总线 USB 接口取代传统的串行接口;缩短 IDE 硬盘连接器信号缆线长度以支持高速 IDE 硬盘。一块主板要完成计算机系统的管理和协调,支持各种 CPU、功能卡和总线接口的正常运行,其关键就在系统控制和管理芯片上。新型主板几乎都采用了 Intel 的 PCI 芯片系列(PCI-set System Chipset),如采用 Intel430/440/450 系列芯片。不管是采用哪一系列芯片,其同档次微机产品的功能和运行速度相差不大。

自 Intel 确立 i86 系列微处理器标准和 IBM 制定 ISA 总线结构标准以来,大大推动了 PC 微机产品的统一化和标准化。向后兼容是 PC 系统设计的基本准则,兼容性并不限制新技术的采用、新应用的出现、新机型的推出,现在的 PC 微机与十多年前的 PC 微机相比,系统组成就有本质的差别。为了反映微机新技术,我们在汲取大量最新资料的基础上编写了本书。

本书为了突出总线结构和接口技术的内容,没有把 i86 系列微处理器结构及指令系统等内容纳入本书,这些内容在去年出版的《Pentium II/III 体系结构及扩展技术》(国防工业出版社出版)一书中已有详细介绍。教学中,我们总是把该书与本书作为一组教材来使用。

全书分为 8 章。第 1 章在介绍了计算机总线的基本概念之后,简要介绍了 PC 系列微机发展过程中的主要结构及其配套总线的演变情况。在高级微机系统中,需要有能为主 CPU 和外设之间提供高性能数据通道的总线,这就是基于 PCI 总线的三级总线结构广泛采用的原因。第 2 章介绍 PCI 局部总线信号定义及总线事务处理,本章是 PCI 总线的综述。从第 3 章开始,以 Intel430 芯片系列为例,具体讨论基于 PCI 总线的 PC 微机结构。第 3 章介绍主桥及与之相关的主存储器和第二级高速缓存的结构、工作原理、控制原理和

系统地址空间的访问方法。第4章以PCI芯片系列的具体电路为例,介绍了PCI到ISA扩展总线桥接口电路功能及其所支持的系统I/O接口。第5章举例说明了与AT结构兼容的键盘、串行、并行等其它的I/O接口。第6章介绍了基于先进的可编程中断控制器的多处理器中断结构,尽管这种结构在PC系统中不是必需有的,但从中可以领会到对称式多处理器系统的某些特点。第7章介绍了PCI-IDE和PCI-SCSI两种硬盘接口。第8章介绍了通用串行总线USB的体系结构及接口器件。

本书的第1章到第6章由马鸣锦编写,第7章由曾光裕编写,第8章由赵秋霞编写。刘清森教授审阅了全稿,提出了很多宝贵意见并撰写了本书的前言。全书由马鸣锦教授定稿。强燕、张延军、董哲、龚雪容、柳毅等同学完成了本书的文字录入、图表制作和编辑排版工作。编写过程中,得到了教研室李清宝、杜威等教员帮助,得到了解放军信息工程大学信息安全学院及计算机科学与技术系领导的大力支持,在此一并致以感谢。

高性能PC微机产品不断问世,但产品的资料不完整、不系统,加上作者的学识水平有限,书中若有错误和不当之处,敬请读者批评指正。

目 录

第 1 章 PC 微机结构及系统总线的发展	1
1.1 微机系统总线的概念和指标	1
1.1.1 微机系统总线的基本概念	1
1.1.2 总线的性能指标	2
1.2 PC/XT 微机结构及 PC 总线	5
1.3 PC/AT 微机结构及 ISA 总线	6
1.4 EISA 总线	7
1.5 VESA 总线	9
1.6 PCI 总线及高档 PC 微机的三级总线结构	10
第 2 章 PCI 局部总线	12
2.1 PCI 总线信号定义	12
2.1.1 总线信号	12
2.1.2 信号类型	13
2.1.3 信号功能组	13
2.2 PCI 总线命令类型	19
2.3 PCI 协议基础	20
2.3.1 基本的传送控制	20
2.3.2 PCI 地址空间及寻址	21
2.3.3 总线的驱动和周转	22
2.4 主要的总线操作	23
2.4.1 读事务	23
2.4.2 写事务	24
2.4.3 错误功能	25
2.4.4 事务的终止	27
2.4.5 设备选择及译码	32
2.4.6 总线的仲裁与停靠	33
2.4.7 快速的背靠背事务	34
2.4.8 等待时间	36
2.4.9 独占性访问	42

2.4.10	高速缓存支持	45
2.4.11	特殊周期	50
2.4.12	配置访问	51
2.4.13	中断响应周期	60
2.4.14	64 位总线扩展	61
2.5	PCI 配置空间	65
2.5.1	配置空间的组织结构	66
2.5.2	配置空间的功能	66
第 3 章	主桥、主存储器及二级 Cache	76
3.1	主桥及主桥在系统中的位置	76
3.1.1	主桥结构及功能概述	77
3.1.2	主桥的引脚信号	85
3.1.3	主桥中的寄存器及相关功能	93
3.2	L2 Cache 及其控制	111
3.2.1	高速缓存的直接映射方法的一般原理	111
3.2.2	L2 Cache 的组织	112
3.2.3	L2 Cache 的 SRAM 阵列	113
3.2.4	L2 Cache 的读写策略和一致性协议	115
3.3	系统主存储器及其控制	118
3.3.1	DRAM 原理简介	118
3.3.2	主存的组织	118
3.3.3	DRAM 的访问时序	120
第 4 章	PCI-ISA 桥及系统 I/O 接口	129
4.1	SIO 的组成框图及内部寄存器	129
4.1.1	组成框图	129
4.1.2	SIO 内部寄存器	129
4.2	SIO 的 PCI 和 ISA 接口	134
4.2.1	SIO 支持的周期类型	134
4.2.2	数据缓冲	135
4.2.3	PCI 接口的基本操作	137
4.2.4	ISA 接口信号描述	139
4.2.5	U 总线支持逻辑与 U 总线接口	142
4.3	DMA 控制逻辑及 ISA 总线仲裁	146
4.3.1	82C37 DMA 控制器工作原理综述	147
4.3.2	SIO 的 DMA 逻辑	150
4.3.3	DMA 分散/集中传送	154
4.3.4	ISA 总线请求源及 ISA 总线仲裁器	158
4.4	地址译码及空间映射	161
4.4.1	PCI 地址译码器	161

4.4.2	DMA/ISA 主设备地址译码器	170
4.5	SIO 内部的 PCI 仲裁器	174
4.5.1	PCI 仲裁器引脚信号描述	174
4.5.2	仲裁方案	176
4.5.3	FLSHREQ #、MEMREQ # 和 MEMACK # 协议	179
4.5.4	避免反复 Retry	180
4.5.5	总线停靠	181
4.5.6	总线锁定	181
4.6	中断控制器	182
4.6.1	可屏蔽中断控制器	182
4.6.2	SIO 的非屏蔽中断逻辑	192
4.7	SIO 的定时器	193
4.7.1	时间间隔定时器	193
4.7.2	BIOS 定时器	195
4.8	SIO 的电源管理功能	196
4.8.1	三种电源状态及相互转换	196
4.8.2	电源管理功能的基础	196
4.8.3	电源管理机构的寄存器	198
4.8.4	SIO 的电源管理措施	203
第 5 章	其它 I/O 接口	206
5.1	键盘接口	206
5.1.1	键盘接口电路	206
5.1.2	键盘控制器	208
5.2	实时时钟 RTC/CMOS SRAM 电路	209
5.2.1	RTC 的结构及有关信号	209
5.2.2	RTC 内部寄存器及其功能	210
5.2.3	RTC 的电源管理	215
5.3	串行通信接口	215
5.3.1	异步串行通信的基本概念	216
5.3.2	串行总线标准 RS-232C	219
5.3.3	异步串行通信接口	222
5.4	并行通信接口	231
第 6 章	多处理器系统的中断结构	235
6.1	局部 APIC	236
6.1.1	局部 APIC 的存在判断	236
6.1.2	局部 APIC 结构	236
6.1.3	局部 APIC 的使能及其寄存器基地址的重定位	236
6.1.4	局部向量表	239
6.1.5	定时器	241

6.1.6	错误处理	242
6.1.7	中断命令寄存器	242
6.1.8	中断目标和中断分配	245
6.1.9	消息仲裁优先级	248
6.1.10	中断的接受	248
6.1.11	局部 APIC 版本寄存器	252
6.1.12	局部 APIC 的状态	253
6.2	I/O APIC	253
6.2.1	I/O APIC 的结构	254
6.2.2	I/O APIC 的寄存器	254
6.2.3	82379AB 中两种中断控制器的关系	259
6.3	APIC 总线及其消息传送	261
6.3.1	APIC 总线	261
6.3.2	APIC 总线仲裁	261
6.3.3	APIC 总线消息	262
6.3.4	APIC 总线状态周期	265
第 7 章	硬盘机接口	268
7.1	硬盘机系统概述	268
7.1.1	硬磁盘存储器的组成	268
7.1.2	硬盘接口规范	275
7.2	PCI-IDE 硬盘控制器	278
7.2.1	PCI646U2 的引脚描述	279
7.2.2	PCI646U2 的配置寄存器及功能	282
7.2.3	任务文件寄存器	290
7.2.4	PIO 模式及其中断处理	291
7.3	PCI-SCSI I/O 处理器	292
7.3.1	SCSI 基本知识	292
7.3.2	SYM53C895 的引脚信号	297
7.3.3	SYM53C895 的内部结构	301
7.3.4	SYM53C895 的操作寄存器	308
7.3.5	SYM53C895 的主要功能	310
第 8 章	USB 通用串行总线接口技术	324
8.1	USB 及其体系结构概述	325
8.1.1	USB 系统描述	325
8.1.2	物理接口	326
8.1.3	电源	327
8.1.4	总线协议	327
8.1.5	健壮性(Robustness)	328
8.1.6	系统配置	328

8.1.7 数据流类型	329
8.1.8 USB 设备	329
8.1.9 USB 主机	331
8.2 USB 数据流模型	331
8.2.1 总线拓扑结构	331
8.2.2 USB 通信流	334
8.2.3 传输类型	337
8.2.4 高速高带宽端点	342
8.2.5 Split(分割)事务	342
8.2.6 包字段与包格式	342
8.2.7 总线传输访问	348
8.3 USB 设备状态及其操作	351
8.3.1 USB 设备状态	351
8.3.2 USB 设备的通用操作	354
8.4 USB 主机的硬件和软件	356
8.4.1 USB 主机概述	356
8.4.2 主控制器功能	358
8.4.3 软件机制概述	360
8.5 Hub 的结构组织	362
8.5.1 Hub 概述	362
8.5.2 下游端口、上游端口和内部端口	364
8.5.3 Hub 中继器	366
8.5.4 挂起和恢复	368
8.5.5 Hub 端口电源控制	369
8.5.6 Hub 控制器	370
8.5.7 Hub 配置	373
8.5.8 事务转换器	373
8.6 USB 通用串行总线接口芯片举例	376
8.6.1 8x931 结构及其特征	377
8.6.2 微控制器核	380
8.6.3 8x931 存储器	382
8.6.4 USB 组件	383
8.6.5 片内外围设备	387
8.6.6 键盘控制接口	387

第 1 章 PC 微机结构及系统总线的发展

目前广泛使用的 PC 微机是由 IBM PC 发展、演变而来的，它们组成 PC 系列微机。在这个微机系列中，不管是主处理器还是体系结构，保持着向后或向上的兼容性。PC 系列微机的前期结构有三个档次：PC、PC/XT 和 PC/AT，是由 IBM 公司推出的。PC 和 PC/XT 结构的微机使用 Intel 8088 微处理器，随机推出的系统总线称为 PC 总线。PC/AT 结构的微机使用 Intel 80286 微处理器，系统总线升级为 ISA 总线。随着 Intel 80386、80486 微处理器的诞生，IBM 的微机沿 PS/2 结构发展，1987 年 IBM 公司发表了与 ISA 总线不兼容的 MCA（微通道结构）总线，PS/2 的一些高档微机采用 MCA 结构，与 PC 系列微机分手，而 PC 系列微机仍以 PC/AT 结构为基础做出改进，以适应 80386、80486 微处理器的性能，并推出与 ISA 兼容的 EISA 总线。随着 Pentium 及 P6 系列微处理器的推出，以及基于图形的窗口操作系统的使用，需要大容量的存储器和庞大的数据吞吐量，对总线的数据传输率也提出更高的要求，促使 PC 系列微机的总线技术产生一次大的飞跃。在 20 世纪 90 年代初期，以 Intel 公司为首推出了 PCI 局部总线，PC 系列微机结构也随之升级为现今的基于 PCI 总线的三级总线结构。

尽管自 80 年代初 IBM PC 问世以来，随着微处理器的更新换代，也随着微机系统本身应用范围的不断扩大，微机结构及其系统总线已发生了很大变化，但是在微机硬件结构和总线技术上仍存在明显的延续性和兼容性，因此，在今天学习高档 PC 微机的结构和接口时，有必要了解其结构及其系统总线的发展过程。本章先介绍计算机总线的基本概念，然后简要介绍 PC 系列微机发展过程中的几种主要结构及其配套总线。

1.1 微机系统总线的概念和指标

1.1.1 微机系统总线的基本概念

微机系统总线是微机各部件间进行信息传输的公共通路，称为 Bus，具体的物理形式是一组信号线。微机用总线的形式将微机中的各个模块，包括 CPU 模块、存储器模块、I/O 模块和 DMA 模块等互连在一起，按照总线的规范传送数据、传送控制信息和状态信息，从而构成微机的整体。用总线进行各模块的互连便于系统的扩展。一个好的总线应能充分发挥 CPU 和系统资源的潜能。

下面给出一个简单的微机系统总线的示意图来说明总线概念，见图 1-1。这样的简单总线一般有几十条信号线，按功能分为三类：地址总线(AB)、数据总线(DB)和控制总线(CB)，另外，还有电源线和地线。地址线传送存储器或 I/O 的地址，数据线传送数据，控制线则用来传送读/写数据所需的控制信号、定时信号以及具有控制含意的状态信号，比如，存储器读、存储器写、I/O 读、I/O 写、中断请求、中断响应、准备就绪等。总

线信号通过总线接口与处理器的信号相连，早期的微机总线接口逻辑很简单，使得总线信号与处理器信号的关系十分密切，几乎是处理器信号的延伸及扩展，所以早期的系统总线是与处理器配套的。

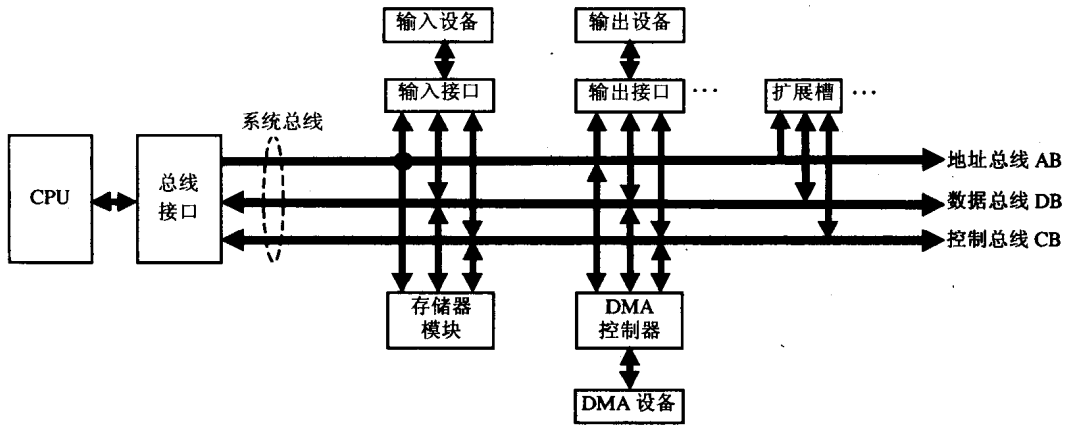


图 1-1 系统总线示意图

总线信号做在微机底板（或称主板、母板）上，也连到扩展插槽上，扩展槽是系统总线向底板以外延伸的通道，这样，插在扩展槽上的电路板也能和总线相连，成为挂在总线上的一个设备，使得用户根据需要可选用一些计算机选件板，也可以在扩展槽上扩展自己开发的电路板。

微机中的各种设备均挂在总线上，这些设备对于总线来说有主设备和从设备之分。能在总线上生成总线周期从而发起存储器访问或 I/O 访问的设备称为主设备，图 1-1 中的 CPU 通过总线接口可以成为系统总线上的主设备，DMA 控制器工作在主态时也可以成为系统总线的主设备；总线上响应主设备访问的设备称为从设备，如存储器、I/O 等；有些设备是既可以成为主设备也可以作为从设备，比如 DMA 控制器。

要使一种微机的系统总线成为标准总线，使不同厂商生产的设备都能挂在这条总线上，能互换和组合，并能维持正常的工作，就要对这种总线进行周密的设计和严格的规定，也就是制定详细的总线规范。各厂商只要按总线规范设计和生产自己的产品，就能挂在这样的标准总线上运行，既方便了厂家生产，也为用户组装自己的计算机系统带来灵活性与便利性。不管哪种标准总线规范，一般应包括下面四方面内容：

- 信号的定义与功能：规定总线上每条信号的名称和功能。
- 定时规范：规定各信号的时序和信号间的定时关系。
- 电气规范：规定信号的高低电平、信号动态转换时间、负载能力和额定值等。
- 机械结构规范：规定总线扩展插槽的各种尺寸，规定扩展插板的各种尺寸，金手指（边沿连接器）的规格及位置。

1.1.2 总线的性能指标

随着微处理器和微机结构的升级换代，要求总线也必须不断创新和提高性能，对总线性能的评价是通过一系列指标做出的，主要的评价指标有以下 6 条。

1. 总线宽度

主要是指数据总线的宽度，以位数为单位，比如 8 位、16 位、32 位或 64 位。

2. 寻址能力

主要指地址总线的位数及所能直接寻址的存储器空间的大小。一般来说，地址线位数越多，所能寻址的地址空间越大，比如，PC 总线的地址总线为 20 位，所能寻址的存储器空间为 1MB，I/O 空间为 64KB。

3. 传输率

总线传输率是指在某种数据传输方式下总线所能达到的数据传输速率，即每秒传送字节数，单位为 MB/S。总线传输率用下列公式计算：

$$Q = W \times f / N$$

式中， W —— 数据宽度，以字节为单位； f —— 总线时钟频率，以 Hz 为单位； N —— 完成一次数据传送所需的时钟周期个数。

例如，若在 EISA 总线（32 位总线宽度）上进行 8 位（即字节）存储器访问，由于 EISA 总线的时钟频率规定为 8.33MHz，一个存储器读写周期最快需 3 个时钟，则在这种传输方式下可达的数据传输率为：

$$Q = 1 \times 8.33 / 3 = 2.78 \text{ (MB/S)}$$

显然，EISA 总线在上述传输方式下传送数据并未达到它的最高传输率。实际上，在提及总线传输率时，为使该指标具有可比性，往往将该总线本身所能达到的最高传输率定义为总线传输率，也称为总线带宽（Bandwidth）。

总线传输率的高低与总线工作时钟频率有关，还取决于总线宽度和完成一次存储器读/写所需的最少时钟数，它们受限于总线驱动器和接收器的性能、总线规范所规定的信号线布线长度和挂接在总线上的器件数（即总线负载）等，这些因素都造成信号在信号线上传送的延时，因而影响到总线传输率。比如，上面提到的 EISA 总线，时钟频率为 8.33MHz，总线宽度 32 位，支持猝发传送，最快时每个时钟可完成一次存储器访问，故其总线传输率（带宽）可达：

$$Q = 4 \times 8.33 / 1 \approx 33 \text{ (MB/S)}$$

尽管这只是总线全速运行时的瞬间传输率，没有考虑存储器寻址等辅助时间的开销，但它确实能客观地反映一条总线的数据传输能力。

4. 总线握手协议

按照总线上信息传送的握手（或接头）方式划分，有同步、异步和半同步三种总线。同步总线是指定总线上各模块间的信息传送统一以总线时钟为基准，即各种信号出现在总线上的时刻由总线时钟确定；异步总线是指一个信号出现在总线上的时刻取决于前一信号的出现，即信号的改变是顺序发生的；而半同步总线是前两种总线握手方式的混合。比如，一个读数据的总线操作，采用同步、异步和半同步方式的时序示意图分别如图 1-2 中的 (a)，(b)，(c) 所示。

在同步总线上所有信号受时钟控制，总线上各模块都在时钟上升沿处将信号驱动至稳定或采样信号。当 CPU（主设备）欲在总线上进行读数据的操作时，首先发出读命令和地址，被访问模块（从设备）采样并识别地址，经一个时钟延迟，将数据送到总线上，主设备在下一时钟上升沿处把数据读走。与另两种握手方式相比，用同步方式定时，

设备中的控制电路最简单，数据传送速度最快，但是要求总线上的模块能跟上总线时钟的速度，因而只适合于访问速度相差不多的模块在这种总线上互连，总线时钟频率的确定要照顾到最慢的模块。

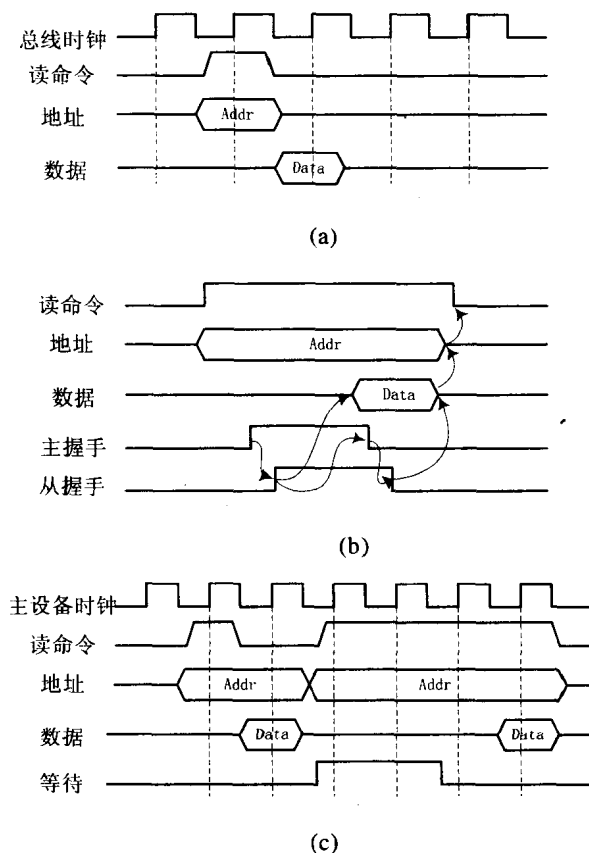


图 1-2 同步、异步和半同步读数据时序示意图

(a)同步时序示意；(b)异步时序示意；(c)半同步时序示意。

在异步总线上进行的总线操作与总线时钟关系不大，当一个主设备欲在总线上进行读数据的操作时，首先发出读命令和地址，待稳定后，启动主设备握手信号，被访问的从设备在主握手信号发出后用从设备握手信号响应，并把读数据送上数据线。主设备读数据，撤销主握手信号，随之引起从设备撤销从握手信号，从握手信号被撤销后，总线上不再有有效信息。异步方式对从设备响应时间不加限制，允许访问时间长短不一的模块挂在同一总线上，对快的设备总线操作快，对慢的设备总线操作慢。异步总线又称为全互锁总线，严密的握手信号使得数据传送绝对可靠。但是，设备中的控制电路复杂，而且由于一对握手信号在总线上应答两个来回，造成额外的时延，使得数据传送速度不如同步总线。

半同步总线综合了同步与异步总线的优点，在主设备的时钟信号和从设备的等待信号的控制下传送数据。图中给出了两个读数据的传送，第一个是一个快速的从设备，能在一个时钟内给予响应，不必升起等待信号，总线操作类似于同步总线；第二个是一个

慢速的从设备，它给出等待信号使主设备保持在等待状态，待从设备可以响应时，取消等待信号，主、从设备间再以同步时序完成访问。半同步总线具有同步总线的速度以及异步总线的通用性。后文提及的 ISA 总线和 PCI 总线都类似于这种半同步总线。

5. 猝发传送

总线上数据的传送方式分正常传送和猝发传送（Burst）两种。正常传送方式是每种总线都必须具有的，在每一个传送周期内都先传送数据的地址，然后传送数据。有些总线支持一种连续的、成块数据的传送，传送开始后，只需给出数据的首地址，然后连续地传送多个数据，后续数据的地址默认为前数据地址加 1，这种数据传送方式称为猝发传送。猝发传送可以实现一个时钟传送一个数据，故在总线宽度和总线时钟频率相同的情况下，支持猝发传送的总线的传输率高于不支持猝发的总线。后文提及的 ISA 总线不支持猝发传送，而 EISA 和 PCI 总线都支持猝发。

6. 负载能力

负载能力是指总线上所能挂连的设备数，由于总线上只有扩展槽能由用户使用，故一般是指总线上的扩展槽个数，即可连到总线上的扩展电路板的个数。

1.2 PC/XT 微机结构及 PC 总线

PC 系列微机最初是由 IBM 公司推出的，1981 年 IBM 推出 PC 微机（个人计算机），1983 年 IBM 又推出 PC/XT 微机。PC 与 PC/XT 微机都使用 Intel 8088 微处理器和 8087 协处理器，两种机型在结构上类似，只是 PC 微机系统不支持硬盘，而 PC/XT 微机系统支持硬盘。PC/XT 微机结构从整体上看与后述的 PC/AT 结构类似，参见图 1-3。

PC 和 PC/XT 微机随机推出的总线称为 PC 总线，全部连到扩展槽上，故 PC 总线的扩展槽有 62 个引脚，其中数据线 8 位，地址线 20 位，控制线 25 根，8 根电源和地线，1 个保留引脚，PC 总线的总线宽度为 8 位，可直接寻址的存储器地址空间为 1MB，I/O 空间为 64KB，总线时钟频率为 4.77MHz，采用半同步时序协议，最快的存储器访问周期由 4 个时钟周期组成，故 PC 总线的数据传输率为 $Q = 1 \times 4.77 / 4 \approx 1 \text{ (MB/S)}$ 。总线上可连 5~8 个扩展槽。

在 PC/XT 微机中，8088 处理器的引脚信号与系统总线（即 PC 总线）之间只有简单的总线接口，所以 PC 总线的数据、地址信号及访问时序与 8088 处理器的关系十分密切。PC/XT 微机中设有一个 4 通道的 8237 DMA 控制器，通道 0、2 和 3 都用于系统，分别用于 DRAM 刷新、软盘适配器和硬盘适配器。由于当时软、硬盘适配器都以扩展插件板的形式插在扩展槽上，故通道 2 和 3 的 DMA 请求和 DMA 响应信号都连到 PC 总线上。DMA 通道 0 用于板内 DRAM 刷新，它的 DMA 请求源来自系统板上的 8253 定时器，通道 0 占据系统总线后生成的 DMA 周期转化为一个 DRAM 刷新周期，它的 DMA 响应信号 DACK0# 就相当于刷新控制信号“REFRESH”，为了支持系统板上 DRAM 以及扩展槽上存储器插板里的 DRAM 的刷新，DACK0# 除了连到系统板上的 DRAM 以外也连到 PC 总线上。PC/XT 微机中设有一个 8259 中断控制器，支持 8 个可屏蔽硬件中断源，其中多数中断源用于系统本身所配置的设备，如软盘、硬盘、打印机等。也是由于当时的适配器都为插件板，故用于软盘、硬盘、打印机、异步串行通信等适配器

的中断请求信号线也都成为 PC 总线的一部分。DMA 控制器和中断控制器中留给用户的通道，其信号线当然也连到 PC 总线上。从以上分析可以看出，PC 总线虽然是一个标准总线，但它是与 8088 微处理器及 PC/XT 微机结构配套的。

1.3 PC/AT 微机结构及 ISA 总线

1984 年 IBM 公司推出 PC/AT 微机，使用 80286 微处理器和 80287 协处理器，PC/AT 结构比 PC/XT 增强了许多，但又支持与 PC/XT 结构的兼容。PC/AT 微机使用的系统总线称为 PC/AT 总线，后来也称为 ISA (Industry Standard Architecture) 总线，ISA 总线在 PC 总线的基础上进行了扩展与增强，也保持与 PC 总线的兼容。PC/AT 结构以及 ISA 总线，在 PC 微机的发展过程中是比较成功的一种结构和总线，特别适合于控制外设和进行数据通信，使用了比较长的一段时间，其影响延续至今。图 1-3 给出了 PC/AT 系统板的示意框图。

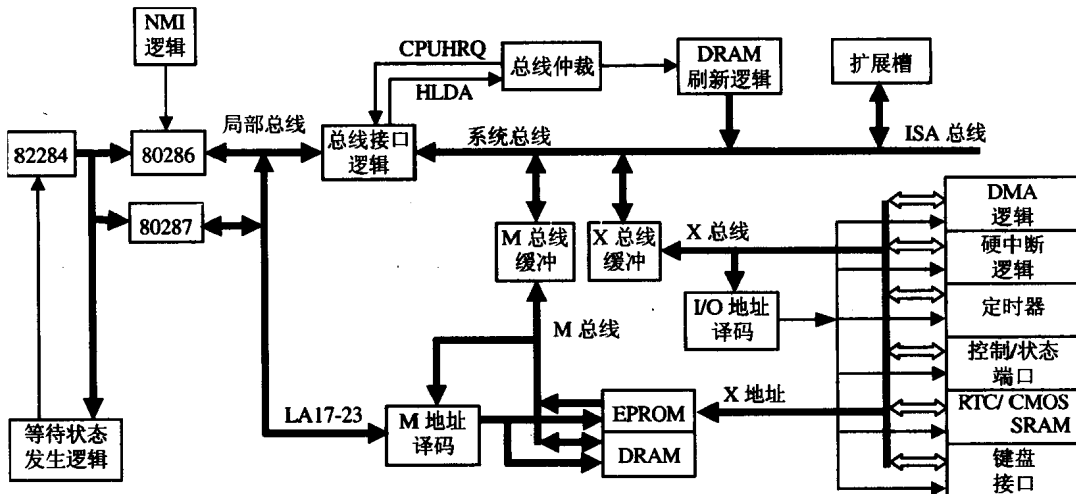


图 1-3 PC/AT 系统板示意框图

主处理器 80286、协处理器 80287（数值处理器）和 82284 时钟发生器组成处理器子系统，局部总线为处理器一级的总线。局部总线经总线接口形成系统总线。系统总线就是 ISA 总线，直接送到扩展槽上。在早期的 PC/AT 系统中，硬盘适配器、软盘适配器、显示器适配器、打印机并行口、异步串行通信口、扩展存储器等都以插卡的形式插在扩展槽里，挂连在 ISA 总线上。

系统总线经 X 总线缓冲形成 X 总线，X 总线是内部的元件级的总线，是系统板上 I/O 端口使用的总线，图中给出了 X 总线上的主要 I/O 部件，它们多半是为系统本身服务的。DMA 逻辑由两片级联在一起的 8237 DMA 控制器和页面寄存器组成，DMA 通道数由 PC/XT 的 4 个增加到 7 个，DMA 所能寻址的存储器空间由 PC/XT 的 1MB 扩大到 16MB，而且可以进行 16 位的 DMA 传送。可屏蔽硬中断逻辑由两片 8259 中断控制器

级联而成，在兼容 PC/XT 中断的基础上把中断源扩展到 15 个。PC/AT 比 PC/XT 多了 RTC/CMOS SRAM 电路（通常用 RT/CMOS RAM 缩写词表示），这是一个内有可掉电保护的实时时钟、日历和 CMOS SRAM 的电路，用于保存时间信息、日期以及机器的系统配置等信息。其余 I/O 电路的功能也都在兼容 PC/XT 的基础上有所增强。

系统总线经 M 总线缓冲形成 M 总线，M 总线是访问存储器的内部总线。存储器分 ROM 和 DRAM 两部分，为了加快对存储器的访问，用于存储器片选译码的高位存储器地址 LA17~LA23 直接从局部总线引出，因为在一个总线周期里局部总线地址 LA 的时序早于系统总线地址 SA。SA 是由 LA 经总线接口锁存得到的，由 SA 再经 M 总线缓冲形成存储器访问的片内地址。从图中可以看出，ROM 的低位片内地址是使用的 X 地址，因为 ROM 的地址与 DRAM 不一样，ROM 的地址没有行、列地址之分。

ISA 总线既要保证与 PC/AT 机的性能相匹配，又要保持与 PC/XT（包括 PC 总线）的兼容，IBM 公司采取的措施是在原 PC 总线 62 线扩展槽的基础上，又增添了一个 36 线的短槽，与原槽排在一条直线上，如图 1-4 所示。62 线槽完全保留了原 PC 总线信号，所以对于同一列的长、短槽，既可以仅用长槽插入 PC 总线扩展板，也可以长、短槽都用插入 ISA 总线扩展板。ISA 总线插槽共有 98 个引脚，其中数据线 16 个；地址线 27 个，长槽上有 SA0~SA19，短槽上有 LA17~LA23（局部总线地址），有效位数为 24；各种电源和地线 10 个；各种控制信号引脚 45 个。如前所述，由于早期 PC/AT 机的各适配器都以插卡形式提供，故一些供系统所用的 DMA 通道和中断通道的信号现仍作为控制信号连到 ISA 总线上。



图 1-4 ISA 总线扩展槽示意图

ISA 总线宽度为 16 位；可直接寻址的存储器空间为 16MB；I/O 空间仍为 64KB；总线时钟频率为 8MHz；采用半同步时序协议；最快的存储器访问周期为 3 个时钟，故 ISA 总线的数据传输率为 $Q = 2 \times 8 / 3 \approx 5$ (MB/S)；总线上可连 8 个长槽，5~6 个短槽。

由于在 PC、PC/XT 及 PC 总线推出时 IBM 公司采用了体系结构开放政策，向外界完全公开了微机系统和 PC 总线的技术文件，而且在 PC/AT 和 ISA 总线推出一段时间以后也公开了其技术规范，吸引其它微机制造厂商都向 IBM PC 标准靠拢，生产和销售 PC 机所用的硬件和软件。也正是由于其它厂商所生产的用于 PC 系列微机的硬件和软件日益增多，导致 IBM PC 系列微机在世界范围内得到迅速而广泛的应用和普及，同时一批计算机制造厂商也因此而发展壮大起来。

1.4 EISA 总线

随着 80386、80486 微处理器的推出，PC/AT 微机以及 ISA 总线 16 位的数据宽度不能发挥 80386、80486 微处理器 32 位数据总线的潜力，而且其 24 位地址总线也使系统内存容量限制在 16MB 以内，满足不了微机应用的需要，迫切需要推出 32 位总线。在