

中国科学院科学出版基金资助项目

超大规模集成电路设计

沈绪榜 编著

科学出版社

1991

内 容 简 介

本书从超大规模集成系统的特点出发,按设计方法学、设计自动化与体系结构三个方面,介绍超大规模集成系统的设计。

本书共分三篇。第一篇(第一、二、三章)讨论基础知识,重点介绍在超大规模集成系统的层次设计中,如何通过各设计级的合适抽象来处理设计的概念与问题。第二篇(第四、五、六、七章)讨论设计工具,主要介绍硅编译方法与人工智能方法。第三篇(第八、九、十、十一、十二章)讨论体系结构,以复杂性为基础,介绍面向存储与面向逻辑的体系结构,并讨论了语言和算法与体系结构的相互关系。

本书可供计算机与电路设计、自动控制等专业的工作者及研究生参考。

超大规模集成系统设计

沈绪榜 编著

责任编辑 黄岁新

科学出版社出版

北京东黄城根北街16号

邮政编码:100707

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1991年9月第一版 开本:787×1092 1/16

1991年9月第一次印刷 印张:22 1/4

印数:平1—1400 插页:平1 精3

册1—700 字数:519000

ISBN 7-03-002297-1/TP·167(平)

ISBN 7-03-002299-8/TP·169(精)

平 装 20.80 元

定价: 布脊精装 23.00 元

前 言

微电子技术包括工艺制造与芯片设计两个相辅相成的方面。自 1978 年以来, 这种技术已经经历了四次换代, 每一代都使集成度提高了四倍, 预计到 90 年代将出现第五代技术。促进微电子技术迅速发展的措施是很多的: 在工艺制造方面, 主要是使基本器件与互连线的线条宽度减小, 以及使硅圆片的尺寸增大; 在芯片设计方面, 主要是对系统级设计问题有更好的理解, 以使芯片体系结构适应于开发这种技术, 以及使自动化设计工具日益完善。

由于芯片集成度的提高, 使芯片设计不再仅仅是版图级与电路级的设计, 而且也是逻辑级、功能级、系统级, 甚至是应用级的设计。反过来说, 使得计算机的设计工作, 越来越多地从印制电路板上迅速地转移到掩膜 (mask) 版上来, 变成了芯片计算机的设计问题。在印制电路板计算机中, 主要考虑计算时间与存储器容量两个因素。然而, 对于芯片计算机设计, 最后的目标是产生掩膜版而不是印制板, 也就是说, 要产生晶体管结构的几何表示。芯片面积的优化与计算时间成了左右设计的主要因素。超大规模集成芯片的设计经验表明: 大部分芯片面积是由导线占用的, 导线上的传播时间是按扩散方程变化的, 这就使得芯片内部处理元素之间的通讯具有越来越强的主导与限制作用。这种特点使得芯片的功能设计、结构与几何设计三者成为密切相依而不可分割的了。系统工程师参加芯片设计成了微电子技术当前发展的重要特色。

为缩短芯片设计周期而开发的门阵列技术与标准元技术, 使系统工程师能在逻辑级上进行芯片设计。近几年来, 系统的设计方法学把整个芯片设计过程抽象成一些设计层次, 并隐藏低层次中的设计细节, 由此建立了更有效的设计工具。特别是硅编译器技术的日益成熟, 以及专家系统的迅速发展, 将为系统工程师进行全定作超大规模集成系统设计创造新条件。根据芯片设计的这种发展趋势, 作者结合多年来从事芯片设计的体会以及积累的材料, 把超大规模集成系统的设计方法学、设计自动化与芯片体系结构内在地联系在一起, 并针对 CMOS 全定作设计, 编写了这本书。

全书共分三篇。第一篇(第一章到第三章)主要叙述芯片设计所必需的基础知识, 说明设计级的合适抽象是能够脱离器件与工艺细节来处理各级中的设计概念与问题的。第一章概论中强调了系统设计者将数字系统变换成芯片版图时所用的层次的与设计方法学; 以及功能域、结构域与几何域的各种设计表示方法。第二章讨论电路与布图级的预备知识、几何规则、电气规则与布图风格。在预备知识中将通过 MOS 管的讨论给出布图模型的抽象描述, 通过制造过程与工艺步骤的讨论说明掩膜版与工艺制造的关系。在几何设计规则的讨论中将具体确定芯片设计与工艺制造的接口关系, 以及设计规则的参数化表示方法。在电气规则的讨论中, 将说明电路级是以晶体管、电阻、电容与连接线等形式对工艺制造进行抽象, 并用连续的电流与电压信号来计算电路的速度与功耗。在布图风格中将讨论到更高级(例如, 逻辑与系统级)上的设计问题, 以及这些级在电路级上

的交互作用。第三章讨论逻辑与系统级的逻辑风格，同步系统与自定时系统。在逻辑级上将讨论逻辑风格的简单性与优美性，如何能将更高级的算法与更低级的布图融洽起来，以及隐藏延迟与时间的离散的逻辑信号如何在给定的时序控制下保证电路逻辑操作的正确性。在系统级上主要讨论同步系统与自定时系统的芯面安排 (floor plan)、设计规则性以及时钟策略。

上述超大规模集成系统的设计方法学通过层次的抽象打破了芯片设计的神秘性；而芯片设计的普及还需要借助自动化设计工具消除它的繁琐性。没有强有力的自动化设计工具，芯片设计的革命是不可能的。目前，超大规模集成系统的设计工具，已从辅助的方法发展到编译的方法，正在研究智能的方法。第二篇(第四章到第七章)将重点叙述后两种方法。其中第四章以虚拟网格符号布图为重点，讨论了几何设计中的自动布图、布局与布线的算法。第五章叙述了模拟方法的软件与硬件实现，以及电路级在可测试性设计中的重要作用。第六章以实际例子为基础，重点论述了结构编译器与功能编译器的设计。现在可实用的硅编译器已经开发出来，而且还在不断地完善与发展之中。由于圆片规模集成 (wafer-scale-integration) 技术的成熟，圆片级集成的软配置硅系统 (wafer-level-integration soft-configurable silicon systems) 可能会在下一个十年中实现。人工智能将是计算技术的一个重要发展，它的实现不仅需要软件设计的支持，也需要智能芯片的支持。因此，第七章不仅讨论了用于集成电路设计的专家系统，而且也讨论了面向算法的模糊推理芯片的设计，面向算法的芯片结构将在最后一章进一步讨论。

第三篇(第八章到第十二章)讨论应具有发展上的可重用性与构成系统的灵活性的芯片体系结构。它的选择是通过复杂性计算评估的。因此，在第八章中专门讨论了按时间模型与面积模型的设计复杂性计算。第九章与第十章分别讨论按功能划分的面向逻辑与面向存储的芯片结构。第十一章讨论从语言上芯片结构可以设计成控制流的与非控制流的。第十二章通过关系代数机，坐标旋转机与心动阵列机等三个具有典型意义的例子，讨论从算法上芯片结构的选择依赖于应用的特点。

本书适合于系统工程师与计算机工作者，以及计算机科学、计算机工程、电气工程与微电子学等专业的人员阅读。

在本书的写作过程中，得到了许多同志的帮助。清华大学王尔乾教授详细地审阅了本书的初稿，提出了许多宝贵的修改意见。吴可同志对第二章的写作提供了宝贵的参考资料。伊春乐同志对修改稿的第一篇进行了详细的审阅，使它得到了进一步的完善。蒋轩祥同志对修改稿的第二、三篇从文字上作了进一步修改。王潼同志对全书的插图进行了审查。总之，本书是在许多同志的热情帮助与鼓励下完成的，在此表示衷心的感谢。

沈绪榜

1989年元月

目 录

前言

第一篇 基础知识

第一章 概论	I
第一节 设计策略	2
1.1.1 层次设计	2
1.1.2 自动设计	5
第二节 设计表示	7
1.2.1 功能表示	7
1.2.2 结构表示	7
1.2.3 几何表示	10
第二章 电路与布图	14
第一节 预备知识	14
2.1.1 MOS 管	14
2.1.2 制造过程	22
2.1.3 工艺步骤	27
第二节 几何规则	33
2.2.1 规则的描述	33
2.2.2 参数化表示	41
第三节 电气规则	43
2.3.1 阻容估算	44
2.3.2 开关特性	54
2.3.3 功耗分析	57
第四节 布图风格	60
2.4.1 门阵列风格	61
2.4.2 标准元风格	66
2.4.3 门矩阵风格	66
2.4.4 结构化风格	69
第三章 逻辑与系统	71
第一节 逻辑风格	71
3.1.1 静态逻辑	71
3.1.2 动态逻辑	86
第二节 同步系统	91
3.2.1 单相时钟	92
3.2.2 双相时钟	94
3.2.3 四相时钟	97

3.2.4 同步模型	98
第三节 自定时系统	101
3.3.1 扩散延迟	101
3.3.2 同步故障	103
3.3.3 自定时钟	104

第二篇 设计自动化

第四章 几何设计	111
第一节 自动布图	111
4.1.1 虚拟网格	111
4.1.2 数据结构	117
4.1.3 紧缩匹配	122
第二节 自动布局	124
4.2.1 自顶向下布局	124
4.2.2 自底向上布局	130
第三节 自动布线	133
4.3.1 平面布线	134
4.3.2 双层布线	137
4.3.3 三层布线	142
4.3.4 智能布线	143
第五章 模拟与测试	148
第一节 模拟技术	148
5.1.1 软件方法	149
5.1.2 硬件方法	151
第二节 可测试性	158
5.2.1 故障模型	159
5.2.2 分块测试	161
5.2.3 扫描测试	162
5.2.4 内含测试	163
5.2.5 边界扫描	165
第六章 硅编译器	166
第一节 结构编译器	169
6.1.1 结构元模型	170
6.1.2 产生器设计	177
第二节 功能编译器	188
6.2.1 算法级编译	190
6.2.2 模块级编译	192
6.2.3 单元级编译	195
第七章 VLSI 专家系统	197
第一节 知识库	197
7.1.1 知识获取	197

7.1.2 知识表示	200
第二节 推理机	208
7.2.1 匹配推理	208
7.2.2 模糊推理	211

第三篇 VLSI 体系结构

第八章 复杂性计算	215
第一节 计算模型	216
8.1.1 面积假定	216
8.1.2 时间假定	217
8.1.3 逻辑假定	218
8.1.4 电路衡量	218
第二节 面积与计算速率	218
8.2.1 端口面积	218
8.2.2 门的面积	219
8.2.3 导线面积	221
第三节 面积与计算时间	223
8.3.1 加法运算	223
8.3.2 移位运算	223
8.3.3 乘法运算	227
8.3.4 傅氏变换	227
第九章 面向逻辑的设计	230
第一节 加法器	231
9.1.1 进位链修改	232
9.1.2 进位的计算	233
9.1.3 并行加法器	234
第二节 乘法器	237
9.2.1 串行乘法器	237
9.2.2 并行乘法器	237
9.2.3 递归乘法器	241
第三节 矩阵运算	245
9.3.1 矩阵乘法器	246
9.3.2 矩阵求逆器	249
第四节 卷积运算	252
9.4.1 递归卷积器	253
9.4.2 最佳卷积器	255
第十章 面向存储的设计	257
第一节 按地址访问的存储器	257
10.1.1 RAM 存储器	257
10.1.2 ROM 存储器	262
10.1.3 程序逻辑阵列	263

第二节 无地址访问的存储器.....	269
10.2.1 堆栈存储器.....	269
10.2.2 排队存储器.....	270
10.2.3 联想存储器.....	275
第三节 存储器的组织.....	277
10.3.1 虚拟存储器.....	278
10.3.2 隐含存储器.....	282
第十一章 语言与体系结构.....	285
第一节 控制流体系结构.....	285
11.1.1 Occam 语言与结构.....	286
11.1.2 LISP 语言与结构.....	297
第二节 非控制流体系结构.....	305
11.2.1 数据流结构.....	306
11.2.2 归约的结构.....	310
11.2.3 递归的结构.....	314
第十二章 算法与体系结构.....	319
第一节 关系代数机.....	319
12.1.1 联想阵列.....	319
12.1.2 基本操作.....	322
第二节 坐标旋转机.....	325
12.2.1 运算方法.....	326
12.2.2 机器结构.....	333
第三节 心动阵列机.....	337
12.3.1 一维阵列.....	337
12.3.2 二维阵列.....	338
12.3.3 通用单元.....	344
参考文献.....	346

第一篇 基础知识

第一章 概 论

集成电路技术对计算机的发展影响极大。每一代新的集成电路工艺，都导致一代新型计算机的诞生，使数字技术扩展到一些新的应用领域。小规模集成电路计算机，主要用于商业数据处理，以及物理、民用工程与航天工程中的科学问题计算。中规模集成电路降低了计算机的价格，导致了小型计算机的问世，使计算机的应用范围扩大了。新的应用领域包括小型商业应用、专用信号处理，以及自动测试系统等。大规模集成电路的代表性产品是微处理器与单片乘法器。微处理器对消费者与工业电子学(包括自动电子学)界的影响势不可挡，在许多领域中，没有微处理器控制的产品是不会有竞争力的。单片乘法器在信号处理领域中也取得了类似的突破，它使信号处理费用降低 90%，加速了数字信号处理应用的发展。

在过去 10 年中，半导体技术的进步，已经克服了电子技术普及应用中所遇到的价格、可靠性与复杂性等三个障碍，使计算机的普及应用面貌焕然一新。为了进一步普及电子技术，剩下的最后一个主要障碍就是专业知识。现在，超大规模集成电路提供了研制信号处理计算机与智能计算机的物质基础，人们将会以语音和图象同计算机通讯，在克服专业知识的障碍上取得新的突破。

虽然这些集成电路都是晶体管与集成两个概念的产物，但随着集成度的不断提高，不仅使电路具有更高的嵌入性，能用于更多的领域，而且也使电路的使用与设计逐渐发生了根本的变化。中小规模集成电路具有结构元 (architecture component) 的特点，使用它们能做成不同字长、速度与指令集合的计算机，将这些结构元在芯片上进一步集成，则能设计出大规模集成 (large scale integration, 简称 LSI) 电路。但是，由于封装引出头数目的限制，LSI 电路则很少具有结构元的特点。我们既不能用一般 8 位微处理器组件去构成 16 位或 32 位的微处理器，也很难将一些 LSI 电路的掩膜版图进一步集成为超大规模集成 (very large scale integration, 简称 VLSI) 电路。而且，从一些 VLSI 电路的实际设计中发现，在为非常快速算法设计的芯片中，差不多所有的芯片面积是由导线占用的。因此，在超大规模集成电路的设计中，处理元之间的内部通讯量这个因素是必须考虑的，从而对芯片的体系结构带来了五个方面的影响。

第一,设计复杂性问题.这是一个很重要的问题,因为芯片集成度是逐步提高的,LSI与VLSI之间的界线也是任意的.但是,什么是VLSI电路?有两点分界的要求是比较公认的.一是线条特征值小于 $2\mu\text{m}$,这标志着要求有更新的制造设备;二是复杂性成为主要问题(一般指10万支晶体管以上的芯片),这使得VLSI电路的设计与测试需要特别小心.所以,简单性、规则性与重复性的设计原则是合适的.计算机的体系结构,仅由少数不同的简单单元与简单芯片实现,单元能简化到何等程度,取决于应用情况.

第二,在电路中导线占用大部分空间.由于单元之间用来传送数据与控制信号的导线占用大部分芯片的空间,所以,在设计中单元与导线必须给予同样的注意.单元可以由一个局部而规则的互连网来连接,以避免或减小长距离的,或不规则的通讯.规则的互连意味着设计必须做成模块,而且是可以扩展的,于是一个大的计算机系统可通过简单单元与简单芯片的设计组合来实现.

第三,通讯问题会降低运算速度.因为通讯使芯片面积、信号能量与传播时间的开销很大.在VLSI中通讯具有越来越强的主导与限制作用,所以,主张设计具有局部通讯的电路是有说服力的.理想化的设计是没有整体通讯,只有相邻单元与芯片之间的通讯.

第四,要用并发操作提高性能.集成电路的使用依赖于它的时延与集成度的乘积指标.对于用许多处理机构成的系统,性能是靠并发操作得到的.并发的实现可以由多级流水线操作,或并发多处理独立计算得到.

第五,输入输出必须与内部计算平衡.为了使输入输出带宽与内部计算平衡,需要使输入数据能够多次使用.这可以通过将输入数据播送到许多单元,或者使数据经过一个规则的单元结构来得到.

不难看出,这些影响都是因为集成度提高后,芯片上包含越来越多的计算机系统与应用的内容带来的.更确切地说,超大规模集成电路,不仅是电路问题,更多的是系统问题,所以,人们建议称作超大规模集成系统.它的设计,也主要是系统上的设计.但是,由于这个设计是在芯片上实现的,为了使计算机科学家与工程师能参加超大规模集成系统的设计,就需要使他们了解有关芯片设计的基本知识,提供必要的自动化设计工具,按超大规模集成技术的特点选择芯片的体系结构.

第一节 设计策略

VLSI系统的设计策略较明显地体现在层次设计与自动设计的方法上.尽管集成电路(integration circuit,简称IC)已有20多年历史.但设计的过程改变甚少,仍然是通过层次方法将设计细化,使设计容易掌握.设计层次一般分五级,有系统级、寄存器级、门级、电路级与器件级,如图1.1所示.

从图1.1中清楚地看出,通常是采用自顶向下的设计过程,也就是说,从一个行为概念开始,建立越来越多的层次结构,直至得到一个充分低的级,它能直接变换成物理实现.最后,物理实现自底向上地完成.

1.1.1 层次设计

层次设计对于印制电路板PCB(printed circuit board,简称PCB)设计是很合适的,因

级	行为 (Behavior)			结构 (Structure)		物理实现*	
	信号	抽象形式	计算机形式	抽象(图示)	计算机(正文)	PCB	VLSI
系统级	字节 字位数	算法流程图	GPSS SLMULA ADLIB	Petri网 方块图	PMS SABLE SDL		
寄存器级	字节 字位 时钟	有限状态机 状态表 状态图	ISPS RTL	方框图	SDL MDL BLI		
门级	0, 1, x U, D, Z 延迟	卡诺图 布尔方程 P.Z变换	—	门, 触发器 运算放大器 与反馈和互连	逻辑模拟输入		
电路级	$v(t, w)$ $i(t, w)$	网络方程 时间域 频率域	—	R.C晶体管的 电路原理图 骨架图	电路模拟输入		
器件级	$v(t)$ $i(t)$ $N(t, x)$	电子、空穴等 的传输方程	—	几何图(方块) 与工艺	CIF SDPREME		

* 物理实现 (Physical realization)

图 1.1 IC 的设计层次

为大多数功能结构块直接就能变换成相应的物理实体:组件,即 RAM,ROM,处理器等,它们在电气上,功能上都是明确定义的.设计就是这些组件在 PCB 上的划分,布局与布线.

层次设计对于中规模集成 (middle scale integration, 简称 MSI) 也是合适的,如图 1.2 所示,可以自顶向下直到用晶体管原理图结构来表示.然后,由作图员将电路原理图手工地变换成拓扑几何图,最后数字化.

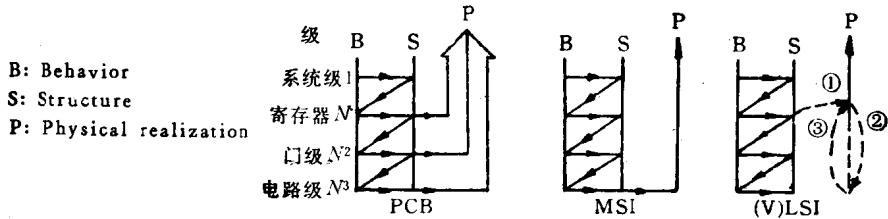


图 1.2 PCB, MSI 与 VLSI 的设计特点

但是对于 (V) LSI 电路,由于集成度更高,不宜直接细分到电路级;此外,在寄存器级,如图 1.2 中虚线①所示,只有尺寸的估计与互连关系是已知的.直到晶体管级,即虚线②实现之后,它的几何的与行为的特征才是知道的,这样才完成了虚线③的功能.可见, VLSI 系统设计与 PCB 系统设计不同,芯片中整体结果非常强地依赖于局部信息,而且整体性能非常密切地联系到局部设计.所以, VLSI 芯片设计本征地是迭代的,要求频繁地调整.为此,人们正在探索面向对象的方法来解决这种复杂性.

VLSI 电路一定是集成系统.除了存储器芯片之外,这种集成系统主要为在同一芯片上可能带少量模拟接口的数字系统.这种集成系统是需要同步工作的,以能作到 100% 的可测试性. MOS 中的模拟电路,如 A/D, D/A 转换器及滤波器,是采样工作的,结构上可与数字电路中的同步性相对应.由上所述, VLSI 电路是由不重叠多相时

钟进行时间分块的。因此,可以按寄存器传输那样描述;这种时间分块,可以做到能检验与模拟层次性。

非常不希望 VLSI 电路是完全随机的逻辑电路,因为这是很难测试的,而且不灵活;对于小生产量,设计费用很高。所以,大多数 VLSI 电路将是可编程的计算机式的体系结构,必然包含许多存储器,可能带有嵌入逻辑。它们将是并行或串行的信号处理器件,例如,语言、音乐、视频处理器,或者是数据处理芯片。无论哪种情形,它们将必须对 8 到 60 位宽的数据进行操作,因而是面向总线的。这种结构自动地引伸出在空间上非常重复的结构,即 VLSI 系统是空间分块(重复的)结构,是存储器密集的。注意,甚至 LSI 模拟电路也是非常重复的结构。例如,梯形滤波器,它的每段都是类似的,只有电容值不同。为了匹配的目的,它们是以单位电容的重复来构造的。这个特点可以大大简化从结构到物理表示的 VLSI 设计的变换过程,而且已开始反映到设计自动化技术中,叫做以单元为基础的层次技术。

层次设计的具体实现是与设计者的方法选择有关的。在系统级时,设计者要考查系统对外部的输入与输出,并定义系统要完成的功能及一般限制条件,比如速度、面积、功耗、价格、驱动能力以及位宽等。针对目标工艺研究设计的可行性。

然后,设计者将系统划分为单独设计的更小部件,划分时一般都强调部件之间的连接要最少。但方法并不一定相同,可以把相同类型的功能部件划分在一起;也可以按通讯总线来划分;还可以按并行或串行部件来分组。

划分成单独设计的更小部件之后,将根据困难或限制的程度,把部件由难到易排一个次序。一般都是从最难的部件开始设计,理由是,最难的问题解决之后,设计其余部分将是容易的。如何设计部件,则可以按输入输出关系,从左到右或从上到下地进行,也可以对部件进一步选择规则的结构。

当选择好一个划分之后,又可以有并行或串行两种初始设计风格。并行设计风格着眼于使控制逻辑更简单,而串行设计风格则为了使设计面积积极小。并行设计时要检查芯片面积是否超过了限制,要不要使某个部分串行化;串行设计时要检查芯片速度是否满足限制要求,要不要使某个部分并行化。

在一个划分之内,设计者要安排时钟相位、寄存器、数据路径与控制逻辑。安排的先后次序是有影响的,因为寄存器与数据路径安排之后,它们是不变的。而控制则随数据路径变化,因为它依赖于数据路径的固定结构。对于寄存器与时钟相位的安排,可把寄存器看作时钟相位之间存放数值的栓锁器,因而在时钟相位之前安排;而控制器最后安排是比较合适的。

设计者把 VLSI 系统设计的迭代过程,看作是为满足设计限制而进行的逐步细化。为了不改变已有设计,可以找满足限制的工艺,比如说,取更小的特征值,也可以放弃一定的功能以满足限制,但对于开发自动化设计工具来说,局部迭代与改善是很有益的,因为这样可以减少回溯处理。

设计者自顶向下地开始设计,然后自底向上地实现已满足限制的划分。何时从自顶向下转换到自底向上为好,从图 1.2 中可以看出,从系统划分之后就可以进行,甚至迭代可以在自顶向下与自底向上的变化中进行。特别是利用自动化设计工具,这样做是可行而有益的。

1.1.2 自动设计

芯片的设计过程,可以用 D.D. Gajski 于 1983 年提出的 Y 图描述,如图 1.3 所示.图中的每一个轴表示一种设计的描述域:功能域、结构域与几何域.每个域中有多个抽象的级,而且离中心越远而抽象程度愈高.功能域指明系统的行为;结构域指明系统的结构元及其相互联系;几何域指明系统的物理性质,例如,系统的芯面安排,单元的布局,以及掩膜版布图.设计过程是沿每个轴的增长步骤的一个序列,从功能到结构到几何的迭代,然后回到功能.随着设计进行,迭代的螺旋线指向 Y 图的中心,得到最后的掩膜版设计.

VLSI 系统设计的复杂性,除了使设计周期变长以外,还造成了设计人员的缺乏.因为芯片功能复杂性的上升,要求设计者不仅是一位电路设计者,而且要成为逻辑设计、计算机体系结构与应用软件的专家.为了解决 VLSI 芯片设计危机 (chipware crisis),需要有新的设计自动化工具,目前基本上有三种方法在发展之中.

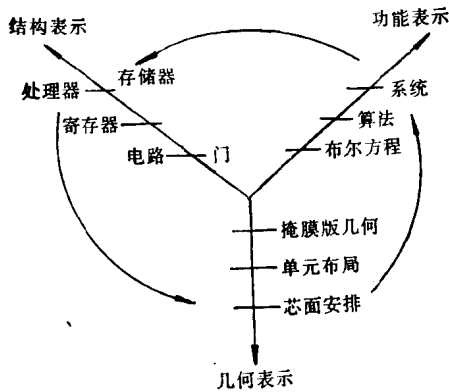


图 1.3 芯片设计的 Y 图表示

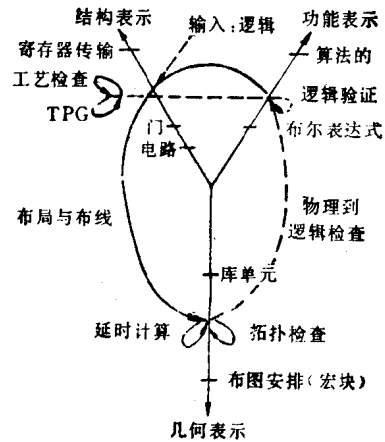


图 1.4 母片法的一般 CAD 方法学表示

1. 辅助的方法

第一种也是最早的一种途径,就是一般的 CAD 技术.这种途径的基本思想是,所有的设计决定,由设计者作出,设计危机可以通过提高设计者的工作效率来解决.于是,给设计者提供的工作站,具有一套“完全”的实施、验证与评价设计的工具.这个途径是改良性的,因为它企图适应设计者目前的工作风格.它倾向于自底向上的设计,因为每个设计者倾向于先设计出他自己的积木块(单元),然后用它们作元件来实现更高级的结构.得到的设计质量好,但费时间,且容易出错.所以,为了克服设计复杂性,这种 CAD 途径带来了新的工作站环境复杂性.在此环境中,要把在不同的时间为不同的设计级开发的,而且是采用不同的输入语言与不同的设计方法学的一套性质各异的工具,集成为一个容易操作和灵活的系统,并以熟悉的格式与设计者交互工作.

图 1.4 是母片法的一般 CAD 方法学的三枝图表示 (tripartite representation). 综合的工具在图中用弧线表示,弧线可以从一种表示的级到另外一种表示的级.例如,从电

略到掩膜版几何表示的弧线,表示产生电路几何表示的一个综合工具;而相反的弧线对应于一个分析工具,比如说一个电路抽取器。在电路级的循环弧线,表示一个分析工具,比如说一个电路模拟器;而在掩膜版几何级上的一个类似的循环弧线,表示一个设计规则检查器。重点是从单元与宏单元的结构描述,产生掩膜版数据。单元与宏单元是从一个单元库中取得的。有些宏单元,比如说 PLA,是从功能描述编译的(这种 PLA 编译器已是下面要讲到的第二种途径的成分)。

2. 编译的方法

第二种解决 VLSI 芯片设计危机的途径是硅编译技术。这种途径认为知识是算法的,而且可以写出转换程序,它从问题的高级描述,自动地产生或综合它的或某些部分的解。这种转换程序的例子有布局与布线产生器、PLA 产生器以及硅编译器等。这些工具假设一定类型的解或目标体系结构,倾向于限制它们的可应用性。但是,它们在一般机器上能很快地执行。这种自顶向下的方法,是革命性的方法,因为它是代替设计人员,而不只是在设计周期中帮助他们。所以,这种方法与一般的 CAD 方法是完全对立的。硅编译器的一种可能的系统如图 1.5 中所示。它将设计的一个功能描述,自动地翻译成以语言描述的集成电路,再翻译成掩膜版的布图。

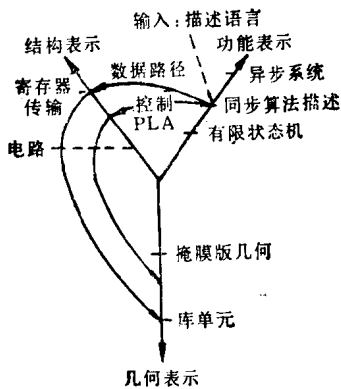


图 1.5 一种可能的硅编译器方法学

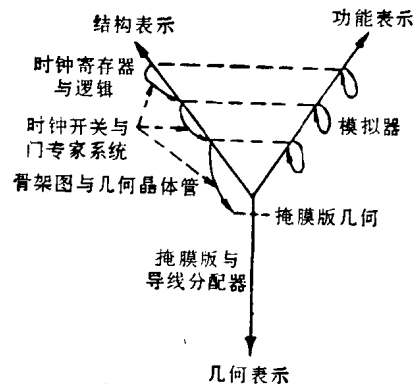


图 1.6 一种可能的专家系统方法学

3. 智能的方法

第三种途径是 VLSI 专家系统。这种途径认为,人的知识是能够掌握与存储到一个专家系统的知识库中的。知识库中的知识,基本上可以分为三类。第一类是概念,包括问题域(这里就是 VLSI 设计)中的基本术语,通常可以从教科书中得到;第二类是规则,它描述特定的情景与希望完成的动作。这种知识是以经验为基础,是从专家那里得到的;第三类是策略,它是一些过程,辅助引导搜索知识库,而且当有几个同等合理的规则可用时,帮助解决选择的矛盾。专家系统的另外两个成分是工作存储器(用来存储当前的描述)与推理机(它搜索知识库的可用知识,而且根据现在的设计描述,使设计细化)。专家系统不同于其它设计自动化工具的特点是,它能够解释与验证设计决定;它的推理过程接近专业

人员使用的推理过程;它能够处理不确定与不完全的设计信息;它用符号表示知识,而不用形式的或数学的表示;以及随着新的方法学与设计风格的发现,通过把新的知识片断加到知识库,它能逐渐生长。一般说来,专家系统是用于知识精深的问题,依靠多年累积的经验,产生好的性能。这样的问题具有大量特殊信息的事实结构。通常是没有已知的算法,而且问题是难以形式化的。有时,它们仅仅是部分给定的,策略是多种多样的,在设计阶段经常改变。图 1.6 是专家系统用于 VLSI 设计的一种可能的三枝图表示。它代表了第三种途径,系统中的设计级可以由用户定义。尽管各级之间的翻译主要是设计人员的责任,但专家系统可以用来帮助翻译,以及使一个级内的设计细化。

第二节 设计表示

设计一般可以看作是从行为描述到物理描述的一个变换。对于 VLSI 这样复杂的系统,它是通过将行为的层次分解成作为中间形式的结构来实现的,即行为设计、结构设计 with 物理设计等三种设计过程都要用到。这样一来,在同一设计中便引进了三种不同的表示:行为(功能)表示、结构(逻辑)表示以及物理(几何)表示。

1.2.1 功能表示

这里把功能表示看作是行为表示的同义词,又可以叫做行为描述。在早期的设计中,多是从结构表示开始的。在 VLSI 设计中,使用行为描述作为设计的起点,看来是有用的。它可以使人们能以更习惯的顺序进程的方式去思考,有助于更容易地了解问题。大多数现代设计系统的目的,是将行为描述的规范,以极小的时间与极大的相似性,转换成一个系统设计。在行为描述中,设计者注意的是芯片做些什么而不是如何做出芯片。在功能设计中,最广泛接受的级是系统级,寄存器级(算法级),以及门级(布尔表达式级)。一般说来,行为描述多指一个系统的文本的,或数学的描述,但从图 1.1 中可以看出,行为描述也可以用一些计算机设计语言来完成。

一个门的行为可以由布尔方程来定义,例如,布尔表达式: $x = a'b + ab'$, 只指明了设计的功能,其输入是 a 和 b , 输出是 x 。这个表示未说明有关芯片单元的实现或结构的任何信息。它是逻辑级上一种技术无关的行为规范,着重描述一个给定的设计是如何响应一组输入的,还可以有更高级的行为描述。例如,加法操作可以用高级语言描述如下: $sum = a + b$ 。这里并没有指明相加的方法,也没有假定机器要具备的字长。更高级的行为规范,可以指明设计中包含的寄存器类型,以及它们之间的传送。但并不包含有关实现的信息。在某个级上行为可以用高级语言写出的算法来表示。

1.2.2 结构表示

结构表示是功能表示与几何表示之间的桥梁。它是在价格、面积与时间等限制下,一个功能表示往一组元素及其连接上的映射。例如,前述布尔表达式: $x = a'b + ab'$, 可以映射到由二输入“与非”门组成的一组元件上。于是,结构表示之一可以是图 1.7 所示

的四个“与非”门的组织。这个表示不指明任何物理参数,例如,没有指明四个“与非”门在 PCB 或硅片上的几何位置。

结构规范指定元件如何互连,以完成一定的功能(或实现一个赋予的行为)。下面以 Lattice Logic Ltd.公司提出的结构描述语言 MODEL 为例来说明结构表示方法。反相器的规范是

```

Part      inv      (in) → out
Nfet      out                      in Vss
Pfet      out                      in VDD
End
    
```

第一行说明这个元件叫 inv,接着是输入表,这里是 in,输出出现在符号→的另一边,这里是 out. 接着是晶体管的表,用它们的类型与连接表示,形式为

```

Transistor-type drain-conn gate-conn source-conn
Nfet      out      in      Vss
    
```

所以,第一个语句描述一支 n MOS 管,但 drain=out, gate=in, source = V_{ss}. 第二个语句描述一支 p MOS 管, drain = out, gate = in, source = V_{DD}. 二输入“与非”门的描述是:

```

Part      nand2    (a,b) → out
Signal    i1
Nfet      i1      a      Vss
Nfet      out     b      i1
Pfet      out     a      VDD
Pfet      out     b      VDD
End
    
```

在此描述中,内部信号 i₁ 用一个关键字 Signal 说明,如图 1.8 (a) 所示。这个结构描述的可能行为是: out = -(a and b) 或 out[not(and a b)]. 从上述结构描述的代码中,可以推导出所有晶体管的连接。然而,中间结点 i₁ 是“隐藏的”。在 MODEL 描述中,可

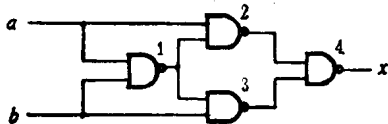


图 1.7 功能表示 $x=a'b + ab'$ 的映射

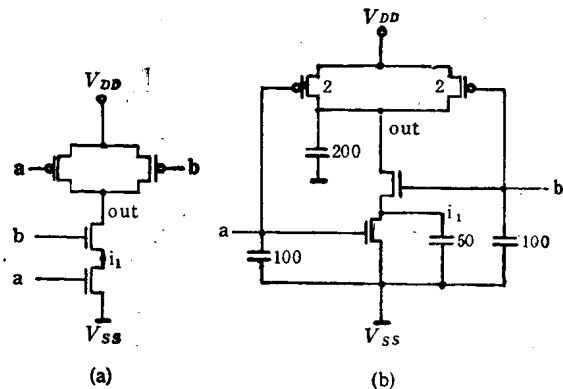


图 1.8 CMOS “与非”门结构描述的图示方法

以用一些参数,比如用影响性能的电容与晶体管尺寸,来扩充纯结构描述。尽管这种扩充可以加到行为表示上,但这会形成不好的形式,且失去逻辑语句的优雅之处。一个扩充的 MODEL 描述可以是:


```

Part      nand2      (a,b) → out
Signal    i1
Nfet      i1      a      Vss
Nfet      out      b      i1
Pfet      out      a      VDD size = 2
Pfet      out      b      VDD size = 2
Capacitance i1      50
Capacitance a      100
Capacitance b      100
Capacitance out     200
End

```

其中指明了电容(以某种单位表示),此外,按照某个概念尺寸参数,修改了 pMOS 管尺寸,如图 1.8 (b)所示.这类信息对电路的性能是关键.换句话说,行为描述保证功能可以正确地实现,但是,对速度或其它运算参数,没有必要给出.结构描述允许给出影响性能的所有元件的规范.电路模拟程序 SPICE 采用晶体管连通性规范的电路描述.上述“与非”门的规范如下

```

SUBCKT NAND2 VDD Vss A B OUT
MN1 I1 A Vss VRR NFET W = 8U L = 4U AD = 64P AS = 64P
MN2 OUT B I1 Vss NFET W = 8U L = 4U AD = 64P AS = 64P
MP1 OUT A VDD VDD PFET W = 16U L = 4U AD = 128P AS = 128P
MP2 OUT B VDD VDD PFET W = 16U L = 4U AD = 128P AS = 128P
CA A Vss 100fF
CB B Vss 100fF
COUT OUT Vss 200fF
.ENDS

```

在这个描述中, SPICE 的内部模型,利用指明的所用器件尺寸,计算实际器件中内在的寄生电容.在上述描述中的电容语句上加上额外的布线电容.

在 MODEL 中定义一个传输门,则有

```

Part      tg      (a,c,cb) → b
Nfet      a      c      b
Pfet      a      cb     b
End

```

利用它可以定义称为 D 栓锁器的触发器(带小横线或 bar 的信号是互补信号):

```

Part flipflop (in, ld, ld bar, q,qbar)
Signal a
      tg (in, ld,ld bar) → a
      inv(a) → qbar
      inv(qbar) → q

```