



免费附赠实例光盘一张

ISP 系统设计技术入门与应用

EDA 技术丛书

李 辉 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

EDA

技术丛书

EDA 技术丛书

ISP 系统设计技术 入门与应用

李 辉 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 提 要

本书介绍了 ispLSI 系列在系统可编程逻辑器件和 ispPAC 系列模拟在系统可编程器件的内部结构和工作原理, 用于数字逻辑电路设计的硬件描述语言 ABEL-HDL、VHDL 和 Verilog-HDL, 以及在系统可编程逻辑器件的开发系统 ispDesign EXPERT 和模拟在系统可编程器件的开发系统 PAC-Design 中的使用方法, 最后介绍了实现具有一定应用价值的电子系统的设计方法和实例。

本书可以作为从事电子产品开发和生产的工程技术人员学习和开发在系统可编程集成电路原理和应用技术的参考书, 也可以作为大专院校电子工程类专业开设实验和数字系统设计课程的教学参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目(CIP)数据

ISP 系统设计技术入门与应用 / 李辉编著. —北京: 电子工业出版社, 2002.2

(EDA 技术丛书)

ISBN 7-5053-7499-0

I. I... II. 李... III. 可程序控制器—系统设计 IV. TP332.3

中国版本图书馆 CIP 数据核字 (2002) 第 010061 号

责任编辑: 寇国华

印 刷: 北京市天竺颖华印刷厂

出版发行: 电子工业出版社 <http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编: 100036

经 销: 各地新华书店

开 本: 787×1092 1/16 印张: 14.25 字数: 300 千字 附光盘 1 张

版 次: 2002 年 2 月第 1 版 2002 年 2 月第 1 次印刷

印 数: 5000 册 定价: 28.00 元

凡购买电子工业出版社的图书, 如有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系。
联系电话: (010) 68279077

《EDA 技术丛书》

编委会名单

主 任：邵国培(解放军电子工程学院副院长、教授、博导)

副主任：陆伯雄(电子工业出版社高级编辑)

黄正瑾(东南大学电工电子实验中心主任、教授)

主 编：李东生(解放军电子工程学院电子技术实验中心副主任、副教授)

编 委：李 辉(中国科技大学高级工程师)

郑步生(南京航空航天大学 EDA 实验中心副主任、副教授)

龚建荣(南京邮电学院信息工程系副主任、副教授)

张 勇(解放军电子工程学院高级工程师)

序 言

众所周知,电子系统的集成化,不仅可使系统的体积小、重量轻且功耗低,更重要的是可使系统的可靠性大大提高。因此自集成电路问世以来,集成规模便以 10 倍/6 年的速度增长。从 20 世纪 90 年代初以来,电子系统日趋数字化、复杂化和大规模集成化。由于个人电脑、无绳电话和高速数据传输设备的发展需求,电子厂商们越加迫切地追求电子产品的高功能、优品质、低成本、低功耗和微小封装尺寸。为达此目标,必须采用少量的 IC 器件和面积尽可能小的 PCB 板研制高集成化的复杂系统,这些要求进一步促进集成工艺的发展。

1999 年,以 0.18 微米工艺为基础的百万门器件已经出现,预计在 2002 年和 2005 年,集成工艺将分别达到 0.13 微米和 0.1 微米。深亚微米半导体工艺、B 表面安装技术的发展又支持了产品的集成化程度的进步,使电子产品进入了片上系统(SOC, System On Chip)时代。所谓片上系统的设计,是将电路设计、系统设计、硬件设计、软件设计和体系结构设计集合于一体的设计。这样复杂的设计通常需要很多人、经过多年研究开发方能实现,不依靠计算机的帮助是无法在短期完成的。

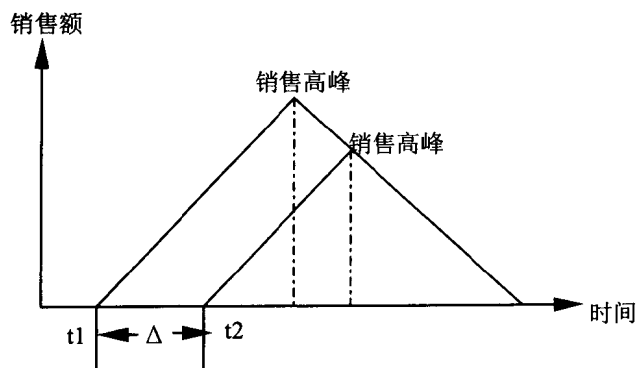


图 0-1 产品的利润与其上市时间的关系

另一方面,电子产品设计周期短和上市快也是电子厂商们坚持不懈的追求。图 0-1 表明了产品上市时间与其利润之间的关系。一个产品从开始上市到其从市场上被淘汰为止,其销售情况是一个三角形。这个三角形的面积便是此产品的总的利润,如果产品上市晚了,如图中 t_2 时间较 t_1 时间晚了时间 Δ ,则从 t_2 开始的三角形的面积比从 t_1 开始的三角形的面积将小得多,也就是所获得的总利润将小得多。这说明,一个企业如果能够比其竞争对手更快地推出新产品,更快地对市场作出反应,即可获取更大的市场份额和更大的利润。

电子设计自动化(EDA Electronics Design Automation),即用计算机帮助设计人员完成繁琐的设计工作,是解决以上两个问题的惟一途径。

电子设计自动化在不同的时期有不同的内容。在 20 世纪 70 年代表现为计算机辅助设计(CAD),即将电子设计中涉及到的许多计算用计算机程序实现。在 20 世纪 80 年代表现为计算机辅助工程(CAE),主要体现在一些绘图软件出现,减轻了设计人员的劳动。从 20 世纪 80 年代末开始,设计复杂程度越来越高,EDA 的主要内容逐步转变为电子系统设计自动化(ESDA)。现在数字系统的 EDA 可以直接根据设计要求,以自顶至底的方式设计,并相应地完成系统描述、仿真、集成和验证等环节,直到最后生成所需要的器件。在以上过程中,除系统级设计和行为级描述及对功能的描述以外均可由计算机自动完成。也就是说,设计人员借助开发软件的帮助,可以将设计过程中的许多细节问题抛开,而将注意力集中在产品的总体开发上。这样大大减轻了工作人员的工作量,提高了设计效率,减少了以往复杂的工序,缩短了开发周期,实现了真正意义上的电子设计自动化。这个变化是伴随着片上系统的设计出现的,因此有人将 EDA 转向片上系统看作是一次关于系统设计的革命。

对电子系统设计自动化而言,现代设计方法和现代测试方法是至关重要的。当前,EDA 包含单片机、ASIC(专用集成电路)和 DSP(数字信号处理)等主要方向。

无论哪一种方向,都需要一个功能齐全、处理方法先进、使用方便和高效的开发系统。目前世界上一些大型 EDA 软件公司已开发了一些著名的软件,如 orCAD、Cadence、PSPICE(以及由其衍生出的软件 Electronic Work Bench)和 Viewlogic(现在为 INNOVEDA)等,各大半导体器件公司为了推动其生产的芯片的应用,也推出了一些开发软件,如 Lattice 公司的 Synario, Altera 公司的 Max Plus II, Xilinx 公司的 Foundation 等。随着新器件和新工艺的出现,这些开发软件也在不断更新或升级,如 Lattice 公司的 Synario 和 Altera 公司的 MaxPlus II 将分别被 Expert 和 Quatues 所代替。软件系统变化如此之快,使得几年前出版的有关书籍,特别是教材,已经不能完全适用于现在的器件和开发系统的现状。

每个开发系统都有自己的描述语言,为了便于各系统之间的兼容,IEEE 公布了几种标准语言,最常用的有 VHDL 和 Verilog。VHDL 是美国国防部于 20 世纪 80 年代初推出,其全称是 Very High Speed Integrated Circuit HDL,即超高速集成电路硬件描述语言,该语言曾于 1987 年和 1993 年两次被定为 IEEE 的标准;Verilog 语言原是美国 Gateway Design Automation 公司于 20 世纪 80 年代开发的逻辑模拟器 Verilog-XL 所使用的硬件描述语言。1989 年 Cadence 公司收购该公司后于 1990 年公开以 Verilog HDL 名称发表,并成立了 OVI(Open Verilog International)组织负责该语言的发展。由于该语言的优越性,各大半导体器件公司纷纷采用它作为开发本公司产品的工具。IEEE 也于 1995 年将其定为协会的标准,即 IEEE1364-1995,这两种语言已成为从事 EDA 的电子工程师必须掌握的工具。

与开发工具同样重要的是器件,就 ASIC 方向而言,所使用的集成方式有全定制、半定制和可编程逻辑器件等。可编程逻辑器件(PLD)与全定制和半定制不同,它按标准器件生产,芯片工厂因此可以获得规模生产效益。而用户则可以通过编程 PLD 器件以实现特殊

的应用,从而获得 ASIC 产品的功能。换言之,PLD 将控制功能交给用户,用户在用 PLD 器件研发产品时即获得了这种控制功能。CPLD 和 FPGA 较全定制和半定制方法具有更多的灵活性——既适用于短研制周期、小批量产品开发,也可用于大批量产品的样品研制,且项目开发前期费用低,开发时间短,有利于新产品占领市场,是目前 ASIC 设计所使用的最主要的方法。有人认为,可编程逻辑器件(PLD)不仅近年来受到系统设计者的青睐,而且在半导体领域中呈现出一支独秀的增长态势,成为系统级平台设计的首选。随着 PLD 器件向更高速、更高集成度、更强功能和更灵活的方向发展,将来也仍然是掩膜式专用集成电路(全定制与半定制方式)有力的竞争者。

CPLD 和 FPGA 普及的另一个重要原因是 IP(知识产权)越来越被高度重视,带有 IP 内核的功能块在 ASIC 设计平台上的应用日益广泛。越来越多的设计人员,采用设计重用,将系统设计模块化,为设计带来了快捷和方便。并可以使每个设计人员充分利用软件代码,提高开发效率,减少上市时间,降低研发费用,缩短研发周期,降低风险。这是研究 EDA 技术必须关注的问题。

本丛书的宗旨为读者介绍当前我国最流行的几种 EDA 软件以及 CPLD 和 FPGA 的原理和应用,其中包括通用设计软件 Protel,电路设计软件 OrCAD,电路设计软件 Multisim(原 Electronic Work bench6.0 以上版本),系统模拟软件 System view 和 CPLD 开发软件 Max Plus II(Quatues),FPGA 开发软件 Foundation,ispLSI 开发软件 Expert(Synario)等。在介绍这些 EDA 软件时,既不像大部分教科书那样只简要介绍它们的基本规则和有关器件的基本原理(这种介绍只适用于对初学者的训练,对生产科研的实际应用则不能完全适应);也不像使用手册那样洋洋大篇,难以快速掌握;更不像公司宣传用的资料那样过多地介绍自己的产品,缺乏可读性。而是从教会读者基本使用方法开始,通过各种实例,由浅入深地介绍其应用(在 3 个介绍开发软件的著作中还按以用为本的原则对有关的器件和 VHDL 语言作了必要的阐述)。丛书作者都是有一定教学和科研实践经验的教师,清楚如何启发读者快速地掌握软件的精要,各本书中也不同程度地反映了作者科研实践中的宝贵经验,其中很多是在教科书和使用手册中见不到的(例如对 VHDL 的应用,教科书上介绍的只是通用的规则,本丛书则是介绍针对某个开发系统中适用的规则)。尤其介绍了若干较大型的设计实例,直至对 IP 的简单应用。读者可以从入门开始,经过由浅入深的训练,逐步达到精通的境界。

黄正瑾 于东南大学

2001 年 12 月

前 言

随着计算机和大规模集成电路制造技术的迅速发展,采用普通的小规模数字逻辑集成电路,如 74 系列的 TTL 通用数字逻辑集成电路,已经不能够满足现代数字系统设计的要求。因此,在现代的电子产品和复杂的数字逻辑系统中,一般都采用了各种类型的大规模集成电路。

高密度在系统可编程 ispLSI(In-System Programmable Large Scale Integration)逻辑器件是众多大规模复杂可编程逻辑集成电路中的一种,其先进的设计思想和灵活的开发工具,使原来感到复杂的数字逻辑系统的设计变得轻松和简单了。

“ISP”(在系统可编程)是指用户为了修改逻辑设计或重构数字逻辑系统,而在已经设计和制作后的电路板上,直接在线编程和反复修改在系统可编程逻辑器件。然后现场调试和验证,使得原来不容易改变的硬件设计变得像软件一样灵活而易于修改和调试。

在系统可编程模拟器件 ispPAC (In-System Programmability Programmable Analog Circuits),可以使用开发软件 PAC-Designer,先在计算机中设计和修改模拟电路,进行电路特性模拟,最后通过编程电缆将设计方案下载至芯片中,实现信号放大、衰减、滤波、求和、求差、积分运算和完成数模转换。在系统可编程模拟器件及其开发软件 PAC-Designer 的推出,为模拟电路的设计提供了一种灵活的设计方法。

本书共分 8 章介绍在系统可编程逻辑集成电路的原理和应用实例:

第 1 章介绍在系统可编程逻辑器件的特点,并重点讲述 ispLSI1016 的结构和工作原理。

第 2 章到第 4 章分别介绍常用的 3 种硬件描述语言 ABEL-HDL、VHDL 和 Verilog-HDL 描述逻辑电路的方法。

第 5 章介绍了利用在系统可编程逻辑器件的开发工具 ispDesign EXPERT 开发系统设计和仿真数字逻辑系统的方法。

第 6 章介绍了 ispGDX 开发系统的使用方法和编程实例。

第 7 章介绍模拟可编程芯片开发系统的使用方法和编程实例。

第 8 章介绍实现具有一定应用价值的电子系统的设计实例。

在编写过程中,得到了戴蓓倩老师的关心和帮助,在此表示衷心感谢。

由于作者水平有限和时间的原由,书中难免有许多错误,恳请各位专家批评指正。

作 者

2001 年 9 月

于中国科技大学

目 录

第一篇 可编程集成电路基础

第 1 章 在系统可编程集成电路	1
1.1 概述	2
1.2 在系统可编程逻辑器件的结构	3
1.2.1 ispLSI1016 的结构	5
1.2.2 编程接口和编程	16
1.3 在系统可编程数字开关 GDS 和互联器件 GDX	18
1.3.1 在系统可编程数字开关	19
1.3.2 在系统可编程数字互联器件	19
1.4 在系统可编程模拟器件	21
1.4.1 ispPAC10 芯片结构	21
1.4.2 ispPAC20 结构	24
1.4.3 ispPAC80 结构	25

第二篇 硬件描述语言

第 2 章 硬件描述语言 ABEL-HDL	27
2.1 基本语法	28
2.1.1 数据类型	28
2.1.2 运算符	30
2.1.3 表达式	32
2.1.4 语句	32
2.2 完整的程序示例	37
第 3 章 VHDL 语言	43
3.1 VHDL 的基本结构	45
3.2 结构体的子结构描述	49
3.2.1 BLOCK 语句	49

3.2.2	PROCESS(进程)语句	51
3.2.3	子程序	54
3.2.4	库、程序包和 Configuration 语句	56
3.3	标识符、数据对象、数据类型、属性和保留关键字	57
3.3.1	标识符	57
3.3.2	数据对象	57
3.3.3	数据类型	58
3.3.4	保留关键字	63
3.4	运算操作符	64
3.5	顺序描述语句	65
3.6	并发处理语句	69
3.7	结构体的描述方式	73
3.8	设计基本逻辑电路	75

第 4 章 Verilog-HDL 85

4.1	模块结构	86
4.2	常量和变量的数据类型	89
4.2.1	常量的数据类型	89
4.2.2	变量的常用数据类型	90
4.3	运算符和表达式	91
4.3.1	算术运算符	91
4.3.2	关系运算符	91
4.3.3	逻辑运算符	92
4.3.4	位运算符	92
4.3.5	缩减运算符	92
4.3.6	移位运算符	92
4.3.7	条件运算符	92
4.3.8	位拼接运算符	93
4.3.9	优先级	93
4.3.10	关键字	93
4.4	语句	94
4.4.1	赋值语句	94
4.4.2	条件语句	97
4.4.3	循环语句	99
4.4.4	结构声明语句	100
4.4.5	块语句	102

4.4.6 语句的顺序执行和并行执行	104
4.4.7 编译预处理	107
4.5 设计基本逻辑电路	108

第三篇 开发系统

第 5 章 ispDesign EXPERT 开发系统	115
-----------------------------------	-----

5.1 概述	116
5.2 编程 ispLSI 器件	117
5.3 输入原理图	118
5.3.1 创建一个新的设计项目文件	118
5.3.2 选择器件	118
5.3.3 输入原理图	119
5.4 编译与仿真设计	123
5.5 构造一个通用元件	133
5.6 ABEL 语言和原理图混合输入方式	135
5.7 VHDL 语言的输入方式	139
5.8 Verilog-HDL 语言的输入方式	147

第 6 章 ispGDX 开发系统	149
-------------------------	-----

6.1 ispGDX 硬件描述语句	150
6.2 ispGDX 开发系统	152
6.3 编程实例	154

第 7 章 模拟可编程芯片开发系统	157
-------------------------	-----

7.1 使用方法	158
7.2 模拟可编程集成电路编程实例	161

第四篇 设计实例

第 8 章 综合实例	167
------------------	-----

8.1 实验板原理	168
8.1.1 元件布局	168
8.1.2 原理框图	169
8.1.3 ispLSI1016 的引脚连接	169
8.1.4 编程接口电路	171

8.2 应用实例	172
8.2.1 设计有效位为 4 位的数字频率计	172
8.2.2 设计十进制计数器模块	175
8.2.3 设计 4 位数字频率计	176
8.2.4 生成 JEDEC 熔丝图文件	178
8.2.5 下载熔丝图文件	179
8.2.6 采用 VHDL 语言输入的方式实现数字频率计	180
8.3 设计交通信号灯控制器	184
8.4 设计电子密码锁	191
8.5 汉字显示	198
8.6 设计电子数字钟	201
8.7 复制和加密芯片	205
附录 A 部分在系统可编程集成电路的引脚分配图	209

第一篇 可编程集成 电路基础

第1章 在系统可编程集成电路

1.1 概 述

在现代复杂的数字逻辑系统中,专用集成电路 ASICs(Application-Specific Integrated Circuits)的应用越来越广泛。曾经广泛使用的由基本逻辑门和触发器构成的中小规模集成电路(例如, TTL 和 CMOS 系列数字集成电路)所占的比例越来越少。主要原因是这些通用成品集成电路只能够实现特定的逻辑功能,不能由用户根据具体的要求进行修改。而且许多未使用的逻辑功能和集成电路管脚不能够发挥应有的作用,造成印刷电路板和产品体积增大。

虽然 ASIC 的成本很低,但设计周期长,投入费用高。可编程逻辑器件 PLD(Programmable Logical Device)非常适合于科研单位开发小批量和多品种的电子产品,可擦除的可编程逻辑器件 EPLD(Erasable Programmable Logical Device)则是可以由用户通过编程实现具体逻辑功能的集成电路。目前广泛使用的低密度(指包含的等效逻辑门低于 1 000 个的 PLD 芯片,一个门阵等效门就是一个两输入端的与非门)的 PLD 有:可编程阵列逻辑 PAL(Programmable Array Logic)和通用阵列逻辑 GAL(Generic Array Logic)芯片。

随着计算机技术和大规模集成电路制造技术的飞速发展,许多著名的半导体集成电路制造公司都不断地推出了各种新型的高密度 PLD(包含的等效逻辑门高于 1 000 个的 PLD 芯片)。高密度 PLD 包含两种不同结构的器件,即复杂可编程逻辑器件 CPLD(Complex Programmable Logical Device)和现场可编程门阵列 FPGA(Field Programmable Gate Array)结构的器件。

相对于低密度的 PLD 来说,高密度 PLD 具有更多的输入/输出、乘积项(product term)和宏单元(macrocell),CPLD 含有多个逻辑单元,每个逻辑单元都相当于一个低密度的 PLD(例如 GAL16V8)。通过内部可编程连线 PI(programmable interconnect)将芯片内部的逻辑单元连接起来,用一块芯片即可完成比较复杂的逻辑功能。

在结构上,FPGA 器件的逻辑单元(logic cell)按阵列排列,由可编程的内部连接线连接这些逻辑单元。一般来说,逻辑单元比 CPLD 的乘积项和宏单元的功能要少,但是将这些逻辑单元级联后能够形成更强的逻辑功能。

Xilinx 公司的现场可编程门阵列 FPGA 有 XC3000A/L、XC3100A/L、XC4000A/L、XC5000、XC6200 及 XC8000 等系列产品,其中 XC4000 系列产品采用了 CMOS 和 SRAM 技术,功耗非常低,在静态和等待状态下的功耗仅为毫瓦级。

FPGA 的基本结构由以下几个部分组成:

1. 可编程逻辑功能块 CLB(Configurable Logic Blocks)在芯片上按矩阵排列。
2. 芯片四周的多个接口功能块 IOB(Input/Output Blocks)。
3. 可编程内部连线 PI 是 FPGA 中最灵活的一部分,可在逻辑功能块的行与列以及接口功能块之间实现互连。

3 个主要部分构成了可编程逻辑单元阵列 LCA(Logical Cell Array),其中 CLB 实现用

户定义的基本逻辑功能, IOB 实现内部逻辑与器件封装引脚之间的接口, 可编程内部连线 PI 完成模块之间的信号的传递。

FPGA 的配置数据存放在静态随机存储器 SRAM 中。由于断电之后, SRAM 中的数据将丢失, 所以每次接通电源时, 由微处理器初始化和加载编程数据。或将实现电路的结构信息保存在外部存储器 EPROM 中, FPGA 从中读入编程信息。由 SRAM 中的各位保存信息控制可编程逻辑单元阵列中各个可编程点的通断, 从而达到现场可编程的目的。

除了 FPGA 产品外, Xilinx 公司的 CPLD 产品有 XC9500(5 伏 CPLD 系列)和 XC9500XL(3.3 伏 CPLD 系列)系列产品。这些产品采用了 0.35 微米技术, 对芯片的编程次数达到一万次, 具有在线可编程的功能。

Altera 公司有 MAX7000 系列、MAX9000 系列、FLEX8000 系列、FLEX10K 系列和 APEX 20K 系列产品, MAX 系列 CPLD 采用 EEPROM 技术和乘积项的结构(Product Term Architecture), 非常适合应用于复杂的组合逻辑和状态机数字系统(例如接口总线控制器和译码器等)。FLEX 系列 CPLD 采用 SRAM 技术和查表结构(Look-Up Table Architecture), 适合应用于需要执行快速运算的数字逻辑系统(例如数字信号处理、PCI 接口电路和计数器等)。而 APEX 20K 系列同时具备了 MAX 系列和 FLEX 系列的特点, 内部还有高速双端 RAM。

Lattice 半导体公司将其先进的在系统可编程 ISP 技术应用到高密度可编程逻辑器件(High Density Programmable Logical Device)中, 先后推出了 ispLSI1000、ispLSI2000、ispLSI3000、ispLSI5000、ispLSI6000 和 ispLSI8000 等一系列高密度在系统可编程 ispLSI(In-System Programmable Large Scale Integration)逻辑器件。

其他公司生产的可编程逻辑芯片如 AMD/VANTIS 公司生产的宏阵列 CMOS 高密度(MACH-Macro Array CMOS High-density)器件, 其规模为 32~512 个宏单元, 多达 2 万个门, 传输延迟 t_{pd} 可低到 4.5ns, 具有连续时的内部连线结构, 可以预知内部逻辑的定时关系。

1.2 在系统可编程逻辑器件的结构

“ISP”指用户为了修改逻辑设计或重构数字逻辑在系统(包括增加或修改可编程逻辑器件的 I/O 引脚), 在已经设计和制作的数字系统中, 通过在系统可编程逻辑器件的编程控制信号线, 直接在线编程印刷电路板上的在系统可编程逻辑器件(即不需要将 ispLSI 芯片从印刷电路板上取下, 与在专门的编程器上执行编程操作的 PAL 和 GAL 不同)和反复修改, 并现场调试和验证。即使已经成为定型的产品, 同样能够不断改进以前的逻辑设计方案, 加速产品的更新换代周期。在线编程已经焊接在印刷电路板上的在系统可编程逻辑器件时, 使用电路板上的单 5 伏电源即可。使得原来不容易改变的硬件设计变得和软件一样灵活而易于修改和调试。

ispLSI 逻辑器件几乎可以实现所有通用数字逻辑集成电路的功能, 克服了专用数字集成电路设计周期长和投入费用高的缺点, 其先进的设计思想和灵活的在系统可编程方式反

映了当代数字逻辑系统的一种发展趋势。ispLSI 逻辑器件的这些特点使在同一块实验板上完成多种实验, 而且不修改印刷电路板的愿望成为现实, 同时为提高大专院校的电子电路教学实验水平提供了一种新的途径。

Lattice 半导体公司先后推出了 ispLSI1000/E、ispLSI2000/E/V/VE、ispLSI3000/E、ispLSI5000V、ispLSI6000 和 ispLSI8000/V 多种系列高密度在系统可编程逻辑器件, 还有 ispGAL、ispGDS 和 ispGDX 系列在系统可编程逻辑器件以满足不同数字系统设计的要求。

ispLSI1000 系列逻辑器件的等效 PLD 门密度为 2 000~8 000 个, 可以广泛应用于编码、地址译码、网络产品和数字采集系统中。

ispLSI2000 系列逻辑器件的等效 PLD 门密度为 1 000~8 000 个, 是高速可编程逻辑器件, 速度可达到 180MHZ。管脚到管脚之间的延迟时间最大为 5ns, 是高速数字逻辑系统的理想器件。

ispLSI3000 系列逻辑器件的 PLD 门密度为 7 000~20 000 个, 能够完成数字信号处理 (DSP) 和图像处理等复杂的数字逻辑功能。

ispLSI5000V 系列逻辑器件的 PLD 门密度为 12 000~24 000 个, 是第二代 3.3 伏在系统可编程逻辑器件产品。它采用了一种新的逻辑结构, 在乘积项中能够提供更多的输入和宏单元, 可以广泛用于需要 32 位和 64 位的数字逻辑系统中。

ispLSI6192 系列逻辑器件的 PLD 门密度达到 25 000 个, 将通用可编程逻辑模块和专用存储模块(容量为 4KB)以及寄存器/计数器模块集成在一个在系统可编程逻辑器件中。其中 ispLSI6192FF 含有先进先出(FIFO)存储器, ispLSI6192DM 含有双端口(dual-port)随机存储器, ispLSI6192SM 含有单口存储器。通过编程, 寄存器/计数器模块分别构成寄存器读/写控制器、移位寄存器、计数器和定时器等, 适合于完成数据的串行/并行转换、波特率发生器和脉宽调制器等时序逻辑功能, 能够满足于各种数据通信、网络、数据采集、视频图像处理和多媒体应用场合的要求。

ispLSI8000 系列逻辑器件的 PLD 门密度更高, 达到 25 000~45 000 个 PLD 门。它允许多个通用逻辑单元驱动同一条总线, 能够满足高速计数器、寄存器、复杂状态机和地址译码器的设计要求。

Lattice 的在系统可编程 GAL 器件 ispGAL22V10 保留了人所共知的 GAL22V10 结构, 又具有在系统可编程的优点。它利用 28 脚 PLCC 封装芯片中的 4 个空脚作为在系统编程引脚, 使其引脚与原来的 GAL22V10 完全兼容。其电源电压已从 5V 发展到 3.3V, 传输时延则可低至 3.5 ns。

采用电源电压为 5 伏的芯片已经逐年下降, 而采用 3.3 伏、2.5 伏和 1.8 伏的芯片逐年上升。

Lattice 的通用数字开关 ispGDS(Generic Digital Switch)器件是一种在系统可编程开关器件, 它有两排 I/O 开关, 每排 I/O 开关中的任何一个通过可编程矩阵能够连接到另一排 I/O 开关中的任何一个。能够在不改变系统硬件的情况下, 重构印刷电路板上的芯片之间的连接关系。

Lattice 的数字交叉阵列 ispGDX(Generic Digital Crosspoint)系列产品特别适合于多 CPU 接口、多位数据/地址总线接口和系统级信号布线的电路设计, 代替多个通用的接口(例如 74LS373、74LS244、74LS245 等芯片和机械 DIP 拨动开关)芯片, 从而减少 PCB 板的面积, 其中 ispGDX160 可以连接 160 个输入/输出管脚。

在系统可编程逻辑器件的型号一般由器件系列、速度、功耗、封装形式和等级 5 个部分组成, 如图 1-1 所示。

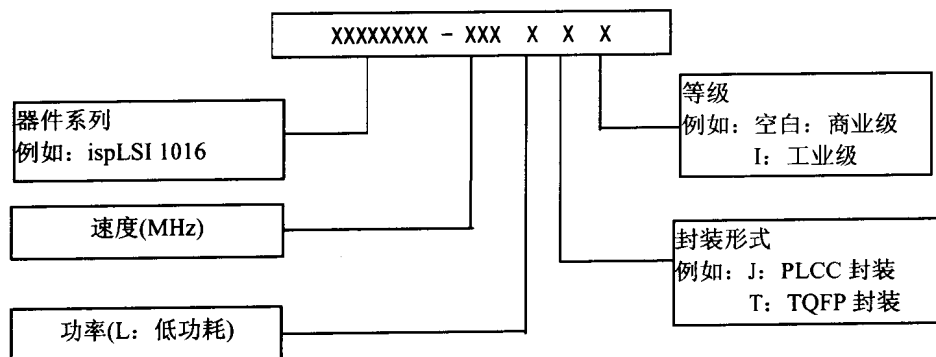


图 1-1 在系统可编程逻辑器件型号的 5 个组成部分

ISP 器件是采用电可擦除 E²CMOS 工艺制造的, E²CMOS 的非易失性意味着在掉电和上电过程之后, 无需重新编程器件。

ISP 器件还具有“保密单元”, 用来加密器件。加密后, 不能从中读出其逻辑结构。

1.2.1 ispLSI1016 的结构

ispLSI 1016 是属于 ispLSI1000 系列中的一种高密度(含有 2 000 个 PLD 门)在系统可编程逻辑器件, 采用了电可擦除(Electrically Erasable)CMOS(E²CMOS)技术。

一般含有 100~1000 个门的逻辑器件称为“低密度逻辑器件”, 1000 个门以上的逻辑器件称为“高密度逻辑器件”。

ispLSI 1016 的工作电压为 5 伏, 内部共有 96 个逻辑寄存器, 3 个指定的时钟输入管脚 Y0、Y1 和 Y2 和 4 个指定输入管脚 IN3~IN0。

ispLSI 1016 有几种不同速度的产品, 例如 ispLSI 1016 60LJ 表示速度 $f_{\max}$ 为 60MHz, 为 PLCC 封装形式。ispLSI 1016 还有 80MHz、90MHz、110MHz 的产品, 其引脚图如图 1-2 所示, 共有 44 个引脚, 这是塑料有引线芯片载体 PLCC(Plastic Lead Chip Carrier Package)封装形式的管脚图。

其中:

1. 32 个 I/O 引脚(I/O0~I/O31), I/O 引脚可以由设计者灵活地定义为多种性质(如组合逻辑形式、寄存器形式和锁存器形式的输入方式及输出、双向 I/O 或三态输出等)的引脚、输入/输出电平与 TTL 电平兼容。输出高电平时, 能够输出 4 毫安电流; 输出低电平时, 可以吸收 8 毫安电流。