

TN305  
2

高等学校教材

# 半导体器件工艺原理

黄汉尧 李乃平 编

上海科学技术出版社

高等学校教材  
半导体器件工艺原理

黄汉尧 李乃平 编

上海科学技术出版社出版  
(上海瑞金二路450号)

发行所上海发行所发行 上海市印刷四厂印刷

开本 787×1092 1/16 印张 18 字数 304,000  
1985年10月第1版 1985年10月第1次印刷  
印数 1—4,800

统一书号: 15119·2449 定价: 2.45元

## 出版说明

根据国务院关于高等学校教材工作分工的规定,我部承担了全国高等学校工科电子类专业课教材的编审、出版的组织工作.从一九七七年底到一九八二年初,由于各有关院校,特别是参与编审工作的广大教师的努力和有关出版社的紧密配合,共编审出版了教材 159 种.

为了使工科电子类专业教材能更好地适应社会主义现代化建设培养人才的需要,反映国内外电子科学技术水平,达到“打好基础,精选内容,逐步更新,利于教学”的要求,在总结第一轮教材编审出版工作经验的基础上,电子工业部于一九八二年先后成立了高等学校《无线电技术与信息系统》、《电磁场与微波技术》、《电子材料与固体器件》、《电子物理与器件》、《电子机械》、《计算机与自动控制》,中等专业学校《电子类专业》、《电子机械类专业》共八个教材编审委员会,作为教材工作方面的一个经常性的业务指导机构,并制定了一九八二~一九八五年教材编审出版规划,列入规划的教材、教学参考书、实验指导书等共 217 种选题.在努力提高教材质量,适当增加教材品种的思想指导下,这一批教材的编审工作由编审委员会直接组织进行.

这一批教材的书稿,主要是从通过教学实践、师生反映较好的讲义中评选择优和从第一轮较好的教材中修编产生出来的.广大编审者、各编审委员会和有关出版社都为保证和提高教材质量作出了努力.

这一批教材,分别由电子工业出版社、国防工业出版社、上海科学技术出版社、西北电讯工程学院出版社、湖南科学技术出版社、江苏科学技术出版社、黑龙江科学技术出版社和天津科学技术出版社承担出版工作.

限于水平和经验,这一批教材的编审出版工作肯定还会有许多缺点和不足之处,希望使用教材的单位、广大教师和同学积极提出批评建议,共同为提高工科电子类专业教材的质量而努力.

电子工业部教材办公室

# 前 言

本教材系由《电子材料与固体器件》教材编审委员会《半导体物理与器件》编审小组评选审定,并推荐出版。

该教材由华中工学院黄汉尧担任主编,北京工业学院许德华担任主审。编审者均依照《半导体物理与器件》编审小组审定的编写大纲进行编写和审阅的。

本课程参考教学时间为 60 学时。本书以硅器件平面工艺为主线,适当兼顾其他工艺方法。内容侧重于半导体器件工艺所涉及的基本原理,与《半导体器件制造工艺》一书互为补充,合为整体。其目的是使读者通过学习,对半导体器件制造工艺及其原理有一个较为完整的、系统的概念,具有一定的工艺设计能力和分析问题、解决问题及提高产品质量的能力。

本书的绪论、衬底制备、掺杂技术、图形加工技术及可靠性基本原理与失效分析由黄汉尧同志编写,薄膜制备由李乃平同志编写。在编写过程中曾得到编审小组等有关单位的大力支持和关怀,并提出了许多宝贵意见,在此特向他们表示衷心的感谢。

编 者

# 目 录

绪 论 .....	1	7. 金扩散 .....	115
第 1 章 衬底制备 .....	4	§ 3-2 离子注入掺杂 .....	117
§ 1-1 衬底材料 .....	4	1. 离子注入设备 .....	118
1. 对衬底材料的要求 .....	4	2. 注入离子的浓度分布 .....	120
2. 衬底单晶材料的制备 .....	5	3. 晶格损伤与退火 .....	154
3. 杂质缺陷对器件工艺质量的影响 .....	8	§ 3-3 合金法 .....	140
4. 多晶硅的结构性质 .....	15	1. 合金 pn 结的制作原理 .....	140
§ 1-2 衬底制备 .....	16	2. 合金 pn 结的结深 .....	141
1. 晶体定向 .....	17	3. 合金条件的考虑 .....	142
2. 晶片加工 .....	22	第 4 章 图形加工技术 .....	147
第 2 章 薄膜制备 .....	28	§ 4-1 光致抗蚀剂 .....	147
§ 2-1 硅外延薄膜制备的原理 .....	28	1. 光致抗蚀剂的结构性质 .....	147
1. 外延生长动力学原理 .....	28	2. 光致抗蚀剂的种类和感光机理 .....	147
2. 外延掺杂及其杂质再分布 .....	36	3. 对光致抗蚀剂性能的要求 .....	150
3. 堆垛层错 .....	40	§ 4-2 光掩模 .....	152
4. 氯化氢气相抛光 .....	43	1. 原图数据的产生 .....	152
5. 自掺杂效应 .....	45	2. 图形的产生 .....	153
6. 低压外延 .....	48	3. 掩模图形的形成 .....	155
§ 2-2 二氧化硅薄膜 .....	54	4. 特殊光掩模的制作技术 .....	157
1. SiO <sub>2</sub> 膜的结构和性质 .....	54	§ 4-3 光刻蚀技术 .....	157
2. 热生长氧化膜的制备 .....	56	1. 光致抗蚀剂膜层图形的形成 .....	158
3. 实现掩蔽扩散的条件 .....	65	2. 腐蚀 .....	165
4. 氧化层错 .....	67	第 5 章 可靠性基本原理与失效分析 .....	171
§ 2-3 薄膜的化学气相淀积 .....	70	§ 5-1 可靠性的基本参量 .....	171
1. 常压化学气相淀积法 .....	71	1. 可靠度 .....	171
2. 低压化学气相淀积法 .....	77	2. 累积失效概率 .....	172
3. 等离子增强化学气相淀积法 .....	79	3. 失效密度函数(失效密度) .....	172
4. 分子束外延 .....	82	4. 瞬时失效率 .....	172
第 3 章 掺杂技术 .....	92	5. 平均寿命 .....	173
§ 3-1 扩散 .....	92	§ 5-2 半导体器件失效规律及常用寿命	
1. 杂质原子的微观扩散机构及其宏观描		分布 .....	173
述 .....	92	1. 半导体器件失效规律 .....	173
2. 扩散层杂质原子的浓度分布 .....	94	2. 常用寿命分布 .....	174
3. 硅器件生产中的两步扩散工艺 .....	97	§ 5-3 可靠性试验 .....	178
4. 扩散层质量参数 .....	99	1. 加速寿命试验 .....	179
5. 扩散条件的选择 .....	107	2. 可靠性筛选 .....	183
6. 理论分布与实际分布的差异 .....	110	§ 5-4 抽样检验 .....	187

# 绪 论

半导体器件从 1948 年晶体管发明以来的短短三十多年时间里，经历了晶体管、集成电路、大规模集成电路时代，而今正跨入超大规模集成电路时代。这就构成了现代微电子技术的基础。

半导体工艺最早主要通过拉晶法和合金法来制造晶体管。1954 年发明扩散技术后，使半导体器件的性能和生产方式进入到一个崭新的阶段。以硅的热氧化为基础的平面技术的出现，加上外延生长晶体技术的发明，使硅晶体管在频率、功率、饱和压降和表面噪声性能，以及稳定性与可靠性等方面大大超过了锗器件。这样，平面工艺的地位就显得突出了，于 1959 年，采用硅平面工艺生产集成电路。

平面技术不仅促进了双极型集成电路的出现和发展，而且也是 1962 年 MOS 场效应晶体管和 MOS 场效应集成电路相继诞生的必要和重要条件。而 MOS 集成电路为高密度的大规模集成电路的发展创造了条件，使电子设备的体积大幅度缩小，重量大幅度减轻，而且在性能及可靠性方面也达到新的高度。

与此同时，器件的发展又推动着各种工艺技术不断地完善和发展，特别是微细加工技术。可以说在近代科学技术史上，还没有任何科学领域里的技术的发明创造，能如半导体工艺技术那样，在短时期内如此快的成长和成熟，推动着该科学领域的发展。

半导体工艺技术涉及的内容非常广泛，其中包括工艺设计、工艺制造、工艺分析和质量控制等，并且与其他科学技术领域相互渗透。因此，不可能也无必要对每一类型器件的制造方法一一介绍。它们具有许多共同之处，可以举一反三。本书主要是在半导体器件制造工艺基础上，将半导体器件工艺技术所涉及的一些基本原理归纳为几个方面，并且以硅外延平面工艺为主线，适当兼顾其他工艺方法进行论述。

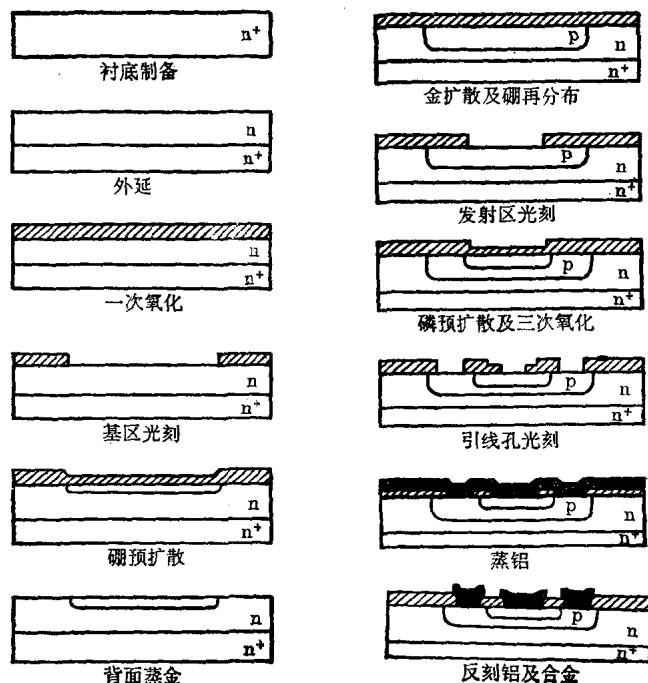


图 0-1 硅外延平面晶体管管芯制造工艺剖面图

图 0-1 和图 0-2 是一般双极型硅外延平面晶体管和集成电路管芯制造工艺剖面图。图 0-3 和图 0-4 是 MOS 晶体管和 MOS 集成电路管芯制造工艺剖面图。由图看出，它们所涉及的基本工艺大体上是相同的，可以把整个基本工艺过程归纳为以切、磨、抛为

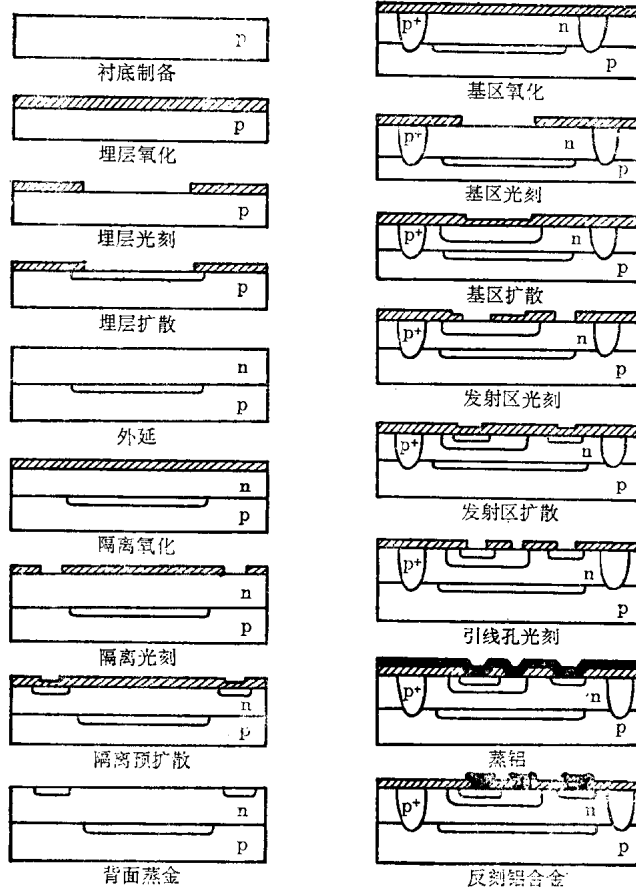


图0-2 双极型集成电路管芯制造工艺剖面图

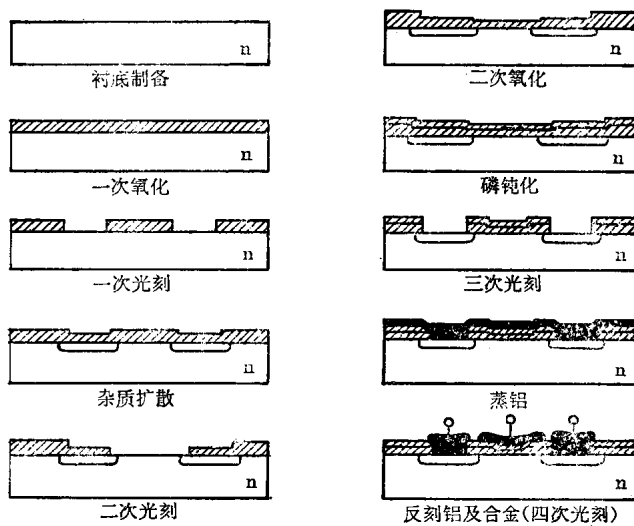


图0-3 MOS晶体管和MOS集成电路管芯制造工艺剖面图

主体的衬底制备；以外延、氧化、蒸发(还有淀积)为主体的薄膜制备；以光刻、制版为主体的图形加工和以扩散、离子注入等为主体的掺杂技术等方面的内容。本书就是根据这些内在联系进行编排。最后，还介绍了作为半导体器件工艺技术重要组成部分的可靠性问题。

本书与《半导体器件制造工艺》一书是互为补充的一个整体，但又各有分工。《半导体器件制造工艺》偏重于较为具体的制造工艺，本书则偏重于制造工艺所涉及的基本原理，对具体的制造工艺不作过多的叙述。就它的性质来说，是介于理论与实际之间的课程，是理论与生产实际的桥梁，是生产实际的理论指导。

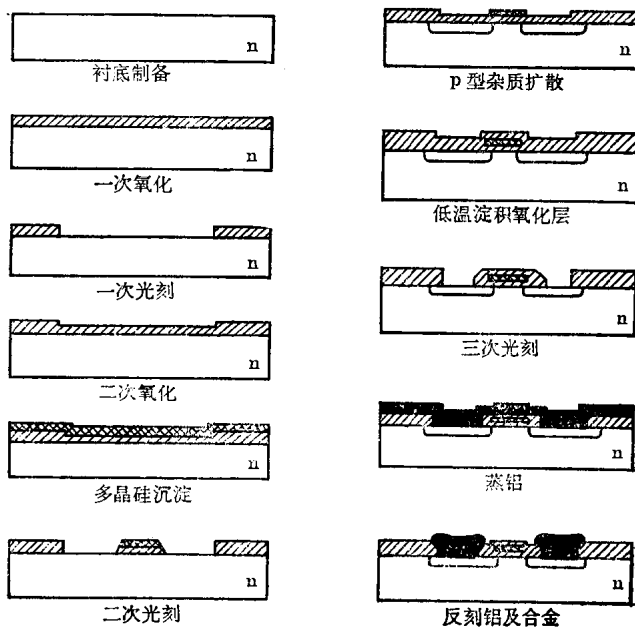


图 0-4 硅栅 MOS 集成电路管芯制造工艺流程剖面图



# 第 1 章

## 衬 底 制 备

衬底是器件制造的基础。衬底材料和衬底加工质量，对器件参数和器件制造工艺质量有重要的影响。本章围绕合理选择和正确使用材料，以及如何获得“理想”的加工表面进行论述。

### § 1-1 衬 底 材 料

衬底材料的种类很多，并且随着半导体技术的发展，还会不断出现新的材料。目前，在生产 and 应用方面主要有三种类型：一是元素半导体，如硅和锗；二是化合物半导体，如 III-V 族和 II-VI 族化合物半导体；三是绝缘体，如蓝宝石和尖晶石。其中以硅应用最广，产量最大。

1. 对衬底材料的要求 用于衬底的材料，由于它们的结构、组成、获得的方法和难易程度，以及作用各有不同，加上杂质、缺陷对器件制作工艺质量的不同影响，对它们的要求也不完全相同。对于硅、锗和砷化镓这些半导体材料，选用的主要要求有：

① 导电类型。

② 电阻率：一般要求在  $0.001 \sim 100000 \Omega \cdot \text{cm}$  之间。但不同器件对电阻率的要求不同，如不同击穿电压的器件所要求的硅单晶电阻率见表 1-1。电阻率要均匀、可靠。电阻率均匀性包括纵向、横向及微区电阻率均匀度。它直接影响器件参数的一致性，击穿特性和成品率。大规模集成电路对电阻率微区均匀性要求更高。电阻率可靠性，是指在器件加工过程中，具有较好的稳定性和真实性。它与掺杂技术、补偿度、氧和氢含量等有关。

表 1-1 不同器件所要求的硅单晶电阻率

硅器件名称	导电类型	硅单晶电阻率 ( $\Omega \cdot \text{cm}$ )
硅外延片衬底	n	$10^{-3}$
二极管	n	0.05~100
晶体管	n(p)	1~3, (1~15)
太阳能电池	n	0.1~10.0
可控硅	n	100~300
整流器	n(p)	20~200, ( $n^* \times 10 \sim n \times 10^3$ )
LSI	p	8~13
PIN	p	$1.5 \times 10^3 \sim 1.5 \times 10^4$
探测器	n(p)	$1 \times 10^3 \sim 5 \times 10^3$

\*  $n$  为  $\geq 1, \leq 10$  的数字。

③ 寿命：它是反映单晶中重金属杂质和晶格缺陷对载流子作用的一个重要参数，与器件放大系数、反向电流、正向电压、频率和开关特性密切相关。一般要求在几至几千  $\mu\text{s}$ 。晶体管一般要求长寿命，开关器件要求短寿命(可通过掺入杂质金来获得)，整流器、晶体管要

求少数载流子寿命值为  $n \times 10 \mu\text{s}$ , 可控硅要求寿命值为  $n \times 10 \sim n \times 10^3 \mu\text{s}$ , 探测器要求寿命值  $\geq 1 \times 10^3 \mu\text{s}$ .

④ 晶格完整性: 要求无位错、低位错 ( $< 1000$  个  $\text{cm}^{-2}$ ), 对无位错排和小角度晶界的要求尤严. 其他缺陷要极少, 特别是微缺陷.

⑤ 纯度高: 微量杂质对半导体材料性能影响甚大, 作用灵敏. 微量杂质主要有受主、施主、重金属、碱金属及非金属杂质等, 其影响各不相同. 例如, 磷、硼决定着硅材料的类型、电阻率、补偿度等电学性能. 铜、铁等金属杂质, 会使单晶硅少数载流子寿命降低, 电阻率变化, 并与缺陷相互作用. 硅中的氧, 在热处理时产生热施主, 使材料电阻率变化甚至变形, 并与重金属杂质结合形成材料的假寿命, 使器件放大系数减小, 噪声系数增大, 击穿电压降低, 漏电流增大, 出现软击穿、低击穿等现象.

⑥ 晶向: 对于双极型硅器件, 一般要求  $\langle 111 \rangle$  晶向, MOS 硅器件为  $\langle 100 \rangle$  晶向, 砷化镓常用  $\langle 100 \rangle$  晶向.

⑦ 要求一定的直径和均匀性, 并给出主、次定位面.

此外, 禁带宽度要适中, 迁移率要高, 杂质补偿度低, 等等.

对于砷化镓材料, 由于杂质和缺陷的种类、数量, 以及它们在材料中的行为及其对器件性能的影响, 比硅、锗单晶更复杂和显得更重要, 所以几乎所有的砷化镓器件都是采用外延层做工作层, 而体单晶只用来制作衬底. 至于蓝宝石和尖晶石, 通常是作为硅外延的绝缘衬底. 所以, 主要要求它与硅外延层的晶格匹配要好, 晶格失配率尽可能小, 纯度高, 晶格缺陷少, 对外延层的污染尽可能少.

2. 衬底单晶材料的制备 首先介绍硅单晶的制备(锗单晶制备与硅类似), 其次就砷化镓单晶的制备基本方法作一简单介绍, 以便合理地选择和使用材料.

硅单晶的制备方法很多, 其中以直拉法(OZ法)和区熔法(FZ法)用得较多.

(1) 直拉法 硅单晶直拉法的原理示意如图 1-1 所示. 该系统是置于一个炉腔体内. 制备时, 首先将处理好的多晶硅等材料装炉, 然后抽真空或充以惰性气体(如氩气), 再加热使石英坩埚内的多晶硅熔化, 待稳定后即可开始拉制. 拉制时, 籽晶轴以一定的速度往上运动, 并同时作旋转运动, 它的转动方向与石英坩埚的旋转方向相反. 所用的掺杂剂, 可以采用拉制前一次加入或拉制过程中分批加入. 拉制气氛由所要求的单晶质量及掺杂剂性质等因素而定.

这种方法工艺成熟, 便于控制晶体外形和电学参数, 能成功地拉制无位错大直径硅单晶, 尤其能制备  $10^{-4} \Omega \cdot \text{cm}$  特殊低阻单晶. 其主要缺点是难以避免来自石英坩埚和石墨加热器等装置的沾污, 因而只能用于生产低阻单晶. 所以, OZ 法目前一般只可控制  $\rho_p = 10^{-8} \sim 3 \times 10^2 \Omega \cdot \text{cm}$ ,  $\rho_n = 10^{-3} \sim 10^2 \Omega \cdot \text{cm}$  的硅单晶. 另外, 由于存在杂质分凝效应(磷和硼在硅中的分凝系数分别为 0.35 和 0.8~0.9)和蒸发效应, 石英坩埚和石墨加热器的沾污, 以及搅拌不均匀所形成的界面杂质积累层等, 还会使拉制的硅单晶沿轴向的电阻率不一致, 杂质缺陷较多. 如果热场分布不合理, 固-液界面不平坦, 以及搅拌不均, 还会造成径向电阻率和微区电阻率的不均匀

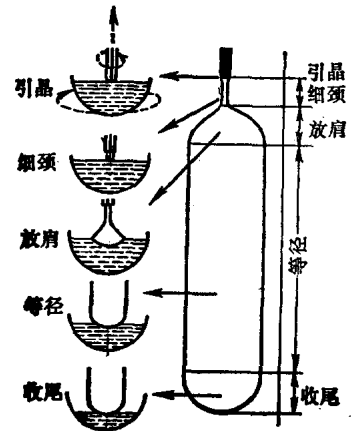


图 1-1 硅单晶直拉法生长过程示意图

性。所以，CZ法目前只能控制  $4\rho_p < 5\%$  (掺硼，直径 50 mm)； $4\rho_n < 12\%$  (掺磷，直径 50 mm) 的硅单晶。另外，由于碳、氧对熔体的不断沾污，拉制的硅单晶将会有较多的碳和氧，其含量可高达  $10^{18} \text{cm}^{-3}$  数量级。如果硅的纯度高，在高真空或大流量高纯氩气氛下拉晶，通过合理的热场设计，以及控制好温度和拉晶时的工艺参数等因素，可拉制出碳、氧含量在  $10^{17} \text{cm}^{-3}$  数量级。

(2) 区熔法 区熔法又分为水平区熔和悬浮区熔两种类型。图 1-2 是动圈式悬浮区熔法制备硅单晶的示意图。制备时，将预先处理好的多晶硅棒和籽晶一起竖直固定在区熔炉上、下轴间，以高频感应等方法加热，利用电磁场浮力和熔硅表面张力与重力的平衡作用，使所产生的熔区能稳定地悬浮在硅棒中间。在真空或某种气氛下，按照特定的工艺条件，使熔区在硅棒上从头至尾定向移动，如此反复多次，使硅棒沿籽晶长成具有预期电学性能的硅单晶。

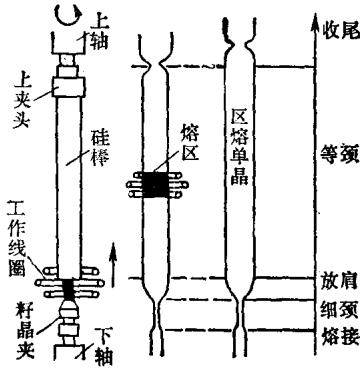


图 1-2 悬浮区熔法生长过程示意图

气氛可以是真空或采用氩、氢或其他惰性气体。国内以往大多采用真空区熔，在氢气气氛中成晶的工艺。若是在真空条件制备的硅单晶，称为 VFZ 硅单晶；若是在氩气或含氢  $< 10\%$  的氩气氛下制备的，则称为 MFZ 硅单晶。

悬浮区熔法是一种既能进一步起到提纯作用又能同时生长单晶的工艺，从根本上取消了直拉法所需要的石英坩埚和石墨加热器系统，使产品的碳、氧等杂质含量较直拉单晶低一个数量级以上。例如采用 VFZ 工艺时，由于有利于 SiO 从熔体表面逸出，据报道在  $1.33 \times 10^{-3} \text{Pa}$  的真空条件下，可获得氧含量在  $5 \times 10^{16} \text{cm}^{-3}$ ；在  $1.33 \times 10^{-4} \sim 1.33 \times 10^{-5} \text{Pa}$  的真空条件下，可获得  $10^{15} \text{cm}^{-3}$ ；在超高真空条件下，可获得  $10^{14} \text{cm}^{-3}$ 。而一般 MFZ 单晶的氧含量为  $5 \times 10^{15} \sim 2 \times 10^{16} \text{cm}^{-3}$ 。表 1-2 列出了硅中碳、氧含量与一些工艺因素的关系。所以，这种方法是目前制备高纯、高阻、长寿命、低氧、低碳硅单晶最有前途的方法。但由于工艺条件的限制(如在大直径时获得比较平坦的固-液界面较困难)，目前在直径方面还不及直拉单晶，并且在制备低阻单晶时受到一定的限制。同样，由于存在分凝和蒸发效应，固-液界面不平坦，工艺卫生、气氛等的影响，仍然存在纵向、横向电阻率的不均匀。所以，一般  $\rho_n = 8 \times 10^2 \sim 3 \times 10^3 \Omega \cdot \text{cm}$ ， $\rho_p = 1 \times 10^3 \sim 1 \times 10^4 \Omega \cdot \text{cm}$ ，径向电阻率不均匀度  $4\rho = \pm 10\%$ 。

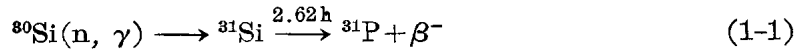
表 1-2 硅中碳、氧含量与一些工艺因素的关系

材料 / 杂质	高纯硅	FZ(Ar)一次	FZ(真空)二次	FZ(真空)三次	CZ(Ar)
C: $\times 10^{17} \text{cm}^{-3}$	0.20~0.25	0.15	0.03	0.02	1.0
O <sub>2</sub> : $\times 10^{17} \text{cm}^{-3}$	0.80~2.85	0.06	0.03	0.015	4

区熔法能制备出较高电阻率的硅单晶。但当要求电阻率  $\rho_n > 1 \times 10^3 \Omega \cdot \text{cm}$  时，由于杂质磷的分凝和蒸发等作用，要获得预定的电阻率，且杂质分布均匀的硅单晶，其成品率较低。此时，可用中子嬗变掺杂(辐照掺杂)法。

(3) 中子嬗变掺杂法 中子嬗变掺杂法的基本原理，是利用自然硅中有三种稳定的同

位素, 即  $^{28}\text{Si}$ 、 $^{29}\text{Si}$  和  $^{30}\text{Si}$ 。它们的丰度分别为 92.21%、4.7% 和 3.0%。这些同位素在硅中是均匀分布的。当把未掺杂的高阻硅单晶, 放入反应堆用热中子进行轰击时, 将有如下一些反应:



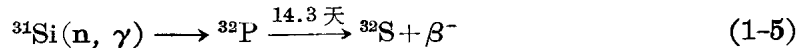
其中  $^{29}\text{Si}$  和  $^{30}\text{Si}$  是稳定的, 而  $^{31}\text{Si}$  是不稳定的, 具有放射性。当它放射出  $\beta$  粒子后, 就蜕变成磷的同位素  $^{31}\text{P}$ 。 $^{31}\text{P}$  是稳定的, 于是就得到含磷的硅单晶。

磷原子的原子数  $N_{\text{P}}$  可由下式估计:

$$N_{\text{P}} = N^{30} \cdot \sigma \cdot \phi \cdot t \quad (1-4)$$

其中  $N^{30}$  为  $^{30}\text{Si}$  的原子数,  $\sigma$  为热中子俘获截面,  $\phi$  为热中子通量密度,  $t$  为辐照时间。所以, 改变辐照时间, 可以改变被辐照硅单晶中磷含量的高低。它的均匀性, 主要由原材料的均匀性, 辐照前后掺杂剂浓度比, 反应堆中子通量的分布, 以及被辐照单晶的形状、大小等决定; 其掺杂精度, 则主要由反应堆的辐射剂量决定, 精确度可达 5% 以内。

$^{31}\text{Si}$  也可能发生下述反应:



使磷浓度有所下降。但所得的  $^{32}\text{S}$  也是 n 型杂质, 而且反应所得的量不大, 对磷浓度的实际影响很小。问题主要是  $^{32}\text{P}$  的半衰期太长(约 14.3 天), 使辐照后的样品, 在较长的时间内具有放射性。这在重掺杂时尤为明显。

用中子嬗变方法掺杂, 原始硅应选择纯度高, 含杂质少(特别是中子俘获截面大的重金属)以及硼、氧、碳含量低的高阻单晶。一般用无坩埚区熔(尤其用 VFZ 法制备的), 电阻率大于  $1000 \Omega \cdot \text{cm}$  高阻硅单晶。将它置于反应堆均匀中子流的范围内进行辐照。辐照后, 存放一定时间即可使用。

辐照所产生的大量晶格缺陷, 可以在  $750 \sim 800^\circ\text{C}$  下, 退火 1h 将其消除。

此法的优点是掺杂时不引入其他杂质, 掺杂浓度可以通过控制辐照时间来准确地控制, 可以很方便地获得高阻掺磷硅单晶, 掺杂均匀, 对制备电阻率要求严格的高阻 n 型硅特别适合。同时, 还可以在同一块(片)材料上获得特殊要求的磷分布, 以及利用中子辐照, 制成具有几万  $\Omega \cdot \text{cm}$  的半绝缘硅。

对于砷化镓单晶, 其制备方法也很多。但主要采用两种方法: 一种是在密封石英管中装入砷源, 通过调节砷源温度来控制系统中的砷压, 与装入石英管另一端的镓进行合成并生成单晶。图 1-3 是其中水平区熔法示意图。制备时, 将定量的砷和镓分别装在石英管两端的高、低温加热区中。首先用真空加热法除去各自的氧化膜, 然后密封石英管, 通过低温炉控制砷压, 由高温炉控制和移动熔区合成砷化镓, 并进行区熔提纯致均, 同时生长单晶, 另

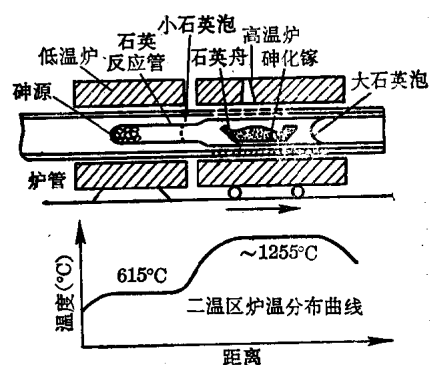


图 1-3 GaAs 单晶生长水平区熔法示意图

一种是将熔体用某种液体(如氧化硼)覆盖,并施以压力大于砷化镓离解压的气氛(惰性气体),以抑制砷化镓分解和砷的挥发,达到密封熔体控制化学比的目的。然后,与硅、锗直拉法一样,在类似的单晶炉中,用籽晶拉制砷化镓单晶。所以,这种方法又称为液封直拉法。

与硅、锗单晶类似,砷化镓单晶也存在纵向和径向电阻率不均匀及其他质量问题,并且情况更加复杂。由于杂质缺陷对晶体生长条件很敏感,砷源温度的波动会引起砷压的起伏,使砷不断地从熔体中逸出和熔入,导致生长杂散晶核。因此,要制备出一定性能的具有很好重复性的砷化镓单晶比较困难。

3. 杂质缺陷对器件工艺质量的影响 由于原材料的纯度,以及在工艺过程中的引入,硅单晶中存在多种杂质和晶体缺陷。杂质主要有受主、施主、重金属、碱金属及非金属等。晶体缺陷有宏观和微观两类,分体、面、线、点型缺陷,其中包括双晶、裂纹、夹杂、位错、位错排、小角度晶界、层错、微缺陷、空位团和微沉积等。这些杂质和缺陷从不同的方面影响着器件制作的工艺质量和成品率,其中重金属、碳、氧、位错及微缺陷等影响尤为突出。

(1) 位错 位错对器件制作工艺质量和成品率的影响,与位错引起的晶格畸变和位错的运动有密切的关系。实验表明,“清洁的”或“静止的”位错,对结特性和增强扩散并没有什么影响。

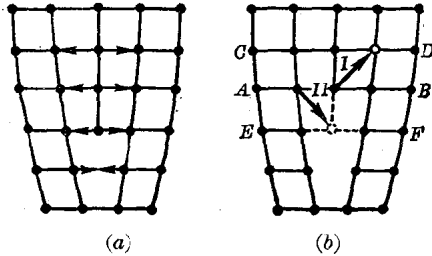


图 1-4

(a) 位错线附近的应力; (b) 位错的攀移运动

位错可以分为刃位错和螺旋位错两种基本形式。如果滑移矢量和位错成其他角度时,可形成各种混合型位错。硅单晶中的位错,绝大多数是滑移面为 $\{111\}$ 晶面,滑移矢沿 $\langle 110 \rangle$ 方向,贯穿于整个晶体的准刃型位错。刃型位错的特点之一是有多余的半晶面,如图1-4(a)所示。由于有一多余半晶面插入,位错线附近产生了晶格畸变,那里的原子就不太稳定,容易被杂质原子所代替。在位错线附近的

上部,晶体的原子受到压力,在下部受到张力。所以,如果位错线附近上部的原子由较小的杂质原子代替,下部由较大的杂质原子代替,就可以在一定程度上减少这种应力。可见,杂质原子很容易聚集在位错线附近,沿位错线沉积。并且杂质一旦聚集到位错周围,就和位错一起形成一个能量较低,比较稳定的体系。所以,位错有吸收杂质的作用。

位错的另一个重要性质,就是攀移运动。所谓位错的攀移,就是位错在应力的作用下,从一个滑移面转移到相邻的滑移面上去的一种位错运动。图1-4(b)是表示位错攀移运动的平面图。原来位错线是在滑移面 $AB$ 上,在应力作用下,如果要攀移到滑移面 $CD$ 上去,使位错向晶体表面移动,则原来沿位错线的一列原子必须逐个地移走。这些原子主要通过替位扩散机构,跳进附近的空位而离开,如图1-4(b)中的I。结果,位错逐步向上攀移,以致于到达晶体表面而消失。所以,位错有吸收晶格空位的作用。相反,如果在应力作用下,位错要从滑移面 $AB$ 向下攀移到滑移面 $EF$ 上去,就必须在滑移面 $EF$ 上增加一系列原子,这些原子主要是从附近扩散过来的,如图1-4(b)中的II。这样在位错线附近就会产生空位。所以,位错有吸收和产生空位的作用,但这种作用需要提供额外的能量。因此,位错的攀移只有在高温下才能发生。

位错分为原生(一次)位错和诱生(二次)位错。原生位错是指单晶材料中已存在的位错;诱生位错是在器件工艺过程中引入的,它的数量将远远超过原生位错的数量,其产生的

原因大致可以分为以下三个方面。

① 高温过程中引入的位错：用 X 射线形貌照相发现，经过外延、氧化、扩散等高温工序，在硅片中常常出现相当数量的“位错排”，特别是在片子的边缘区域。位错排的典型特征是形成沿  $\langle 110 \rangle$  晶向的“带”。通过腐蚀可以看到，沿  $\langle 110 \rangle$  方向的“带”是由一系列密集的位错腐蚀坑组成的，如图 1-5 所示。腐蚀坑这样沿  $\langle 110 \rangle$  方向排列，表明位错排是由一系列在倾斜的  $\{111\}$  面上的位错构成的。从位错排的大量位错集中在一些  $\{111\}$  滑移面上很容易想到，它们是由于在高温下在这些面上发生滑移使位错大量增殖的结果。所以，凡是能引起高温滑移的原因，都可能引起位错的产生。例如，硅片上的机械损伤；在范性形变温度以上，硅片各部分温度不均匀产生的热应力；在高温炉中，片子支撑不当或其他原因，使片子承受应力，引起范性形变等。

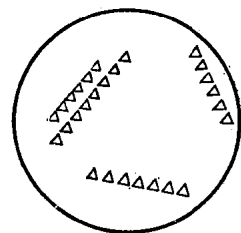


图 1-5 位错排示意图

② 掺杂引入的位错：掺杂原子的大小与硅原子的大小不同，可以引起晶格的收缩或膨胀。磷和硼的原子比硅小（见表 1-3），所以在硅中掺磷或掺硼都会引起晶格收缩。如果在晶体中均匀掺杂，这种晶格收缩并不引起应力或缺陷。但是，如果是非均匀掺杂，特别是浓度足够高时，会产生大量位错。例如，在硅平面晶体管的发射区扩散磷以后，有时沿着窗口边缘的周围会出现一种比较集中的位错，常称为发射极边缘位错（简称为  $EE$  位错）。根据 X 射线形貌相技术分析，这种位错是由于在发射极扩散窗口边缘处，应力发生突变所引起的。因为在窗口边缘附近覆盖在  $\text{SiO}_2$  层下的硅，存在伸张应力（由于  $\text{Si}$  和  $\text{SiO}_2$  的热膨胀系数不同），而在窗口区域中的硅存在压缩应力。这样，由于窗口边缘应力的突变，使得该处硅中的应力大大增加，从而产生  $EE$  位错。

表 1-3 几种元素的原子半径 (nm)

元 素	硼	磷	硅	砷	锗	铟	锡
原子半径	0.088	0.11	0.117	0.118	0.122	0.136	0.14

③ 薄膜制备时引入的位错：在薄膜制备时，薄膜与衬底的界面处存在较大的应力，也可能导致位错的产生。例如，在制造双极型集成电路时，在生长外延层前的埋层铟扩散，由于表面浓度接近  $10^{20} \text{ cm}^{-3}$ ，并且铟原子比硅原子大很多，经分析表明，扩铟后生长的外延层有大量位错。在高温下，在硅片表面生长  $\text{SiO}_2$  掩模，因为  $\text{SiO}_2$  的热膨胀系数比  $\text{Si}$  小很多倍，高温氧化降温时会使硅表面被  $\text{SiO}_2$  牵制而处于拉伸状态，在  $\text{Si}$  表面引起应力，特别是在掩模的光刻窗口边缘将由于应力集中发生滑移，使位错大量增殖。这种现象与磷扩散相结合时尤为突出。

在半导体器件工艺中，位错的影响是很大的，这主要表现在以下几个方面：

**吸引点缺陷** 正如前面所述，位错是一种线状的高应力区，有吸引杂质原子、间隙  $\text{Si}$  和空位的能力。这种吸引又表现出有两方面的作用。一方面，位错吸引杂质的作用，使重金属杂质很容易沿位错线沉积。这种沉积若发生在  $\text{pn}$  结区，将使漏电流增加， $\text{pn}$  结特性变软，这是我们所不希望的。但另一方面，杂质的沉积和空位的成团，往是造成微缺陷、外延层错和氧化层错等缺陷的核心。位错对杂质原子和空位的吸收作用，有助于减少这些缺陷的产

生。所以,在单晶材料中,认为存在少量的均匀分布的位错,对器件制作工艺质量不会带来有害的影响,反而起到“清洁工”的作用,可以改善非位错区 pn 结的性能。人们利用这种吸除作用,在半导体器件制造工艺中,人为地控制在特定区域内,引入适量位错,以吸收硅中杂质和缺陷。这就是所谓杂质吸除技术。

杂质吸除可以分为本征吸除和非本征吸除。非本征吸除就是对硅片施以外来加工进行吸除的方法。其中包括在片子背面用扩散或离子注入引入杂质;用淀积方法生长异质薄膜;用喷砂、划伤、研磨引入机械损伤,等等。下面就其中的一些方法作些简要的介绍。

**扩散法** 这种方法是在硅片正面用氧化层保护下,在硅片背面扩入磷、硼等杂质,利用杂质原子与硅原子半径不同,在高浓度替位式掺杂下,产生大量失配位错达到吸除杂质的作用。据观察发现,在距背面几  $\mu\text{m}$  范围内引入密度很高的失配位错,其吸除范围可达  $400\mu\text{m}$  左右。

这种方法,在氧化前进行,不仅可以吸除硅中原来固有的层错核化中心,而且可以吸除加工过程中引入的核化中心。只要保留这一吸除源,在随后的一系列高温加工过程中,仍然有吸除作用。

**离子注入法**<sup>[4]</sup> 它又叫离子背面轰击工艺,即在硅片背面,把高剂量的高能离子注入到距表面一定深度范围中,使该薄层内产生大量晶格损伤缺陷,然后再在高温下退火,造成大量失配位错,达到吸除杂质的作用。据报导,吸除作用的范围可达  $550\mu\text{m}$  左右。

**淀积  $\text{Si}_3\text{N}_4$  薄膜法**<sup>[5]</sup> 又称作异质吸收工艺,常在硅片去除机械损伤后,用低温溅射或 OVD 等方法在硅片背面淀积约数千埃的  $\text{Si}_3\text{N}_4$  膜,然后在  $1000\sim 1200^\circ\text{C}$  的温度范围内,置于  $\text{N}_2+1\%\text{O}_2$  或氩气氛中退火  $1\sim 4\text{h}$ ,利用  $\text{Si}_3\text{N}_4$  与硅具有不同的膨胀系数( $\text{Si}$  为  $2.5\times 10^{-6}/^\circ\text{C}$ ,  $\text{Si}_3\text{N}_4$  为  $2.75\times 10^{-6}/^\circ\text{C}$ ),在  $\text{Si}-\text{Si}_3\text{N}_4$  界面产生很强的应力,使硅片背面产生大量“失配位错”,达到吸除杂质的目的。据分析发现,此法对 Au、Cu 等杂质的吸除很有效。

**淀积掺杂玻璃层法** 它又称为玻璃吸除工艺。它的方法是在氧化前,在硅片背面淀积一层 PSG 或 BSG,然后在高温下造成高浓度的杂质扩散,使背面表面产生高密度的“失配位错”,利用这些失配位错将各种重金属杂质吸收过来,使正面 pn 结等有关区域内的位错等缺陷成为“干净的”,对器件性能不产生有害的影响。对于 PSG,还有固定  $\text{SiO}_2$  层中的  $\text{Na}^+$  和阻挡  $\text{Na}^+$  进入  $\text{SiO}_2$  层中的作用。

从上述不难看出,杂质吸除作用,主要是在硅片背面有控制地引入晶格缺陷。所以,在背面引入机械损伤亦能起到吸除作用。背面抛砂工艺就是根据这一原理,在器件高温加工基本完毕时,对背面进行抛砂(或喷砂)造成背面有严重损伤,再在高温下退火,将重金属杂质吸收到所产生的“失配位错”中来,达到提高器件性能和成品率的目的。但不容易在高温处理中引入可控制的位错数量。

本征吸除技术是近几年才提出来的。它的基本原理是用含氧量较高的直拉硅单晶片,在高温下(如  $1000\sim 1100^\circ\text{C}$ )长时间热处理,使硅片内部析出氧化硅( $\text{SiO}_x$ ,  $x\approx 2$ ),以及由于体积膨胀引起晶格畸变,产生大量微缺陷和位错。而在表面层,氧由于热扩散逸出硅片外,形成无氧层。于是硅片内部产生的缺陷,就可以对硅片表面施以吸除作用。这是一种原位吸除,故称它为“本征吸除”。

必须指出,本征吸除虽有吸杂的作用,但含氧量过高毕竟有其不利的一面,必须严格控制并掌握好工艺条件,以免适得其反。

**加速杂质原子的扩散** 由于位错有吸收空位的作用,使位错线周围的空位浓度增加;杂质容易沿位错线沉积,使位错线周围的局部区域杂质浓度增高;位错处的原子排列存在畸变,使得杂质原子沿位错线扩散的激活能降低。这些给以替位式扩散的杂质,特别是高浓度的磷扩散提供了有利条件,从而造成沿位错线的扩散速度较快,起着增强扩散的作用,导致扩散杂质分布不均,pn 结结面不平整。在浅结的条件下,还容易形成发射区和集电区的  $n^+$  管道。

此外研究指出,硅中的刃型位错是属于受主态。根据估计,它的受主密度与通常的掺杂浓度相比是不大的,并且是属深能级。因此对电阻率的贡献不明显。但是,它起着复合中心和散射中心的作用,对少数载流子寿命和迁移率有着较大的影响,并且由于电阻率的局部涨落增加了晶体管的噪声。

位错的作用有它的两面性,但位错终究是一种晶格缺陷,它的不良影响总是存在的,因此位错密度太大是不允许的。原因在于器件加工工艺过程中还可能诱生出大量的位错等缺陷,在数量上可能比单晶中原生缺陷多得多。所以,一方面在器件工艺过程中要严格控制诱生位错等缺陷的产生;另一方面,要求用无位错或低位错的单晶来制作,特别是对大面积器件更是如此。

(2) 微缺陷 晶体中微缺陷乃是在线度上大于点缺陷(空位和间隙原子),而又小于位错、层错这类线缺陷和面缺陷的一种缺陷。微缺陷的构成有各种不同的说法,如空位团、杂质空位团复合体、杂质原子团、微沉积和夹杂等。归纳起来,可以分为杂质微缺陷和结构微缺陷两类。但它们之间又不是截然分开,而是往往相互交错在一起的。下面介绍一种所谓空位团模型。

空位团模型是这样的,在一定温度下,存在一定数量的间隙原子和空位,统称为热缺陷。由于形成硅间隙原子需要较大的能量,所以主要的热缺陷是空位。

理论上估计,在  $1420^{\circ}\text{C}$  的拉晶温度下,空位浓度约为  $1.2 \times 10^{18} \sim 9 \times 10^{15} \text{ cm}^{-3}$ 。当晶体冷却时,将产生空位过饱和。过剩的空位,一部分将扩散到晶体表面,或借助于位错向晶体表面攀移而消失。如果是无位错单晶,过剩的空位就只能通过向表面扩散而减少,但需要很长的时间。所以,从熔体中生长的无位错硅单晶,在冷却过程中空位的过饱和是很严重的。它们一群群地聚集起来,形成空位团,其数量大于几十万以上,线度约为  $1 \mu\text{m}$  左右,通常就称它为微缺陷。在一般真空或氩气气氛中的直拉无位错硅单晶,微缺陷密度可高达  $10^7 \text{ cm}^{-3}$ 。

根据目前实验结果,认为形成空位团的核是硅单晶中的氧和碳。因为碳的分凝系数约为 0.07,分凝现象极为明显,于是在晶体生长过程中形成碳的花纹分布,并且碳在硅中处于替代位置。它的原子半径比硅小,引起晶格收缩畸变,然后氧向此晶格畸变区域聚集,并处于间隙位置。于是硅单晶中的空位通过扩散与氧、碳结合成为复合体。在晶体冷却过程中,过饱和空位就以此复合体为核心进一步凝聚成空位团,并按碳的分凝花纹分布。这种碳、氧和空位的凝聚体就是微缺陷。另外,金属杂质也极易在此聚集。所以,也有的把氧、碳、金属杂质和空位的复合物,称为微缺陷。

后来,有人提出另外的模型,例如硅自间隙式非本征位错环形成理论模型。此模型认为,由于微缺陷是熔融硅在凝固时形成的,而在接近熔点温度的平衡条件下硅自间隙原子是占优势的点缺陷,它为硅自间隙式本征位错环的形成提供了条件。当然,也有可能出现空位



型位错环,但可能性相对地小得多。

单晶片中存在微缺陷,在外延和热氧化过程中会转化为层错。层错也会引起重金属杂质的沉积和增强扩散。另外,微缺陷也能引吸其他杂质(尤其是重金属杂质)而成为电活性的中心。在结的附近不仅影响少数载流子寿命,而且会使结的反向漏电流增加。对于MOS器件,存在于Si-SiO<sub>2</sub>界面附近的微缺陷,还会引起载流子散射,迁移率下降,使MOS器件的击穿电压、跨导及工作频率降低。

所以,减少硅单晶中氧和碳的含量,以减少微缺陷的成核中心;改进拉晶工艺以阻止微缺陷的运动和生长等措施,从而减少微缺陷的密度,对制作性能优良的器件是极为重要的。

(3) 重金属杂质 它是对半导体器件影响最大的一类杂质,包括Au、Cu、Fe、Ni等金属元素。它们的共同特点是在半导体中的行为比较复杂。例如,Si中的Au,由于Au原子最外层只有一个价电子,在Si里面拿不出那么多电子去同Si原子共有,因而只有一部分成为替位式杂质,另一部分是处于Si原子的间隙里,成为间隙式杂质。这些间隙式杂质可以释放出一个价电子,而成为带正电荷的金离子,起施主作用(相当于施主能级 $E_{i_s}$ )。它也可以得到一个电子,成为带负电荷的金离子 $Au^-$ ,起受主作用(相当于受主能级 $E_{i_a}$ ),如图1-6所示。

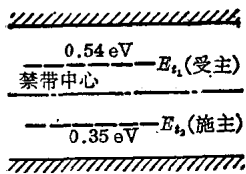


图1-6 金在硅中的杂质能级图

但是,两个能级并不是同时起作用的。在p型Si中,电子很缺,金就施放出它的价电子而成为 $Au^+$ ,施主能级 $E_{i_s}$ 起主要作用;在n型Si中,电子很多,金就容易接受电子而成为 $Au^-$ ,受主能级 $E_{i_a}$ 起主要作用。

这两个能级对寿命的影响也不同。在p型Si中,金对寿命的影响,主要取决于 $E_{i_s}$ 俘获少数载流子电子的能力;在n型Si中,金对寿命的影响,主要取决于 $E_{i_a}$ 俘获少数载流子空穴的能力。 $E_{i_s}$ 对空穴的俘获能力与 $E_{i_a}$ 对电子的俘获能力是不同的。前者大约要比后者大一倍左右。所以在掺入相同数量金的情况下,对寿命有不同的影响,即n型Si的少数载流子寿命要比p型Si降低得更多些。

在Ge中的Au,也有同在Si中的Au相类似的情况,而且还显得更复杂些。

同Au一样,Cu、Fe、Ni等重金属杂质,在Si、Ge中也具有处于禁带中的多重深能级,可以提供载流子而影响电导率,也可以起复合中心作用而影响少数载流子的寿命。

这些重金属杂质对半导体器件的严重影响,还在于与位错等缺陷的结合。前面已经讲过,位错有吸收杂质的作用。而另一方面,这些重金属杂质在Si、Ge中又是主要以间隙式进行扩散,具有很高的扩散系数,与一般以替位扩散的III、V族元素硼、磷等相比,扩散系数大五、六个数量级,即使温度低达500~700°C,也能迅速扩散。同时,它们的溶解度一般很小,并且随温度的变化极大。例如,铜在1200°C时的溶解度相当于室温附近的一千万倍,这样,极少量重金属杂质的沾污,在降温过程中也会导致过饱和。这两个重要的物理性质为重金属杂质沿位错线的沉积提供了有利条件。

重金属在位错线中的沉积,一般是沿位错线形成分散的微粒。当这些有杂质沉积的位错线穿过pn结区时,在它的周围,会造成电场的局部集中,以致在该处首先产生雪崩击穿,在低于pn结的正常击穿电压下出现击穿点。由于pn结中各沉积微粒处的电场集中程度不同,相应的预击穿电压大小也不同,则局部击穿点可以是一个一个地或一批一批地击穿。每出现一个或一批预击穿时,即倍增出大量的电子-空穴。在雪崩倍增的同时,又将发生高