

高等学校教材

数据域测试及仪器

张世箕 陈光祜 编

电子工业出版社

内 容 提 要

数据域测试与传统的时域测试和频域测试不同,是测试技术中一个新的测试领域。本书共七章,阐述了组合逻辑、时序逻辑和微机系统的测试方法以及数字系统的计算机辅助测试(CAT),并对可测性设计作了深入地分析,最后介绍了特征分析仪、逻辑分析仪等各种数据域测试仪器的工作原理和应用。

本书具有较强的理论性和实用性,且反映了学科的最新进展。它适用于仪表与测量、计算机、自动控制、无线电技术、通信与系统以及信号与电路等学科的大学本科生和研究生,对于从事数字系统的工程技术人员亦有参考价值。

数据域测试及仪器

张世箕 陈光福 编

责任编辑 魏永昌

*

电子工业出版社出版(北京市万寿路)

新华书店北京发行所发行 各地新华书店经售

北京市通县向阳印刷厂印刷

开本: 787×1092毫米1/16印张: 19.625 字数: 515千字

1990年7月第1版 1990年7月第1次印刷

印数: 0001—1700册 定价: 4.10元

ISBN7-5053-0872-6/TN·313

出版说明

根据国务院关于高等学校教材工作分工的规定，我部承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力，有关出版社的紧密配合，从1987年至1985年，已编审、出版了两轮教材，正在陆续供给高等学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要，贯彻“努力提高教材质量，逐步实现教材多样化，增加不同品种、不同层次、不同学术观点、不同风格、不同改革试验的教材”的精神，我部所属的七个高等学校教材编审委员会和两个中等专业学校教材编审委员会，在总结前两轮教材工作的基础上，结合教育形势的发展和教学改革的需要，制订了1986~1990年的“七五”(第三轮)教材编审出版规划。列入规划的教材、实验教材、教学参考书等近400种选题。这批教材的评选推荐和编写工作由各编委会直接组织进行。

这批教材的书稿，是从通过教学实践、师生反映较好的讲义中经院校推荐，由编审委员会(小组)评选择优产生出来的。广大编审者，各编审委员会和有关出版社为保证教材的出版和提高教材的质量，作出了不懈的努力。

限于水平和经验，这批教材的编审、出版工作还会有缺点和不足之处，希望使用教材的单位，广大教师和同学积极提出批评建议，共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系按电子工业部的工科电子类专业教材1986—1990年编审出版规划,由无线电技术与信息系统教材编审委员会仪表与测量编审小组征稿、评选、推荐出版。责任编委为蒋焕文教授。

本教材由电子科技大学(原成都电讯工程学院)自动化系张世箕和陈光禔编写,北方交通大学蒋焕文教授担任主审。

数据域测试与传统的时域测试和频域测试不同,是一个新的测试领域。本课程的参考学时数为68学时。该书主要内容可分为三部分。

第一部分讲述数据域测试的基本概念和目前使用的主要方法,它包括第一章至第五章。第一章阐述数字系统测试的重要性及数据域测试的基本任务和基本方法。第二章在结构性的电路敏化分析的基础上,着重阐述了D算法、扩展D算法、布尔差分法和等效范式法等组合逻辑电路中最常使用的测试方法。第三章时序逻辑电路测试阐述了结构性的连接电路法和功能性的状态变迁检查法,同时简要介绍了有关时滞测试问题。第四章微机系统的测试重点阐述存储器的测试和微处理器的测试;对于系统的测试,介绍了一种利用被测系统的应用程序来进行测试的方法。第五章介绍数据域测试的计算机辅助实现问题,作为例子,简要地介绍了D算法程序、扩展D算法程序和微处理器测试产生程序。这有助于对数据域测试形成更加完整的概念。

第二部分篇幅不大,仅包括第六章的内容,但它提出了一个现代数字系统以及超大规模集成电路(VLSI)设计中必须考虑的可测性设计问题,这对设计、制造出高质量的数字系统是至关重要的。本章重点阐述了可测性测度的概念、定义和计算方法以及提高可测性测度的设计原理。

第三部分讨论数据域测试仪器,它是各种数字系统硬件和软件开发、分析和测试所必不可少的工具。本章重点阐述了节点测试器、总线分析仪和开发系统三大类仪器的工作原理和应用。

本教材具有较强的理论性和实用性,且反映了学科的最新进展。它适用于仪表与测量、计算机、自动控制、通信与系统以及信号与电路等学科的大学生和研究生,对于从事数字系统的工程技术人员亦是一本有用的参考书。

为适应科学发展的需要,张世箕于1981年即编写了“数据域测试”的油印讲义,并在电子科技大学连续对历届测量专业本科生和相关学科的研究生讲授本课程。积编者多年在该课程讲授中的体会,1987年由陈光禔执笔对原讲义作了删节和增补,将其归并为本书的前四章。后三章是在总结编者在该领域的部分科研成果并参考国内外有关文献资料的基础上形成的。现在奉献给读者的这本书已是第三次修订稿,由陈光禔统编全稿,最后由张世箕定稿。仪表与测量编审小组的全体编委对本教材提出了许多宝贵意见和建议;主审蒋焕文教授认真审阅了全稿,为提高本书质量付出了辛勤劳动;本校教务处和自动化系领导以及测量专业的老师都给本书的出版以关心和支持;硕士研究生杨洁、俞卫中、石秀明、谭钧和博士研究生李为民

为书稿的抄写描图和校稿付出劳动尤多，谨此对他们表示深切的谢忱。

由于编者水平有限，书中难免存在缺点乃至错误，殷切希望广大读者批评指正。有关本书意见请寄四川省成都市83信箱(邮政编码610054)：电子科技大学自动化系转编者，不胜感谢！

编者 1989年12月于电子科大

目 录

绪论	(1)
第一节 测试的新领域	(1)
第二节 数据域测试的基本方法	(2)
第三节 计算机辅助测试	(3)
第四节 可测性和内测试	(4)
第五节 数据域测试仪器	(5)
参考文献	(5)
第一章 数据域测试的基本概念	(7)
第一节 数字系统及其测试	(7)
一、数字系统测试的必要性和复杂性	(7)
二、故障与测试	(10)
三、测试矢量的产生	(14)
四、测试响应的观察	(15)
五、复杂系统的测试	(15)
第二节 穷举测试法	(16)
一、单输出无扇出电路	(16)
二、带汇聚扇出的单输出电路	(20)
三、各输出不依赖于全部输入的多输出电路	(22)
第三节 故障表方法	(23)
一、固定式列表计划侦查	(23)
二、固定计划定位	(25)
三、适应性计划侦查和定位	(28)
本章习题	(34)
第二章 组合逻辑电路的测试	(36)
第一节 通路敏化	(36)
一、敏化通路	(36)
二、通路敏化法	(37)
三、一维敏化的问题	(40)
四、树形电路	(41)
五、二维敏化	(41)
第二节 d算法	(43)
一、d算法的基础知识	(43)
二、d算法的基本步骤	(46)
三、d算法举例	(47)
第三节 扩展d算法	(52)

一、基本概念	(53)
二、扩展d算法	(60)
三、举例	(62)
第四节 布尔差分法	(65)
一、基本概念	(65)
二、布尔差分及其运算特点	(67)
三、求布尔差分的方法	(68)
四、单故障的测试	(71)
五、多重故障的测试	(74)
六、产生测试的算法	(76)
第五节 等效范式(ENF)法	(80)
一、等效范式	(80)
二、文字变量的敏化和测试的寻求	(82)
三、ENF法的特点	(82)
四、寻求最理想测试集的启发式方法	(84)
本章习题	(88)
第三章 时序逻辑电路的测试	(91)
第一节 选接电路法	(91)
一、基本思想	(91)
二、故障的侦查	(92)
三、故障的定位	(98)
第二节 状态变迁检查法	(100)
一、初始状态的识别和区分序列	(101)
二、终止状态识别以及复原和同步序列	(107)
三、用状态识别法来识别机器	(110)
四、状态变迁检查法	(112)
第三节 逻辑电路的时滞测试	(118)
一、时滞测试的基本概念	(118)
二、时滞测试的实现方法	(120)
本章习题	(121)
第四章 微机系统的测试	(127)
第一节 存贮器的测试	(127)
一、RAM中的故障类型	(128)
二、测试的若干原则性考虑	(129)
三、存贮器测试方法	(130)
四、方法的比较	(136)
五、测试的实施	(136)
第二节 微处理器的测试	(140)
一、裸 μ P的测试	(142)
二、裸 μ P的算法产生测试	(143)
三、裸 μ P的功能性测试的一般方法	(146)

第三节 利用被测系统的应用程序进行测试	(151)
一、基本概念	(151)
二、应用程序的模型化	(153)
三、关系图	(155)
四、测试的组织	(157)
五、通路测试的算法	(159)
第四节 利用总线观察进行测试	(164)
本章习题	(165)
第五章 数字系统的计算机辅助测试	(166)
第一节 计算机辅助测试的基本概念	(166)
一、概述	(166)
二、CAT的结构模型	(167)
三、测试算法	(167)
四、逻辑和功能描述语言	(168)
五、数据库	(169)
六、输出	(169)
第二节 <i>d</i> 算法程序	(169)
一、DALG-II 程序	(169)
二、实用中的具体问题	(173)
第三节 扩展 <i>d</i> 算法程序	(175)
一、系统结构	(175)
二、LISP语言的特点	(176)
三、SXMS测试码自动生成系统	(179)
四、SXMDIAG故障测试系统	(184)
五、应用举例	(185)
第四节 微处理器测试产生程序	(186)
一、基本思想	(187)
二、RTL语言简介	(188)
三、测试码的生成	(190)
四、实例	(197)
本章习题	(196)
第六章 可测性设计	(197)
第一节 可测性的测度	(198)
一、基本定义	(198)
二、标准单元的可测性分析	(200)
三、可控性和可观测性的计算	(203)
第二节 可测性设计方法	(206)
一、可测性的改善设计	(206)
二、结构可测性设计	(208)
三、其他可测性设计简介	(213)
第三节 组合电路的异或门串联结构	(215)

一、Reed-Muller展开式	(215)
二、异或门串联电路结构测试分析	(216)
第四节 内测试设计	(218)
一、多位线性反馈移位寄存器	(219)
二、伪随机数发生器	(220)
三、特征分析器	(222)
四、内测试电路设计	(224)
本章习题	(226)
第七章 数据域测试仪器	(228)
第一节 简易逻辑测试仪	(228)
一、逻辑笔	(228)
二、逻辑脉冲发生器	(229)
三、电流故障检寻器	(230)
第二节 特征分析仪	(232)
一、特征分析仪的基本原理	(233)
二、特征分析仪的故障侦出率	(233)
三、特征分析仪的基本结构	(237)
四、特征分析仪的工作	(237)
五、“特征”设计	(243)
第三节 逻辑分析仪	(244)
一、逻辑分析仪的特点及其主要技术指标	(245)
二、逻辑分析仪的基本结构	(246)
三、数据捕获	(246)
四、数据显示	(256)
五、应用	(260)
第四节 GP-IB 母线分析仪	(270)
一、概述	(270)
二、母线分析仪的作用和功能	(270)
三、母线分析仪的内部组织	(275)
四、国产母线分析仪举例	(275)
第五节 开发系统	(278)
一、概述	(278)
二、开发系统的功能和基本结构	(278)
三、仿真器	(280)
四、简易开发系统	(289)
五、通用开发系统	(291)
六、HP64000逻辑开发系统简介	(298)
本章习题	(300)
参考文献	(301)

绪 论

第一节 测试的新领域

电子世界正在兴起一场深刻的革命, 这个革命以大规模集成 (LSI) 电路和微处理器系统 (μ P系统) 为标志, 近来又发展了甚大规模集成 (VLSI) 电路。许多传统的理论、方法和技术正在为之改观。在测试技术中也相应地开拓出一个新领域, 即所谓数据域测试, 与传统的时域测试和频域测试鼎足而三。

时域和频域方法是电路和系统的传统分析方法和测试方法, 对于模拟式电路和系统是久经考验而行之有效的; 但对于复杂的数字式电路和系统却未必能奏效, 甚至会完全无能为力。

在一个模拟电路中, 某一点上所发生的事件, 一般会立即 (只有有限的延时) 在其输出端反映出来。数字系统则不然, 某一点上所发生的事件, 往往在经过若干个或很多个内部工作循环周期之后, 才会在另一点或输出点上有所表现; 或者, 甚至可能毫无表现。另一方面, 数字系统中不同的内部事件, 也有可能产生同样的外部或终端效果。加之, 在数字集成电路中, 特别是LSI和VLSI中, 内部电路规模庞大、十分复杂, 而外部可观测点 (引脚) 则甚少; 常常不得不依靠在少数外部测试点上所得的有限结果去推断电路内部所发生的复杂过程。此外, 在数字系统中, 除了会由于硬件故障而引起外部信息错乱之外, 还可能由于软件的问题而导致异常输出。凡此种种因素, 都给数字系统的测试和分析带来重大困难, 也因此形成了数字系统与模拟系统测试分析的重大差别。为此, 不论在数字系统及其组件、元件的设计、研制、生产、调试乃至运行、应用、维护或修理等各项工作中, 都迫切要求提供全新的、适当的测试和分析方法, 以及相应的测试设备。

数字系统所处理的是一些脉冲序列, 多为二进制信息, 通常一般化地称之为“数据”; 因此, 有关的测试分析也就称为数据域测试分析。

如果说, 在时域和频域分析中, 我们要掌握的是某个变量 V 与自变量时间 t 或角频率 ω 之间的关系 $f(V, t)$ 或 $g(V, \omega)$, 那么在数据域测试分析中所要掌握的, 则是某个信息 (在计算机科学中常称为一个“字”) W 与一个事件 (或事件序列) e 之间的关系 $h(W, e)$ 。如所知, $f(V, t)$ 与 $g(V, \omega)$ 之间是一对傅里叶变换关系; 但它们与 $h(W, e)$ 之间, 则并无类似的关系。

数据域测试的历史, 其渊源虽可上溯到本世纪五十年代初期或更早, 而其真正的发轫则可认为是始于六十年代初期对电子计算机的诊断工作。事实上, 所谓数据域测试就是对数字逻辑电路和系统进行故障侦查、定位和诊断。

随着数字系统和计算机技术应用的日益普及, 数字系统和计算机本身也日益庞大复杂, 其维护、检修问题日益严重, 这就更加促进数据域测试的发展。特别是在一些实时控制的联机应用中, 诸如航天、航空的飞行控制, 武器系统的管理和控制, 化学过程和核反应堆的管理和控制, 等等, 其中所用的数字系统和计算机的任何故障或失误, 都将会导致奇灾大祸。

为了保证充分的可靠性,数字电路和系统设计(包括计算机,它也是一种数字系统)中产生了一个新分支,即所谓容错技术。容错技术的两个主要方面,即冗余技术和自修复技术,都与数据域测试密切相关。不言而喻,要能作到自修复,当然首先应能自动诊断出故障及其发生的部位。至于冗余技术,这是用冗余电路来遮掩故障所造成的不良效果,事实上只不过是推迟灾难性损坏出现的时间;在长时间后,大量故障积累起来,最后总是遮掩不住而表现为重大事故。因此,在使用冗余技术的系统中,在其工作的某些间歇时间内作适时的快速诊断和修复,仍是至关重要的。

然而,实际的数字电路中并非一切故障都是可测的,特别是冗余电路中的某些故障一般是不可测的(参阅本书第一章第一节的第二段)。为此,曾提出过许多巧妙地应用冗余技术的方法,把电路设计成这样:使得在测试时,冗余电路变为非冗余的,从而达到了可测性。此外,有些电路虽然可测,但由于所需测试的工作量大得如此惊人,以致实际上无法完成测试。例如,一个简单的32位加法器,它有两组32位的输入端以及1个进位输入端,即总共有65条输入线;如作穷举测试,则需作 2^{65} 个测试;即使能在1纳秒内完成一个测试,也需1170年才能作完。这样一来,数据域测试就又与数字系统的可测性设计和可靠性设计紧密结合起来了,并由此而发展了数据域测试中的所谓内测试或自测试技术。

从以上所述不难看出数据域测试的意义极端重大,其内容十分广泛丰富,而其实施则有时非常艰难。在跨进七十年代时,随着LSI电路的发展,数据域测试也就更加蓬勃发展,其势异常迅猛。有关的理论、方法、技术和设备,如雨后春笋层出不穷,至今方兴未艾。它们对电子世界当前的革命,起着日益重要的作用,前途不可限量。

第二节 数据域测试的基本方法

本书的第一章首先阐明数据域测试中的一些基本概念。

要对一个数字电路作出完备的测试,最显然的方法无疑是穷举测试法,即是把任何可能的输入组合加于被测系统,看是否得到应有的输出结果。拿正常电路的真值表同有某种故障的电路的实际真值表相比较,即可求得完备的测试集。本书第一章阐明了这些经典测试的方法,并指出其实施的困难。

第二章阐述有关组合逻辑电路的一些较为实际可行的测试方法,包括(1)利用拓扑方法寻求测试的敏化通路法,以及其实施的D算法和扩展(九值)D算法;(2)利用分析方法寻求敏化通路的布尔差分法;(3)利用拓扑和分析相结合的等效范式法。

第三章阐述对时序逻辑电路的测试,包括主要借鉴于组合电路测试的所谓迭接电路法,以及以有限自动机的状态识别为基础的状态变迁检查法。最后还阐述对时滞故障的测试,时滞故障是时序逻辑系统所特有的一类故障。

第四章阐述微处理器系统的测试。这类系统一般由LSI电路组成。由于LSI电路的结构太过于复杂,而且用户一般也不了解其细节,所以前面所述的结构性测试就无所施其技。本章所述的测试是属于子系统级的功能性测试,包括对RAM的测试和对裸 μ P的测试。最后阐述利用被测系统自身的应用程序来对系统进行测试的方法,这类方法只对该系统的应用所涉及的功能进行测试,至于用不着的一些功能则置之不理;这类测试显然远非完备,但却十分实用,就实际应用而言,测试是完备的。

第三节 计算机辅助测试

在实际的数据域测试中,工作量大都十分巨大,远非人工所能胜任,不得不利用计算机来辅助测试,即所谓CAT。本书第五章阐述有关CAT方面的问题。

自从1950年左右第一台数字式电子计算机出现后不久,就陆续研究出利用特殊的计算机程序去检查计算机本身是否工作正常的一些办法。最早的一些诊断程序是考验计算机的功能,而不是检查计算机硬件。具体的方法随计算机而异,而且所得结论也不一定总是有把握的。真正利用计算机去检查硬件故障的研究,可以认为是Eldred在1959年开始的^[1]。在1964至1966年间主要是由于Roth的工作,才建立了有普遍意义的D算法(见本书第二章第二节),并用APL语言写出了D算法的一个解释性执行程序FALTGEN^[2],接着在1967年又改进成为DALG-Ⅰ程序^[3]。到了1973年又研制出至少16种CAT程序,如表0.3.1所列^[4]。其后,Goel又在D算法的基础上作了重大的改进,于1981年给出了一个PODEM程序^[6, 7]。

原来的DALG-Ⅰ对于4000个门以下的电平敏感扫描设计(LSSD,见第六章第二节)电路是相当有效的,用速度为每秒二百万条指令(2MIPS)的计算机,在几个小时之内能测试出90%的呆滞型故障。对于规模更大的电路,DALG-Ⅰ由于所需时间过长而变得不实用了。PODEM引入了一些新概念,简化并加速了判决和重试过程,在5MIPS的计算机上约用10小时可测试40000个门的LSSD VLSI电路^[7]。本书第五章第二节重点介绍了DALG-Ⅰ和PODEM程序。

表0.3.1

CAT程序代名	研制单位
D-LASAR	Digitest Inc.
FAIRSIMⅡ/FAIRGEN	Fairchild
TESTGEN/COMTEST	Westinghouse
FAULTS Ⅱ	General Dynamics
SALT	IBM
LASAR Ⅱ	LTV
TGEN	RCA
TESTAID	Telpar
TASC	Pacific Applied Systems
FLASH	Micro Inc.
SATGEN	Hughes Aircraft
ATVG	GE
FAS/SDAP	Honeywell
LOGOS	Grumman
TGAS	U.S.Navy
SEQUENTIAL ANALYSER	Bell Labs

这里附带指出,1983年又出现了一个FAN程序^[8],它是PODEM的一种改进。PODEM是在各主输入点作判决和重试的,而FAN则是在各扇出点和出头线上作判决和重试,从而大大提高了测试效率。对5种电路的测试表明,FAN平均比PODEM快3.4倍,所需重试判决的数目约仅为PODEM的1/20。如果对于更多不同类型的被测电路都能保持这样的优势,那

么FAN就是很有价值的。另外,在1983年还出现了一种下标D算法^[9,10],它能同时敏化多条通道,从而可以比标准D算法少产生一些测试矢量;不过尚未见在VLSI电路上拿它与PODEM和FAN作过比较。

把人的学识、智慧和经验同计算机结合起来,构成具有人工智能的专家系统,这是数据域测试发展的重要新方向之一。这方面的工作才刚刚起步,前途大有希望。本书第五章第三节介绍了电子科技大学新近在IBM PC上作出的一个初步的专家系统,它采用LISP语言,并以扩展(九值)D算法为基础。另外,读者还可以参考文献^{[11][12]},从中可获得不少颇有意味的启迪。

本书第五章最后介绍了利用寄存器传输语言(RTL)对 μ P进行的CAT。关于这类使用硬件描述语言(HDL)的CAT,有兴趣的读者还可以参考文献^[13~15]。

第四节 可测性和内测试

在绪论的第一节中,我们已谈论到数字电路的可测性和内测试,这是VLSI电路设计和测试发展的必然趋势之一。因此,本书在第六章专门讨论这一论题,其目的并不在于可测性设计本身,而是想借此向读者展示可测性设计与数据域测试的紧密联系。

第六章第一节首先阐明可测性的概念及其测度。

在第三章第一节中曾经讨论过测试时序电路的迭接电路法,这种迭接电路模型仅适用于300个门以下的电路。当电路的规模更大、反馈路径更多时,测试就不可能在合理的时间内完成。这种测试上的困难,事实上就是数字电路(特别是VLSI电路)的各种扫描通道设计法发展的主要原因。第六章第二节就此问题作了扼要的阐述。在文献^[16,17]中可以找到更多的资料。

第六章第三节阐述Reddy提出的设计方法^[19],它以Reed-Muller展式为基础^[20,21]。这种设计对测试特别有利,其完备测试集非常小,仅需 $(n+4+2n_e)$ 个测试矢量,其中 n 是电路的主输入变量的数目, n_e 是接入偶数个“与”门的主输入端的数目。显然,这样小的完备测试集极有利于实现内测试。这种电路设计的主要缺点是所用逻辑级的级数可能过多。为此,Reddy又提出了另一种设计法^[22],它最多只使用三级“与-或”门。此外,Saluja和Reddy还描述过一种以Reed-Muller范式为基础的二级“与-异或”单元逻辑阵列,这种阵列能实现任何开关函数,并可以只用 $(2n+5)$ 个测试来测出单个有故障的阵列单元^[23]。对这方面有兴趣的读者,可阅读原始文献^[22,23]。

第六章第四节扼要地介绍了Koeneman等在1979年提出的内建逻辑块观测(BILBO)技术^[24]。这种技术主要是利用电路内含的线性反馈移位寄存器(LFSR)产生伪随机测试样式,又用LFSR作信号特征分析,从而达到自测试的目的。不过BILBO技术却不适用于PLA的测试。PLA的特点是逻辑门的扇入非常多。例如一个PLA中的一个“与”门可能有20个输入端,一条输入线呆滞于1的故障的侦出率为 $1/2^{20} \approx 1 \times 10^{-6}$;如果用BILBO技术产生1000个测试样式,则故障的侦出率只约为1/1000,这显然是不行的。关于易测PLA的设计问题,可阅读文献^[25]。

限于篇幅,第六章不可能对可测性设计和内测试问题作全面的介绍,读者在文献^{[18]、[26]}中可以找到大量的资料。

第五节 数据域测试仪器

从以上所述可见,较完备的数据域测试常常都得依赖于CAT。然而,另一方面,在实际中也常常希望能用较简单而价廉的工具来作远非完备的测试,依靠测试者的智慧,来判明数字系统是否工作正常,或诊断出某些故障。这种办法尤其适于数字系统的日常维护和现场检修工作。

本书第七章着重介绍了几种在实验室常见的通用测试仪器,从最简单的逻辑笔到复杂的逻辑分析仪。这些仪器,如果运用得当,也可以解决很多实际的数据域测试问题。

微处理器开发系统本来是作CAD用的,但也可以利用它来对设计出来的系统进行CAT,因此第七章也包括了这方面的内容。

至于专业用的各种形式的庞大复杂的电路板测试系统和IC测试系统,则在此不作论述。有兴趣的读者可参考文献^[18]的第6章和第7章。

参 考 文 献

- [1] R.D.Eldred, Test Routines Based on Symbolic Logic Statements, *J.ACM*, 6, No.1, 33~38, 1959.
- [2] J.P.Roth, Diagnosis of Automata Failures, A Calculus and A Method, *IBM J.R & D*, 10, 278~291, 1966.
- [3] J.P.Roth, W.G.Bouricius, P.R.Schneider, Programmed Algorithms to Compute Tests to Detect and Distinguish Between Failures in Logic Circuits, *IEEE Trans.*, EC-16, No 5, 567~579, 1967
- [4] J.R. Greenbaum, Computer-Aided Fault Analysis—Today, Tomorrow, or Never?, 96~111 in [5], 1974.
- [5] R. Saeks, S.R. Liberty (Ed.), Rational Fault Analysis, Marcel Dekker, Inc., New York, 1974.
- [6] P.Goel, An Implicit Enumeration Algorithm to Generate Tests for Combinational Logic Circuits, *IEEE Trans.*, C-30, 215~222, 1981.
- [7] P.Goel, B.Rosales, PODEM-X: An Automatic Test Generation System for VLSI Logic Structures, Proc. 18th Design Automation Conference, 260~268, June 1981.
- [8] H.Fujiwara, T.Shimono, On the Acceleration of Test Generation Algorithms, *IEEE Trans.*, C-32, 1137~1144, 1983
- [9] C.Benmehrez, J.F.McDonald, The Subscripted D-Algorithm——ATPG with Multiple Independent Control Pathrol Paths, IEEE Automatic Test Program Generation Workshop, March 1983.
- [10] J.F.McDonald, C.Benmehrez, Test Set Reduction Using the Subscripted D-Algorithm, *Proc IEEE International Test Conference*, 115~121, Oct 1983.
- [11] W.B.Rouse, R.M.Hunt, Human Problem Solving in Fault Diagnosis Tasks, 195~222 in [12].
- [12] W.B.Rouse (ed.), *Advances in Man-Machine System Research*, Vol.1, JAI Press Inc., London, 1984.
- [13] Y.Min, S.Y.H.Su, Testing Functional Faults in VLSI, *Proc.19th Design Automation Conference*, 384~392, June 1982.
- [14] Y.H.Levendel, P.R.Menon, Test Generation Algorithms for Computer Hardware Description Languages, *IEEE Trans.*, C-31, 577~588, 1982.
- [15] K.Son, J.Y.O.Fong, Automatic Behavioral Test Generation, *Proc. IEEE Test Conference*, 161~165, Nov. 1982.
- [16] T.W.Williams, K.P.Parker, Design for Testability—A Survey, *IEEE Proc.*, 71, No.1, 98~112.

- [17] T.W.Williams, Design for Testability, Ch.4 in [18] , 95~160, 1986.
- [18] T.W.Williams (ed.), Advances in CAD for VLSI, Vol.5, VLSI Testing, Elsevier Science Publishers B.V., Amsterdam, 1986.
- [19] S.M.Reddy, Easily Testable Realisations for Logic Functions, *IEEE Trans.*, C-21, 1183~1188, 1972.
- [20] D.E. Muller, Application of Boolean Algebra to Switching Circuit Design and to Error Detection, *IRE Trans.*, EC-3, 6~12, 1954.
- [21] A.Mukhopadhyay, G.Schmitz, Minimisation of EXCLUSIVE OR and LOGICAL EQUIVALENCE Switching Circuits, *IEEE Trans.*, C-19, 132~140, 1970.
- [22] S.M.Reddy, A Design Procedure for Fault-Locatable Switching Circuits., *IEEE Trans.*, C-21, 1421~1426, 1972.
- [23] K.K.Saluja, S.M.Reddy, Easily Testable Two-Dimensional Cellular Logic Arrays, *IEEE Trans.*, C-23, 1204~1207, 1974.
- [24] B.Koenemann, J.Mucha, G.Zwiehoff, Built-In Logic Block Observation Techniques, 1979 Test Conf., IEEE Pub. 79CH109-9C, 37~41, Oct 1979
- [25] V.K.Agarwal, Easily Testable PLA Design, Ch.3 in [18] , 65~93, 1986.
- [26] D.Lewin, Computer-Aided Design of Digital Systems, Edward Arnold (Publishers) Ltd, London, 1977.

第一章 数据域测试的基本概念

第一节 数字系统及其测试

一、数字系统测试的必要性和复杂性

对数字系统、组件、元件产品的故障率或成品率作一简略分析，我们就不难看出数据域测试的重要性及其复杂性。

目前半导体集成电路(IC)的生产，至少要经受两轮测试。第一轮是在芯片一级进行的，通过测试来控制工艺流程并剔除有毛病的片子。第二轮是在产品封装以后进行的较为广泛而全面的测试检验，以保证产品的合格率。即使这样，据国外估计，用户仍然发现至少有1% (甚至多达5%)的产品是失效的。这些不合格的产品可能造成重大的损失，甚至招致毁灭性的灾难。

设被测件共有 n 种故障模式，为分析简便起见，假定 n 种故障模式的出现是等概率的，并设为 p ，则第 i 种故障模式的故障出现概率为 p_i ，亦即不出现的概率为 $(1-p_i)$ ，则整个被测件的无故障率或成品率将为

$$y_0 = (1-p_i)^n \quad (1.1.1)$$

当 p_i 之值甚小，而 n 之值甚大时，近似地有

$$y_0 = (1-p)^n \approx e^{-np} \quad (1.1.2)$$

显然，只有第 i 种故障出现(不出现其它模式的故障)的概率为

$$p_i(1-p)^{n-1} \quad (1.1.3)$$

由于共存 n 种故障模式，所以被测件中恰好只出现 n 种故障的概率为

$$np(1-p)^{n-1} \quad (1.1.4)$$

同理，第 i 种和第 j 种两种故障同时出现(而其它故障不出现)的概率为

$$p_i p_j (1-p)^{n-2} \quad (1.1.5)$$

考虑到从 n 种故障模式中任意取二种，其组合方式共有 $n(n-1)/2!$ 种方式，所以被测件中恰好只出现任何二种故障的概率为

$$[n(n-1)/2!]p^2(1-p)^{n-2} \quad (1.1.6)$$

设单个故障的侦出率(通过测试而被侦查出来的概率)为 d ，则在 $(n-1)$ 种故障中有待侦查第二种故障的区域将为 $(n-1)$ 中的 $(dn-1)$ 。于是二种故障都被侦出的概率为

$$d[(dn-1)/(n-1)] \quad (1.1.7)$$

因此, 经过测试查出两种故障模式的故障并从而可以修好(排除了这两种故障同时出现)的器件, 其数目占被测件总数中的份额将为故障发生率乘以故障检出率, 亦即

$$\begin{aligned} & [(n(n-1)/2!)p^2(1-p)^{n-2}] \cdot [d(nd-1)/(n-1)] \\ & = [nd(nd-1)/2!]p^2(1-p)^{n-2} \end{aligned} \quad (1.1.8)$$

以此类推, 经过测试而排除了任一种故障单独出现、任两种故障同时出现、任三种故障同时出现……的器件, 亦即无故障器件, 其数目占被测件总数的份额将分别为

$$\left. \begin{aligned} & \text{未排除任何故障而得的好器件为 } y_0 = (1-p)^n \\ & \text{排除了一种故障而得 } y_1 = d \cdot np(1-p)^{n-1} \\ & \text{排除了二种故障而得 } y_2 = \frac{nd(nd-1)}{2!} p^2(1-p)^{n-2} \\ & \text{排除了三种故障而得 } y_3 = \frac{nd(nd-1)(nd-2)}{3!} p^3(1-p)^{n-3} \end{aligned} \right\} \quad (1.1.9)$$

于是经排除故障后而得的好器件占被测件的总份额, 亦即经测试后的成品率为

$$\begin{aligned} y &= y_0 + y_1 + y_2 + \dots + y_n \\ &= (1-p)^n \left[1 + nd \cdot p/(1-p) + \frac{nd(nd-1)}{2!} \left(\frac{p}{1-p} \right)^2 + \dots \right] \\ &= (1-p)^n \left(1 + \frac{p}{1-p} \right)^{nd} \\ &= (1-p)^n (1/(1-p))^{nd} \\ &= [(1-p)^n]^{(1-d)} \end{aligned} \quad (1.1.10)$$

$$\text{亦即} \quad y = y_0^{(1-d)} \quad (1.1.11)$$

其中 $y_0 = (1-p)^n \approx e^{-np}$ 为测试前的成品率, 如(1.1.2)式所示。换言之, 经测试和修正(排除故障, 或以“好”器件替换了有故障器件)之后, 产品的成品率将由原来的 y_0 提高到 y 值。

设一种IC在测试前的初始成品率 $y_0 = 0.85$, 测试质量(故障检出率) $d = 0.98$, 根据公式(1.1.11)有

$$y = 0.85^{(1-0.98)} = 0.85^{0.02} = 0.9967549$$

也就是经过测试修正, 使成品率由原先的85%提高到99.7%, 这是令人满意的。

但是, 假如用200块这种IC构成一个组件, 则这种组件在进行测试修正之前的无故障概率将为 $(0.85^{0.02})^{200} = 0.85^4 = 0.522$, 即成品率仅为52%, 这样, 问题就十分严重了。事实上, 上述计算只计入IC本身的故障, 而尚未计及由于组装所造成的故障(如引线断路或短路等等)。考虑到这一点, 问题将更为严重。因此, 除了对元件进行测试外, 同样也应对组件进行充分测试。组件测试当然比元件测试困难。设组件的测试质量为0.95, 则经过测试修正后的成品率将为 $0.522^{(1-0.95)} = 0.968$, 显然有了大大的改善。

设用6个类似这样的组件组成一个系统, 则该系统在测试前的成品率为 $0.968^6 = 0.823$

设系统测试质量为0.7, 则经测试后的成品率为 $0.823^{(1-0.7)} = 0.943$, 亦即每出厂18套的“合格”系统中, 实际上可能就有一套是有毛病的。