

高等学校教学参考书

# 半导体器件工艺原理

厦门大学物理系半导体物理教研室编

人民教育出版社

## 简装本说明

目前 850×1168 毫米规格纸张较少，本书暂以 787×1092 毫米规格纸张印刷，定价相应减少。希谅解。

## 半导体器件工艺原理

厦门大学物理系半导体物理教研室编

人民教育出版社出版

黑龙江人民出版社重印

黑龙江省新华书店发行

牡丹江印刷厂印装

1977年6月第1版 1979年3月第2次印刷

书号 15012·028 定价1.25元

# 目 录

<b>第一章 工艺概述</b> .....	1
第一节 硅外延平面晶体管制造工艺.....	3
第二节 半导体集成电路制造工艺.....	11
一 半导体集成电路制造工艺流程.....	11
二 集成电路的特有工艺.....	18
<b>第二章 氧化工艺</b> .....	20
第一节 二氧化硅的结构及性质.....	20
一 二氧化硅的结构.....	21
二 二氧化硅的物理性质.....	24
第二节 二氧化硅在器件生产中的应用.....	26
一 作为杂质选择扩散的掩蔽膜.....	26
二 作为器件表面的保护和钝化膜.....	33
三 作为某些器件的组成部分.....	33
第三节 二氧化硅薄膜的制取方法及原理.....	35
一 热生长氧化层的方法及原理.....	36
二 热分解淀积氧化层的方法及原理.....	43
三 阴极溅射的方法及原理.....	48
四 氢氟酸-硝酸气相钝化.....	49
第四节 氧化工艺实例.....	51
一 一次氧化前对硅片的挑选和化学清洗.....	51
二 一次氧化工艺步骤.....	54
三 二氧化硅薄膜的质量检查.....	55
四 热氧化过程中存在问题的原因分析.....	61
<b>第三章 扩散工艺</b> .....	65
第一节 扩散原理.....	65
一 扩散方程.....	66
二 器件生产中两种表面源的扩散分布.....	68
三 硅体内杂质原子的扩散机构.....	77
四 杂质在硅中的扩散系数.....	79

五	杂质在硅中的固溶度 .....	85
六	硅器件生产中的两步扩散工艺 .....	86
七	热氧化过程中的分凝效应 .....	88
八	金扩散 .....	91
九	结深的估计及测试 .....	104
十	扩散层薄层电阻 .....	116
十一	表面浓度和次表面层薄层电阻 .....	126
十二	扩散条件的选择 .....	134
第二节	液态源扩散 .....	139
一	液态源硼扩散 .....	141
二	液态源磷扩散 .....	149
三	高温短时间磷扩散和 HCl 抛光 .....	154
四	磷蒸气合金 .....	158
五	扩散中某些反常现象的原因分析 .....	161
六	击穿电压的讨论 .....	170
七	不同管型扩散特点简介 .....	181
第三节	其它扩散方法介绍 .....	183
一	箱法锑扩散 .....	183
二	固态氮化硼扩散 .....	186
三	固-固扩散 .....	188
四	砷扩散 .....	194
五	SiO <sub>2</sub> 乳胶源涂布扩散 .....	197
六	离子注入技术 .....	200

## 第四章 光刻工艺 .....

第一节	光刻胶的特性和配制 .....	212
一	光刻胶的性能 .....	213
二	光刻胶的配制 .....	218
第二节	光刻步骤及操作 .....	221
一	涂胶 .....	222
二	前烘 .....	223
三	曝光 .....	224
四	显影 .....	226
五	坚膜 .....	227
六	腐蚀 .....	228
七	去胶 .....	232
第三节	光刻弊病的讨论 .....	236
一	浮胶 .....	236

二	毛刺和钻蚀 .....	237
三	针孔 .....	238
四	小岛 .....	241
第四节	其它光刻技术简介 .....	242
一	投影曝光 .....	243
二	电子束曝光 .....	245
<b>第五章</b>	<b>电极制备及引线封装 .....</b>	<b>250</b>
第一节	真空镀膜及合金化 .....	251
一	真空镀膜 .....	251
二	真空镀膜系统及装置 .....	254
三	真空镀膜工艺 .....	263
四	电子束蒸发 .....	266
第二节	多层金属电极 .....	268
第三节	装架与封装 .....	271
一	划片 .....	271
二	装片及烧结 .....	273
三	焊接引线 .....	275
四	封装 .....	278
第四节	合金相图 .....	280
一	二元系合金相图的基本类型及分析 .....	280
二	合金相图在半导体器件生产中的应用 .....	290
<b>第六章</b>	<b>制版工艺 .....</b>	<b>294</b>
第一节	光刻版的制作 .....	294
一	光刻版的质量要求 .....	295
二	原图绘制 .....	296
三	初缩 .....	303
四	精缩 .....	306
五	复印 .....	312
第二节	感光底版的制备及复印 .....	313
一	超微粒干版的制备 .....	313
二	超微粒干版的化学冲洗 .....	324
三	铬版的制备及复印 .....	332
四	彩色版的制备及复印 .....	335
<b>第七章</b>	<b>化学清洗 .....</b>	<b>348</b>
第一节	硅片的化学清洗 .....	348

一	化学清洗的重要性	349
二	硅片表面沾污杂质的来源	352
三	硅片表面沾污杂质的类型	353
四	硅片清洗的一般程序	356
第二节	几种常用化学药品的去污原理	360
一	无机酸在化学清洗中的作用	360
二	氧化剂在化学清洗中的作用	364
三	络合剂在化学清洗中的作用	369
第三节	常用金属和器皿的清洁处理	375
一	常用金属材料的清洁处理	376
二	器件生产用具的清洁处理	377

## 第八章 表面钝化工艺

第一节	二氧化硅-硅系统中的电荷	382
第二节	MOS 结构的 $C-V$ 测试	389
一	理想 MOS 结构的 $C-V$ 特性	390
二	$C-V$ 测试中的若干现象分析	398
第三节	氮化硅钝化工艺	409
一	氮化硅的主要性质	410
二	氮化硅薄膜的制备	411
三	氮化硅薄膜的光刻	415
第四节	三氧化二铝钝化工艺	418
一	三氧化二铝的主要性质	418
二	三氧化二铝薄膜的制备	420
第五节	氯化氢氧化工艺	426
一	氯化氢氧化化的作用	426
二	氯化氢氧化工艺	430
第六节	氮氢烘焙工艺	433
一	氮氢烘焙工艺条件的选取	433
二	氮氢烘焙改善器件性能的原因分析	434

## 附录一 安全生产知识

一	有机溶剂的安全使用	437
二	酸碱的安全使用	437
三	气体的安全使用	438
四	毒品的安全使用	440

## 附录二 半导体器件工艺常用数据表

表 I	常用的物理量	442
表 II	常用单位换算表	442
表 III	室温(300°K)下硅、锗、砷化镓及二氧化硅的重要性质	443
表 IV	硅和硅中杂质的性质	444
表 V	常用金属和合金的主要物理性质	445
表 VI	常用金属和合金的腐蚀剂	446
表 VII	高斯函数 $y = (e^{-z^2})$ 常用数值对照表	447
表 VIII	余误差函数(erfc $Z$ )表	447
表 IX	余误差函数积分表	451

### 附录三 半导体器件工艺常用曲线图 452

图 I	硅、锗、砷化镓的电阻率与杂质浓度的关系	452
图 II	本征载流子浓度 $n_i$ 与温度 $T$ 的关系	453
图 III	电子和空穴迁移率 $\mu$ 与本体杂质浓度 $N_b$ 的关系	454
图 IV	少数载流子寿命 $\tau$ 与电阻率 $\rho$ 的关系	456
图 V	单边突变结击穿电压 $V_B$ 、击穿电压下的势垒宽度 $\delta$ 和最大电场强度 $E_{\max}$ 与杂质浓度 $N$ 的关系	457
图 VI	线性缓变结击穿电压 $V_B$ 、击穿电压下的势垒宽度 $\delta$ 和最大电场强度 $E_{\max}$ 与杂质浓度梯度 $a_j$ 的关系	459
图 VII	平面、柱面、球面突变结击穿电压 $V_B$ 与杂质浓度 $N$ 的关系	460
图 VIII	P-N 结势垒宽度 $\delta$ 、单位面积电容 $C_T$ 与衬底杂质浓度 $N_b$ 、扩散结深 $x_j$ 及势垒电势差 $(V_D - V)$ 的关系	461
图 IX	硅中扩散层和次表面层的平均电导率 $\bar{\sigma}$ 与表面浓度 $N_S$ 的关系	468

# 第一章 工艺概述

半导体器件制造技术是本世纪中期发展起来的一门新技术。1948年，具有放大作用的原始点接触晶体管问世之后，由于它的体积小、重量轻、耗电省和坚固耐用等独特的优点，引起人们的广泛重视，在随后短短的十几年时间里，各式各样的晶体管（合金管、合金扩散管、台面管等）相继出现。1960年，硅平面工艺和外延技术的出现，是半导体器件制造技术的一次重大革新，它不仅使晶体管的功率和频率特性得到明显提高和改善，也使晶体管的稳定性和可靠性有了新的保证。近十几年来，硅外延平面管，在超高频大功率、超高频低噪声、小电流高增益等方面都有了新的突破，达到了更高的水平。

当前，在半导体器件制造中，硅外延平面工艺是最普遍采用的一种。有了硅平面工艺，才使人们早已设想过的集成电路得以实现，为电子设备的微小型化开辟了新的途径。集成电路本身，也是处在不断发展、日益提高的过程中。1967年，大规模集成电路的出现，标志着半导体器件制造技术进入了一个崭新的阶段。

我国的半导体器件生产，是从大跃进的1958年开始发展起来的。近二十年来，特别是经过无产阶级文化大革命的战斗洗礼，我国的半导体器件工厂和研究机构，已在全国遍地开花，星罗棋布。各种各样的晶体管、集成电路和新器件，有如雨后春笋，不断涌现。当前，在毛主席无产阶级革命路线的光辉照耀下，在英明领袖华主席为首的党中央的领导下，我国社会主义电子工业这个百花盛开的园地里，半导体器件领域也正是繁花似锦，方兴未艾。

伟大导师列宁强调指出：我们需要用基本事实的知识来发展和增



进每个学习者的思考力，因为不把学到的全部知识融会贯通，共产主义就会变成空中楼阁，就会成为一块空招牌，共产主义者也只会是一些吹牛家。要了解半导体器件的制造技术，就要在实践的基础上向理论方面学习，掌握有关的基本知识。本书的目的，在于介绍半导体器件制造的基本工艺，着重从理论上阐明工艺的基本原理，对生产中较普遍存在的问题，也进行理论分析，使学员对基本知识能够融会贯通，在实际工作中增进和发展分析问题和解决问题的能力。

伟大领袖和导师毛主席教导我们：这个辩证法的宇宙观，主要地就是教导人们要善于去观察和分析各种事物的矛盾运动，并根据这种分析，指出解决矛盾的方法。

当前，尽管半导体器件的种类繁多，然而研究它们的矛盾运动，可以看出绝大部分半导体器件的制造工艺，是在硅外延平面晶体管工艺基础上发展起来的。集成电路的结构虽然比晶体管复杂，其规模也比晶体管大得多，但它们都是由一定数量的二极管、晶体管以及电阻等元件集合而成的，其核心元件是晶体管。在生产中，集成电路的性能正是通过对这个核心元件的控制来达到的。因此，深入地掌握晶体管的生产特点、工艺原理和控制方法，是我们全面地掌握半导体器件制造技术的基础。

在硅外延平面晶体管生产中，开关管的制造工艺既反映了一般硅外延平面晶体管工艺的特点，又具有一般硅外延平面晶体管生产所没有的特殊工艺——金扩散，而且开关管是双极型数字集成电路的基础元件，它的制造工艺具有代表性和典型性。为了使学员由认识个别的和特殊的硅外延平面晶体管，逐步地扩大到认识一般的半导体器件的制造工艺，因此本书将结合 3DK<sub>3</sub> 开关管的生产工艺，介绍当前半导体器件的主要制造方法、工艺原理、生产中较普遍出现问题的分析及其解决方法。

## 第一节 硅外延平面晶体管制造工艺

为了对硅外延平面晶体管的制造工艺有个整体的轮廓，以便于理解各工序之间的联系和作用，这里先对 3DK<sub>3</sub> 开关管的工艺流程作一个总体介绍，至于各工序的详细分析和讨论，将在后面章节中进行。

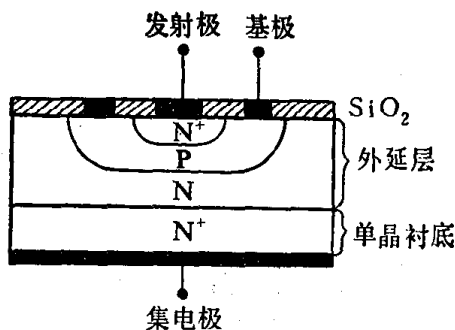


图 1-1 硅外延平面晶体管管芯结构示意图

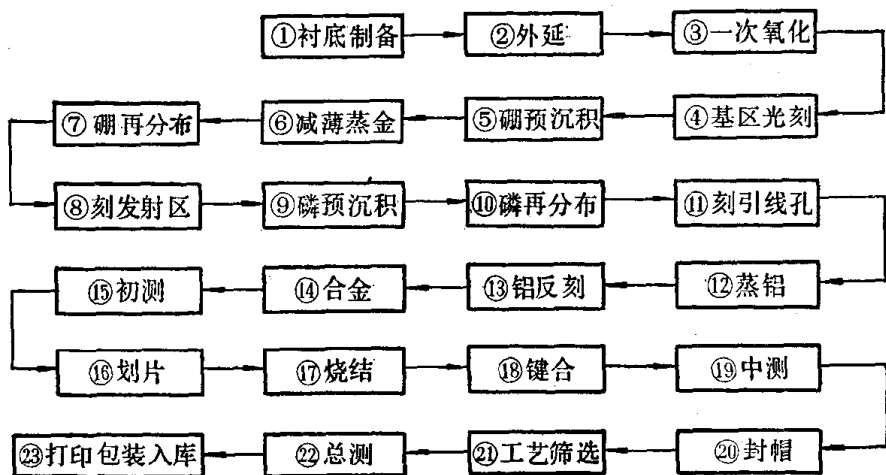


图 1-2 3DK<sub>3</sub> 硅外延平面开关管工艺流程图

图 1-1 为硅外延平面晶体管管芯结构示意图。图 1-2 是 3DK<sub>3</sub> 硅外延平面开关管工艺流程图。下面对图 1-2 中的各道工序作一些简单

说明。

### 1. 衬底制备

根据管子性能的要求, 选取合适的单晶硅棒(例如 3DK<sub>3</sub> 开关管, 选用电阻率  $\rho$  为  $10^{-3}$  欧姆·厘米, 即掺杂浓度为  $10^{19} \sim 10^{20}$ /厘米<sup>3</sup>, 位错密度  $\leq 10^3$ /厘米<sup>2</sup> 的 N<sup>+</sup> 型硅单晶棒), 按照要求的厚度(通常为 400 微米), 沿 (111) 晶面进行切割。用金刚砂研磨后, 再用抛光粉(如氧化铬)进行抛光, 使表面光亮如镜, 没有伤痕等表面缺陷。

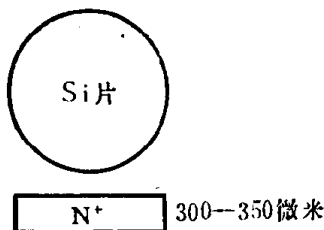


图 1-3 衬底的制备

### 2. 外延

制作硅外延平面晶体管的外延片, 是在低电阻的衬底硅片上, 外延生长一层电阻率较高的 N 型硅单晶。这样, 高电阻率的外延层可提高集电结的击穿电压, 低电阻率的衬底可降低集电极的串联电阻, 减小管子的反向饱和压降。对于 3DK<sub>3</sub> 开关管, 要求外延层电阻率  $\rho = 0.3 \sim 0.5$  欧姆·厘米(相应施主杂质浓度为  $10^{16}$ /厘米<sup>3</sup> 左右), 层错密度  $\leq 10^2$ /厘米<sup>2</sup>, 位错密度  $\leq 10^3$ /厘米<sup>2</sup>, 外延层厚度为 7~10 微米。

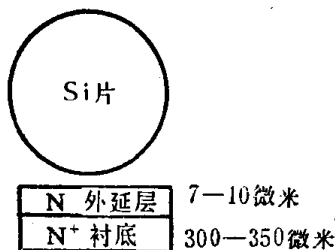


图 1-4 外延

### 3. 一次氧化(基区氧化)

将硅片放在高温炉中进行热氧化, 使表面生长一定厚度的 SiO<sub>2</sub> 薄膜。SiO<sub>2</sub> 薄膜的作用有两个: 一是利用 SiO<sub>2</sub> 薄膜有阻挡某些杂质, 如硼、磷等向 Si 中扩散的作用, 作为杂质选择扩散的掩蔽膜; 二是钝化管芯表面, 提高管子的稳定性和可靠性。为达到上述目的, 一般要

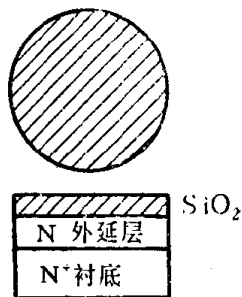


图 1-5 一次氧化

求  $\text{SiO}_2$  层厚度为 5000~6000 埃( $\text{\AA}$ )。通常是在  $1180^\circ\text{C}\sim 1200^\circ\text{C}$  的氧化炉中,先通 10 分钟干氧,再通 45 分钟湿氧(水浴温度为  $95^\circ\text{C}$ ),最后通 5 分钟干氧,便能达到上述要求的厚度。

4. 一次光刻(基区光刻)

一次光刻是在一次氧化所生长的  $\text{SiO}_2$  薄层上,光刻出基区扩散窗口,使硼扩散的杂质只能通过此窗口进入硅内,而不能进入有  $\text{SiO}_2$  掩蔽的其它区域,达到选择扩散的目的。基区光刻的基本要求是:窗口边缘平整,无钻蚀、无毛刺、无针孔或小岛。

在实际生产过程中,一个半径为 2 厘米的大圆片上可做上 1000 个以上的小功率管芯,也就是说,经过一次光刻后,在每一块硅大圆片上将同时出现 1000 个以上的基区图形。在此为了便于说明,我们只画出一个图形的放大图。下面各工序也都如此。

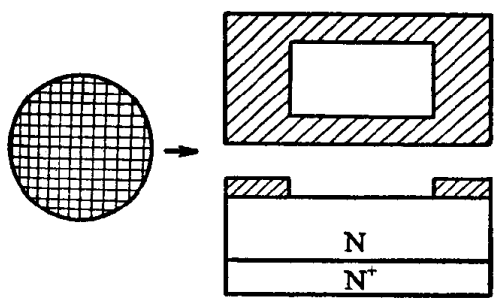


图 1-6 一次光刻

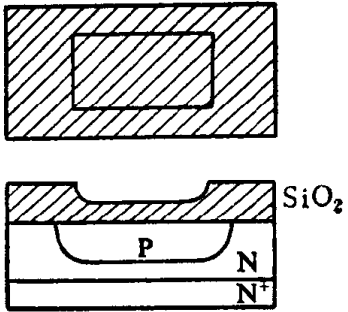


图 1-7 硼扩散、金扩散及二次氧化

5. 基区硼预沉积

基区硼扩散是形成晶体管基区的工序。硼扩散通常都分为预沉积和再分布两步进行。预沉积的目的是在  $\text{Si}$  片表面沉积足够量的杂质硼原子,作为硼再分布时的限定表面源,为硼再分布创造了必要条件。

硼预沉积是将硅片置于高温炉中,用干燥氮气携带硼酸三甲酯  $[\text{B}(\text{CH}_3\text{O})_3]$  蒸气,进入高温区进行热分解,生成三氧化二硼( $\text{B}_2\text{O}_3$ ),沉积于硅片表面。

3DK<sub>3</sub> 开关管硼预沉积的典型工艺条件为:

沉积温度 930°C~950°C;

气体流量 旁流 N<sub>2</sub> 控制在 500 毫升/分左右, 携源 N<sub>2</sub> 控制在 20~35 毫升/分(或计算鼓泡速度 60~70 个泡/分);

预沉积时间 通 N<sub>2</sub> 5 分钟+通源 6 分钟+通 N<sub>2</sub> 5 分钟。

出炉后测得陪片的薄层电阻  $R_s = 70 \sim 80$  欧姆/方块 ( $\Omega/\square$ ) 为合适。

## 6. 减薄蒸金

由于 3DK<sub>3</sub> 开关管的金扩散与硼再分布一道进行(有的把金扩散作为单独工序, 放在硼再分布之后进行; 也有的把金扩散与磷预沉积一道进行), 所以在硼再分布之前必须先进行减薄, 然后在硅片背面蒸发上一层高纯金, 作为金扩散的杂质源。

所谓减薄, 是在硼预沉积后, 用金刚砂将硅片背面磨去一层, 使硅片厚度减薄到 200~250 微米左右。其目的是避免预沉积在硅片背面的高浓度硼进一步扩散, 有利于减小集电极串联电阻, 降低晶体管的反向饱和压降。此外, 又可使后道工序的划片和压片能够顺利进行。减薄厚度一定要控制合适, 过薄则光刻或清洗时容易碎片。若太厚(280 微米以上), 则划片后片子可能压不开或压破管芯。

## 7. 硼再分布与金扩散

金扩散是开关晶体管特有的工艺。一般的硅外延平面晶体管不必进行金扩散。金扩散的目的是减小集电区少子寿命, 缩短开关管的贮存时间, 提高开关速度。把金扩散与硼再分布结合在一起的好处是减少了一次高温热处理, 既缩短生产周期, 提高了生产效率, 又有利于保护硅单晶片的完整性, 提高管子性能。金扩散与硼再分布结合在一起时, 其工艺条件主要由硼再分布的要求决定。对于 3DK<sub>3</sub> 开关管, 典型的工艺条件为:

炉温 1180°C;

氧气流量 400~500 毫升/分,水浴温度为 95°C;

扩散时间 一般为通干氧 5 分钟+通湿氧 30 分钟+通干氧 5 分钟。

时间到后将硅片拉出石英管,迅速倒在铜块或钼版上进行淬火。

3DK<sub>3</sub> 开关管要求硼再分布后的薄层电阻  $R_s = 180 \sim 200$  欧姆/方块,结深  $x_{jc} = 2.1 \sim 2.4$  微米, SiO<sub>2</sub> 薄膜厚度在 5000 埃左右。

### 8. 二次光刻(刻发射区)

将硼再分布后的硅片光刻出发射区磷扩散窗口,为发射区选择扩散做好准备。光刻要求与一次光刻相同。

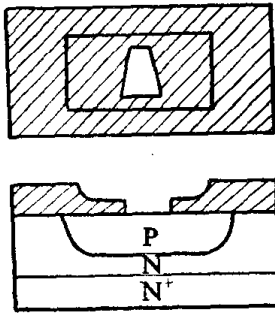


图 1-8 二次光刻(刻发射区)

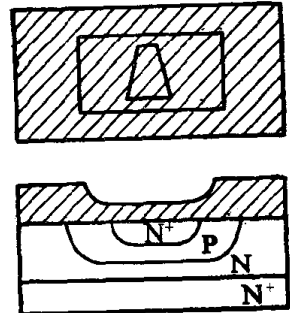


图 1-9 磷扩散

### 9. 磷预沉积

磷扩散的目的是形成晶体管的发射区。磷扩散一般也分为预沉积和再分布两步进行。不过通常都在预沉积时采用较高温度和较长的沉积时间,把管子的  $\beta$  值等电参数控制到基本符合设计要求,而再分布的主要任务是生长一层足够厚的 SiO<sub>2</sub> 薄膜,作为后面工序的掩蔽膜。因此有些工厂往往把磷预沉积称为磷扩散,而把磷再分布称为三次氧化。

3DK<sub>3</sub> 开关管磷预沉积的典型工艺条件为:

炉温 1050°C;

携源气体流量  $N_2 + O_2 = 30$  毫升/分 + 10 毫升/分;

沉积时间 预热 5 分钟+通源 15 分钟+关源吹气 5 分钟。

磷预沉积时一般把  $\beta$  控制在 30~40 范围,  $BV_{ceo} > 8$  伏,  $BV_{ebo}$  在 7 伏左右。

### 10. 磷再分布(三次氧化)

磷再分布的主要目的是在发射区窗口上生长足够厚的氧化层, 作为后面工序的掩蔽膜。此外还可在一定程度上调整  $\beta$  值, 使其达到预定要求。

3DK<sub>3</sub> 开关管磷再分布的典型工艺条件为:

炉温 950°C~1000°C;

氧气流量 500 毫升/分;

水浴温度 95°C;

时间 一般为湿氧 15 分钟+干氧 5 分钟。

磷再分布的要求为  $\text{SiO}_2$  厚度 2000~3000Å,  $\beta$  控制在 50~60 范围。

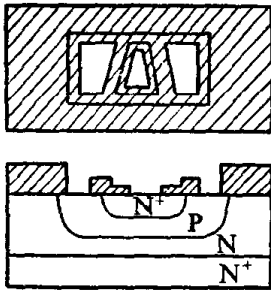


图 1-10 三次光刻(刻引线孔)

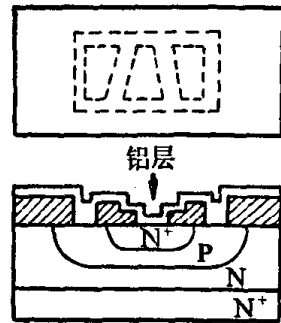


图 1-11 蒸铝

### 11. 三次光刻(刻引线孔)

光刻出基区和发射区的电极引线接触窗口。

### 12. 蒸铝

用真空蒸发的方法将高纯铝蒸发在硅片表面上。

### 13. 四次光刻(铝反刻)

刻蚀掉作为电极引线以外的铝层，留下电极窗口处的铝作为电极内引线。

#### 14. 合金化

蒸发在硅表面的铝层和硅之间的接触，还不一定是欧姆接触，必须通过合金化使其成为欧姆接触。

所谓合金化，就是把经过铝反刻后的硅片放在真空或氮气氛中加热到适当温度（例如  $580^{\circ}\text{C}$  或更低），使一部分硅熔到铝中形成铝硅合金，冷却后便得到低阻的欧姆接触。到此晶体管的管芯就基本做成。

由于  $\text{SiO}_2$  表面的磷硅玻璃薄层，对阻挡  $\text{SiO}_2$  层中的  $\text{Na}^+$  离子漂移有一定效果，故目前有些工厂的合金化采用磷蒸气合金工艺。

所谓磷蒸气合金，就是把铝反刻后的硅片放入通有磷蒸气气氛的扩散炉内进行合金化处理。

对于  $3\text{DK}_3$  开关管，磷蒸气合金的典型工艺条件为：

炉温  $550^{\circ}\text{C}$ ；

氮气流量  $30\sim 50$  毫升/分；

合金时间 通源 5 分钟 + 吹氮 10 分钟。

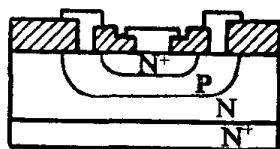
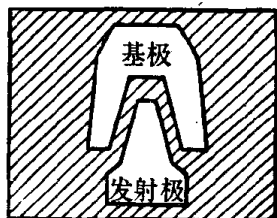


图 1-12 铝反刻、合金化

#### 15. 初测

为鉴别管芯性能好坏，需根据管子参数的要求对每个管芯进行初步测试（简称初测）。一般测放大倍数  $\beta$  和各个击穿电压，并将性能不合要求的管芯注上标记，以便划片后剔去。初测的另一个目的是发现前工序存在的问题，便于及时纠正。

#### 16. 划片

由于在一个硅片上已同时做上许多个管芯，所以需用带有金刚石刀头的划片机进行划片，将各个管芯分割开来，然后根据初测结果的标



志,挑选出性能符合要求的管芯,继续进行下面工序。

### 17. 烧结

烧结是利用银浆中的氧化银在高温下还原为金属银,将管芯固定在底座上,形成低阻欧姆接触。使管芯的集电极与底座金属板及集电极管脚相连。

### 18. 键合

键合是用金丝或硅铝丝通过热压焊接或超声键合方法,把管芯的发射极和基极与底座上相应的管脚连接起来。 $3DK_3$ 开关管采用直径为20微米的硅铝丝作电极内引线。

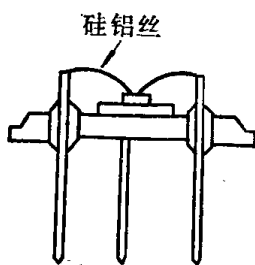


图 1-13 烧结、键合

### 19. 中测(中间测试)

中测的目的,是为了检查划片、压片、烧结和键合等工序的质量,同时挑选出性能符合要求的管芯进行封帽。

### 20. 封帽

封帽就是把经挑选合格的管芯密封在适当的管壳内。到此,整个管子就告做成。管壳的形状和质量对管子的性能有很大影响,应根据管子性能的要求具体选用。 $3DK_3$ 开关管采用一般金属管壳。

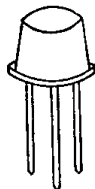


图 1-14 封帽

### 21. 工艺筛选

将封好的管子进行高温老化、功率老化、温度试验、高低温循环试验等,以便从产品中除去不可靠的管子。

### 22. 总测(成品测试)

对晶体管的电性能按出厂要求进行全面测试,并根据规定的指标将管子进行等级分类。同时将测试中发现的问题及时与有关工序联系,进行分析研究,提出改进措施,不断提高产品质量。

### 23. 打印、包装、入库