

可编程 ASIC 设计及应用

李广军 孟宪元 编著

电子科技大学出版社

图书在版编目 (CIP) 数据

可编程 ASIC 设计及应用/李广军, 孟宪元编著. —成都:
电子科技大学出版社, 2000.10
ISBN 7—81065—525—6

I.可... II.①李...②孟... III. 可编程逻辑器件,
ASIC-设计 IV.TP332.1

中国版本图书馆 CIP 数据核字 (2000) 第 52860 号

内 容 提 要

本书从系统级设计和系统集成芯片 (SOC) 设计技术的角度介绍可编程专用集成电路 (ASIC) 器件的结构和可编程资源, 用 FPGA 和 CPLD 进行数字系统设计综合的特点; 在详尽介绍 Xilinx 典型器件结构的基础上, 按系统设计的要求介绍了 VHDL 硬件描述语言的基本语言现象、仿真与综合技术、面向仿真和综合的 VHDL 程序设计技术; 以设计实例为基础介绍了 Xilinx 开发软件系统的操作使用和系统集成设计实现, 为读者掌握先进的电子系统集成化设计技术提供了方便。全书列举了大量 VHDL 实验设计示例, 其中大部分经 VHDL 综合器编译通过。

本书可作为大专院校电子类学科的教学参考书与实验指导书, 也可作为电子系统设计工程技术人员掌握最新设计技术的实用参考书。

可编程 ASIC 设计及应用

李广军 孟宪元 编著

出 版: 电子科技大学出版社(成都建设北路二段四号 邮编: 610054)

责任编辑: 张 琴 张 勋

发 行: 新华书店经销

印 刷: 成都市新都华兴印务公司

开 本: 787×1092 1/16 印张 33.5 字数 815 千字

版 次: 2000 年 10 月第一版

印 次: 2000 年 10 月第一次印刷

书 号: ISBN 7—81065—525—6/TP·346

印 数: 1—5000 册

定 价: 40.00 元

前 言

随着片上系统（SOC）时代的到来，包括复杂可编程逻辑器件（CPLD）和可编程门阵列（FPGA）的可编程 ASIC 器件，不仅能满足片上系统设计的要求，而且具有系统内可再编程的独特优点，尤其是速度高、密度大和性能好的 FPGA 正日益成为系统的关键部件，所以可编程片上系统（System on a Programmable Chip）的应用也越来越广泛。可编程 ASIC 技术引起电子系统设计技术的巨大变革和飞速发展。这就要求大学的教学必须进行相应的改革，以适应新技术发展的需求。

在近几年将可编程 ASIC 技术引入教学改革实践的基础上，清华大学和电子科技大学的有关教师交流了在可编程 ASIC 方面进行教学改革、技术培训和技术开发的经验 and 体会，决定从注重实用和系统的目的出发，编写一本“可编程 ASIC 设计及应用”的教材和参考书。

这本教材既考虑到本科生教学的需要，又兼顾研究生教学的深度要求，也顾及电子信息专业工程技术人员的实际需求，所选内容反映了当前技术的最新发展，并具有一定的实用性和广泛性；设计方法上进一步突出 VHDL 的设计方法，材料上求全使其有参考性；综合技术的介绍增加基础知识以加强系统性；设计应用实例实用、丰富，有针对性。所以本书也希望成为从事这一领域的工程技术人员必备的参考书。

在内容讨论确定之后，本书由清华大学电子工程系孟宪元教授和电子科技大学通信学院李广军教授共同主编。第一、三、四、五和七章及第六章 6、7、9 节由孟宪元编写，第一章 7 节、第二、六和八章由李广军编写。

本书的内容选择得到 Xilinx 公司亚太地区经理陆绍强的支持和帮助，代理商 Insight 公司技术人员曹宜宁、王红卫、左峰提供了宝贵的意见和材料，电子科技大学教务处教材科陈积春科长、电子科技大学出版社的张琴老师、张勋老师对本书的出版给予了热情的帮助和支持。两校的有关教学和研究人員、研究生胡立荣、祁业欣、鲁蕾、蒙伯俊、谢琴芬、李娅梅、张沛泉、吴宗军等对本书的编写、程序的编制和硬件的调试、书稿的校对都做了大量的工作，在此表示深切的感谢。作者也对电子科技大学出版社和学校领导的关心和支持表示感谢。

由于可编程 ASIC 技术发展迅猛，软件和硬件的更新速度快，应用领域广，作者的水平和能力有限，编写的时间又较紧，书中的不足之处和错误恳请读者批评指正。

编者

2000 年 9 月

于清华大学、电子科技大学

目 录

绪 论.....	1
第一章 可编程 ASIC 器件.....	8
1.1 PLD 器件.....	8
1.1.1 PROM 结构.....	8
1.1.2 FPLA 结构.....	9
1.1.3 PAL 和 GAL 结构.....	9
1.2 CPLD.....	10
1.2.1 CPLD 结构.....	10
1.2.2 典型 CPLD 器件.....	12
1.3 FPGA.....	16
1.3.1 FPGA 的结构.....	16
1.3.2 SRAM 查找表类型.....	18
1.3.3 反熔丝多路开关类型.....	22
1.4 可编程 ASIC 的基本资源.....	24
1.4.1 功能单元.....	25
1.4.2 输入/输出接口.....	27
1.4.3 布线资源.....	31
1.4.4 片内 RAM.....	35
1.4.5 系统级芯片的特点.....	37
1.4.6 系统级芯片的发展趋势.....	40
1.5 边界扫描技术.....	41
1.6 可编程 ASIC 的编程元件.....	44
1.6.1 熔丝型开关.....	44
1.6.2 反熔丝开关.....	45
1.6.3 浮栅编程技术.....	47
1.6.4 静态存储器 (SRAM).....	51
1.7 CPLD 和 FPGA 的比较和选用.....	55
1.7.1 结构比较.....	55
1.7.2 逻辑块之间的互连结构不同.....	55
1.7.3 性能的选用.....	56
第二章 硬件设计描述语言 VHDL.....	58
2.1 概 述.....	58

2.1.1	VHDL 的主要优点	59
2.1.2	采用 VHDL 设计综合的过程	60
2.2	VHDL 程序基本结构	60
2.2.1	VHDL 语言设计的基本单元	61
2.2.2	结构体的子结构描述	66
2.2.3	包集合、库及配置	72
2.3	VHDL 语言的数据类型	77
2.3.1	VHDL 语言的对象及其分类	77
2.3.2	VHDL 语言的数据类型	80
2.4	VHDL 语言的运算操作符	86
2.4.1	逻辑运算符 (6 种)	86
2.4.2	算术运算符	87
2.4.3	关系运算符	87
2.4.4	并置运算符	87
2.5	VHDL 最基本的描述方法	88
2.5.1	顺序描述语句	88
2.5.2	并行 (并发) 描述语句 (Concurrent Statements)	99
2.5.3	其他语句和有关规定的说明	103
2.6	预定义属性 (ATTRIBUTE) 描述	103
2.6.1	数值类型性	104
2.6.2	函数类属性	105
2.6.3	信号类属性	106
2.7	VHDL 语言结构体的描述风格	107
2.7.1	结构体的行为描述方式	108
2.7.2	结构体的数据流描述方式	112
2.7.3	结构体的结构描述方式	116
第三章	可编程 ASIC 的设计	121
3.1	数字系统综合概述	121
3.1.1	抽象的级别	121
3.1.2	综合的定义	123
3.1.3	系统级综合	124
3.1.4	寄存器转移级综合	125
3.1.5	逻辑级综合	134
3.2	综合技术基础	137
3.2.1	基本符号	137
3.2.2	图形	138
3.2.3	组合最优化 (Combinatorial Optimization)	141
3.2.4	布尔代数及应用	143
3.2.5	布尔网络	147

3.2.6	可处理和不可处理问题	150
3.3	可编程 ASIC 的逻辑综合	154
3.3.1	逻辑综合概述	154
3.3.2	两级逻辑最小化	157
3.3.3	基于查找表结构的多级逻辑优化	162
3.3.4	立方体归并(cube-paching)	167
3.3.5	工艺映射	168
3.3.6	基于 MUX 结构的多级逻辑优化	170
3.4	状态机设计	173
3.4.1	二进制编码	173
3.4.2	一个有效的编码	174
3.5	FPGA 的布局和布线	178
3.5.1	布局	179
3.5.2	布线	183
3.5.3	布通率和布线资源	188
3.5.4	网线延时	189
3.6	Xilinx 的设计流程	192
3.6.1	设计输入	193
3.6.2	设计实现	194
3.6.3	设计验证	195
3.6.4	Xilinx FPGA 详细的设计流程	196
3.6.5	Xilinx CPLD 详细设计流程	197
第四章	CPLD—XC9500 系列	198
4.1	结构描述	198
4.1.1	功能块 (FB)	198
4.1.2	宏单元	199
4.1.3	乘积项分配器	201
4.1.4	FastCONNECT 开关矩阵	203
4.1.5	I/O 块 (IOB)	203
4.1.6	持续性	205
4.1.7	设计保密性	205
4.1.8	低功率模式	207
4.1.9	加电特性	207
4.2	XC9500 时序模型	208
4.2.1	时序模型	208
4.2.2	基本时序模型的参数	210
4.3	系统内编程	212
4.3.1	JTAG 边界扫描接口	213
4.3.2	产生边界扫描链	217

4.3.3	ISP 编程	219
4.3.4	系统级设计问题	220
4.4	引脚锁定能力	222
4.4.1	出腿预分配	222
4.4.2	XC9500 布线资源	222
4.4.3	数据通道的估算	223
4.4.4	控制通道估算	223
4.4.5	出腿预分配	224
4.5	设计优化	224
4.5.1	优化密度	224
4.5.2	优化时序	225
4.5.3	优化原理图设计	226
4.5.4	优化 ABEL 设计	226
4.5.5	优化 VHDL 设计	228
第五章	可编程门阵列	229
5.1	概 述	229
5.2	XC4000E/Spartan 系列结构	230
5.2.1	基本积木块	230
5.2.2	可配置逻辑功能块 (CLB)	231
5.2.3	输入/输出功能块 (IOB)	245
5.2.4	三态缓冲器	252
5.2.5	沿边宽译码器	254
5.2.6	片内振荡器	255
5.2.7	可编程互连	255
5.2.8	功率分布	269
5.3	Virtex/SpartanII 系列结构	269
5.3.1	特点	269
5.3.2	结构描述	270
5.4	边界扫描电路	280
5.4.1	XC4000/XC5000 边界扫描特性概述	280
5.4.2	与 IEEE 标准的偏差	280
5.4.3	边界扫描硬件描述	281
5.4.4	利用边界扫描电路	285
5.4.5	Virtex 的边界扫描	289
5.5	配 置	290
5.5.1	专用引脚	291
5.5.2	配置模式	291
5.5.3	设置 CCLK 频率	294
5.5.4	数据流格式	294

5.5.5	配置和读回的 CRC 校验	296
5.5.6	配置顺序	297
5.5.7	配置时序	303
5.5.8	可编程配置 RAM	311
第六章	面向仿真和综合的 VHDL 设计描述	314
6.1	面向仿真的 VHDL 设计描述	314
6.2	面向综合的 VHDL 设计描述	317
6.2.1	逻辑综合	317
6.2.2	面向综合的 VHDL 设计描述的特点	318
6.3	组合逻辑电路设计	320
6.3.1	用并行语句中的布尔方程来描述组合逻辑	321
6.3.2	用顺序语句描述组合逻辑	323
6.3.3	利用进程描述组合逻辑	325
6.3.4	其他组合逻辑设计举例	326
6.4	时序电路设计	333
6.4.1	时序电路 VHDL 程序的一般形式	333
6.4.2	时钟信号的特征及特殊问题	335
6.4.3	时序电路设计举例	338
6.5	有限状态机的设计	344
6.5.1	在 FPGA 中设计有限状态机	344
6.5.2	有限状态机的描述	346
6.5.3	状态机综合例子	352
6.6	同步设计	355
6.6.1	保证系统的时钟信号不产生相位偏移	356
6.6.2	准稳态的产生和消除	357
6.6.3	毛刺的产生和消除	358
6.6.4	利用预定标技术来提高计数器性能	360
6.6.5	所设计电路的工作速度和性能估计	360
6.6.6	设计中要注意的一些问题	362
6.7	在约束条件下的设计综合	363
6.7.1	物理布局和实现的约束	364
6.7.2	通用时序约束	365
6.7.3	周期和偏移约束	366
6.7.4	专门时序约束	367
6.7.5	约束优先级	371
6.7.6	约束推荐	371
6.7.7	映射约束	371
6.7.8	其他约束	372
6.8	面向 CPLD/FPGA 的逻辑综合及优化设计	372

6.8.1	设计实现与逻辑综合的区分	373
6.8.2	约束条件	373
6.8.3	面向 CPLD 器件的实现	374
6.8.4	面向 FPGA 器件的实现	376
6.8.5	优化设计	380
6.9	系统级综合	382
6.9.1	VHDL 软件包	382
6.9.2	VHDL 函数	384
6.9.3	VHDL 过程	384
第七章	设计实现	392
7.1	基于原理图设计方法	393
7.1.1	启动原理图编辑器	393
7.1.2	产生基于原理图的宏单元	395
7.1.3	创建 CNT60 原理图	397
7.1.4	创建一个 LogiBLOX 模块	403
7.1.5	创建状态机模块	405
7.1.6	创建一个基于 HDL 模块	409
7.1.7	规定器件输入/输出	413
7.1.8	分配引脚位置	415
7.1.9	使用 4K 内部振荡器	417
7.1.10	使用全局缓冲器	418
7.1.11	硬件校验——启动和读回(可选择)	418
7.1.12	完成原理图	419
7.2	基于硬件描述语言的设计方法	420
7.2.1	启动项目管理器	422
7.2.2	设计描述	423
7.2.3	项目管理器	423
7.2.4	创建一个基于 HDL 的模块	426
7.2.5	综合设计	434
7.2.6	Express Constraints Editor(仅对应 Foundation Express)	435
7.2.7	使用 Express Constraints Editor(仅对应 Foundation Express)	436
7.2.8	观察综合结果 (仅对应 Foundation Express)	438
7.3	功能仿真	439
7.3.1	启动逻辑仿真器 (Logic Simulator)	439
7.3.2	指定激励源	442
7.3.3	运行仿真	445
7.3.4	保存仿真结果	446
7.4	设计实现	447
7.4.1	启动设计实现	447

7.4.2 其他实现工具	452
7.5 时序仿真	452
7.5.1 启动时序仿真	452
7.5.2 用稿本文件激励	453
7.6 硬件验证	461
7.7 乘法器设计例子	463
第八章 Xilinx FPGA/CPLD 实验系统与 VHDL 设计实验	466
8.1 Xilinx FPGA/CPLD 实验系统简介	466
8.1.1 XS40 实验板原理	467
8.1.2 XS40 扩展板原理	469
8.1.3 实验系统的调试	472
8.2 VHDL 数字逻辑电路设计试验	472
8.2.1 实验一: 3-8 译码器	473
8.2.2 实验二: 双向计数器	474
8.2.3 实验三: 8 位序列检测器	475
8.2.4 实验四: 8 × 3 位的 RAM 结构的 FIFO	479
8.2.5 实验五: LED 和 DIP 开关的接口设计	482
8.2.6 实验六: VGA 接口设计	485
8.2.7 实验七: PS / 2 键盘接口设计	491
8.2.8 实验八: 8 位并行加法器设计	493
8.2.9 实验九: 8 位乘法器	495
8.2.10 实验十: 正负脉宽数控调制信号发生器设计	500
8.2.11 实验十一: 模可变 16 位加法计数器	502
8.2.12 实验十二: “梁祝” 乐曲演奏电路设计	503
8.2.13 实验十三: 数字频率计设计	508
8.2.14 实验十四: 秒表设计	512
8.2.15 实验十五: A/D 采样控制器设计	513
8.2.16 实验十六: D/A 接口电路与波形发生器设计	517
8.2.17 实验十七: 单片机与 FPGA/CPLD 接口逻辑设计	519
附录一: 清华大学 ASIC 实验板原理图	523
附录二: 清华大学 ASIC 实验板 PCB 图	524
参考文献	525

绪 论

当前的半导体工艺水平已经达到了深亚微米,正在向 100nm 以下发展,芯片的集成度(以 DRAM 为例)达到千兆位,时钟频率也在向千兆赫以上发展,数据传输位数达到每秒几十亿次,即 3G 的时代。因此,未来的集成电路技术的发展趋势,是把整个系统集成到一个芯片上去,这种芯片被称为片上系统,即 System on a Chip。片上系统比起当今的超大规模集成电路(VLSI)来说,无论是集成规模还是运行频率都有长足的发展。而采用具有系统级性能的复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA)实现可编程片上系统(System on a Programmable Logic Chip)也成为今后的一个发展方向。

正是集成电路的迅猛发展,推动了电子技术的发展,带来了电子系统设计的不断变革。

1. 可编程器件对电子系统设计的影响

电子系统设计的变革是从 80 年代的中期开始的,1984 年 Xilinx 公司发明了现场可编程门阵列(FPGA),随后出现了复杂可编程逻辑器件(CPLD)。这些器件由于具有用户可编程的特性,使得电子系统的设计工程师利用与器件相应的 CAD 软件,在办公室或实验室里就可以设计自己的 ASIC 器件,实现用户规定的各种专门用途,因此构成了可编程专用集成电路(ASIC)的一类器件。采用可编程专用集成电路,半导体制造厂家可按照一定的规格,以通用器件大量地生产,用户可按通用器件从市场上选购,再由用户自己通过编程实现 ASIC 的要求。由于这种方式对厂家和用户都带来好处而受到欢迎,发展也就特别迅速,已经成为一个很重要的实现 ASIC 的手段。

进入片上系统的时代,CPLD 和 FPGA(尤其是 FPGA)的结构和规模也都可以满足芯片内集成系统的要求,因此采用具有系统级性能的 CPLD 和 FPGA 实现可编程片上系统也是当前发展的一个重要技术。

编程片上系统的性能主要通过两方面来改进和提高,一方面得益于集成电路工艺水平的不断提高,另一方面来自器件本身的内部结构不断改进。工艺上亚微米技术和六层以上金属布线的采用,器件结构本身的改进,都使可编程片上系统的器件密度和运行速度有极大的提高,如出现了集成度超过百万门的可编程片上系统的器件,有代表性的是 Altera 的 APEX20K 和 Xilinx 的 Virtex/Virtex-E 系列。

从结构上看,下几代 FPGA 在芯片内将包含内置的逻辑分析仪,支持 D/A 和 A/D,并包含达到 500MHz 以上的差分接口;采用片内锁相环,在支持高速时钟的同时减少信号的畸变和实现时钟的复用;在提供更丰富的布线资源的同时,对逻辑和 I/O 功能块作进一步的简化;为满足用户对不同规模 RAM 的要求,在芯片内提供分布 RAM、块 RAM 和对芯片外 DRAM 高速存取的接口;简化的逻辑功能块将包含独立的快速进位链,为实现有效的乘法功能增加的专门电路,可满足 DSP 等应用的要求;逻辑功能块有快速的局部布线和相互之间的通用布线,提供虚拟诊断互连(或称为基于矢量的互连),可以精确地预测网线的延时;I/O 功能块有快速的 I/O 驱动、寄存的输入和输出、三态使能控制,以及可编程的扭曲

率、上拉和输入延时等控制的特性。此外，随芯片线宽的缩小芯片工作电压相应降低，I/O 块必须具有兼容几种电压标准的能力，保证新的工作电压下器件能与前几代器件在不同电压下连接，例如，2.5V 的芯片，内芯和 I/O 使用不同的电压，在保证降低内部功耗的同时能与 3.3V 和 5V 的器件连接。在编程技术方面，由于芯片上集成系统增加了对多次编程器件的需求，许多厂家推出采用 SRAM 作编程元件的 FPGA，Xilinx 发明的 FPGA 一开始就采用基于 SRAM 的查找表结构，即由 SRAM 存储的数值控制器件中可编程节点的通断来实现要求的功能。Actel 将要推出的系统可编程门阵列（SPGA）没有使用其通常采用的反熔丝技术，而采用 SRAM 技术；Cypress 也不采用它的 ViaLink 可编程反熔丝元件，而要推出基于 SRAM 的 FPGA；ViaLink 由 QuickLogic 公司生产的 pASCII 系列继续采用。这些表明未来的片上系统一定要具有更新、配置和修改的能力。

可编程片上系统器件不仅使设计的电子产品达到小型化、集成化和高可靠性，而且器件具有用户可编程特性，大大缩短了设计周期，减少了设计费用，降低了设计风险。不仅如此，如果可编程片上系统具有为设计者提供系统内可再编程（或可再配置）的能力，即可编程片上系统器件除了具有用户可编程的能力，还具有将器件插在系统内或电路板上就能对其进行编程或再编程的能力，这就为设计者进行电子系统设计和开发提供了可实现的最新手段。采用系统内可再编程的技术，使得系统内硬件的功能可以像软件一样编程来配置，从而可以实时地进行灵活而方便的更改和开发，甚至可以实现系统运行过程中（Run-Time 或 Fly-On）不停机的再配置，使同样的硬件可以按不同时段实现不同的功能，提高了系统的效率。

这种称为“软”硬件的全新的系统设计概念，使新一代的电子系统具有极强的灵活性和适应性，它不仅使电子系统的设计和开发以及产品性能的改进和扩充变得十分简易和方便，而且使电子系统具有适应多功能性的能力，为实现许多复杂的信号处理和信息加工提供新的思路和方法。在互联网时代，利用在线配置技术使设计一个可以遥控修改和升级的“通用”硬件系统成为可能，以满足不断发展的要求，并将创造出应用技术的新领域和新天地。

互联网时代的在线编程技术已引起可编程片上系统设计的革命性变革，这是利用了 Xilinx 的“互联网可再配置逻辑”（Internet Reconfigurable Logic——IRL）技术。这些“现场可更新的应用”定义为一种连接到专用或公共网的应用，它具有在现场已被采用之后可以更新、修复和修改的能力。“在线现场可更新应用”已利用在许多网络装置中，如 ATM 转发器、蜂窝基站和卫星通信系统、其他的网络应用、多用途机顶盒和移动网络器件等。

能够实现在线配置技术是由于具备以下的条件：

(1) 器件结构：Xilinx 的最新产品 Virtex 系列不仅具有高速度、高密度和系统级的特性，还具备可重复配置的特性，这意味着 FPGA 的某些部分可以被更改而同时不影响其他部分的正常工作。作为新一代 FPGA，Virtex 除具有可编程逻辑功能块、可编程 I/O 和可编程布线资源等基本功能之外，还为可编程片上系统增加了许多功能，包括分布 RAM 和块 RAM 的片上存储器，使用了称为延时锁定环（DLL）技术的先进时钟特性和对多种 I/O 接口的支持，使得 Virtex 系列非常适合于可遥控升级的设计中。采用 $0.18\mu\text{m}$ 工艺，六层金属线的 Virtex-E 相对 $0.22\mu\text{m}$ 五层金属线的 Virtex 器件规模有很大增加，最大门数达到 320 万门，

DLL 从 4 个增加到 8 个, 块 RAM 的容量增加一倍。正在研制的 $0.1\ \mu\text{m}$ 六层金属的 Virtex-II 将达到一千万门, 并有 18 位的乘法器, 可达到六千亿次的乘法累加速度, 实现更多的系统功能。

(2) 工艺技术: 采用深亚微米的半导体工艺之后, 器件性能提高的同时, 价格也显著降低, 使得曾经要求定制的 ASIC 的许多新应用成为可能。尤其是 Xilinx 的 Spartan/II 系列对大批量的应用其价格可以与门阵列等 ASIC 器件相比, 但可编程和可再配置的特性又优于 ASIC。Spartan 的性能除配置模式之外与 XC4000E 系列的相同规格的器件性能基本上完全一样, 而 SpartanII 与 Virtex 相同规格的器件性能也基本上完全一样。

(3) 开发工具: 以 Xilinx PC 机开发软件 Foundation 2.1i 为例, 它已经可以设计包括 Virtex、Virtex-E 和 SpartanII 等最新系列的器件, 即进行特大规模的复杂系统级的设计, 可以快速和方便地进行仿真和诊断。软件也具有基于团队设计的能力, 使处在不同地方的多个设计者可以很好地协作。

Foundation 2.1i 软件还将 Core Generator 集成进去, Xilinx 的 LogiCORE 和第三方 AllianceCORE 提供快速、可预测性能的优点, 这些核可以按任何组合的方式放置在任何位置, 从而节省设计者许多时间和精力。

(4) 网络: 目前网络的应用已经非常普及 (例如 Internet), FPGA 的设计可以在网上很容易的下载和测试。

(5) JAVA 等适用于多个平台的语言也使得在各种系统上运行和验证 FPGA 的设计成为可能, 如果需要 JAVA 的虚拟机也可以集成在 FPGA 中, 从而不再需要单独的单片机来进行控制。

所有以上的特性, 使可遥控升级和调试的系统成为可能, 从而比常规的固定逻辑的设计具有更大的优越性。例如, 当前工业界各种各样的标准竞争非常激烈, 从接口规定到通信协议, 这使得新产品的的设计周期和寿命周期变短。使用可重复配置的技术, 可以抢先占领市场且能很容易地适应标准的变化。可重复配置技术使系统能够在运行中适应变化的环境的要求, 例如, 图像解码器可以根据不同的输入数据采用不同的算法, 并且能够在不影响系统工作的前提下下载新的算法。可重复配置技术不仅提高了产品的适应性, 延长了产品的生存周期, 也提高了经济效益。

目前的应用趋向于采用单片 FPGA, 这些应用包括为语音识别和纠错的隐含马尔柯夫模型、模糊逻辑控制、DSP 应用中的线性褶积、高带宽的图像获取、实时机器视觉处理和神经网络加速等。

2. 系统集成芯片(System On a Chip)设计技术

在集成电路(IC)发展初期, 电路设计都从器件的物理版图设计入手, 后来出现了集成电路单元库(Cell Lib), 使得集成电路设计从器件级进入逻辑级, 这样的设计思路使大批电路和逻辑设计师可以直接参与集成电路设计, 极大地推动了 IC 产业的发展。但集成电路仅仅是一种半成品, 它只有装入整机系统才能发挥它的作用。IC 芯片是通过印刷电路板 (PCB) 等技术实现整机系统的。尽管 IC 的速度可以很高, 功耗可以很小, 但由于 PCB 板中 IC 芯片之间的连线延时、PCB 板可靠性以及重量等因素的限制, 整机系统的性能受到了很大的

限制。随着系统向高速度、低功耗、低电压和多媒体、网络化、移动化的发展,系统对电路的要求越来越高,传统集成电路设计技术已无法满足性能日益提高的整机系统的要求。同时,由于 IC 设计与工艺技术水平提高,集成电路规模越来越大,复杂程度越来越高,已经可以将整个系统集成成为一个芯片。目前可以在一个芯片上集成 $10^8 \sim 10^9$ 个晶体管,而且随着微电子制造技术的发展,21 世纪的微电子技术将从目前的 3G (10^9) 时代逐步发展到 3T (10^{12}) 时代。正是在需求牵引和技术推动的双重作用下,出现了将整个系统集成在一片微电子芯片上的片上系统(System on a Chip, 简称 SOC)概念。

片上系统 SOC 与集成电路的设计思想是不同的,是微电子设计领域的一场革命。它和集成电路的关系与当时集成电路与分立元器件的关系类似,对微电子技术的推动作用不亚于自 50 年代末快速发展起来的集成电路技术。

SOC 是从整个系统的角度出发,把处理机制、模型算法、芯片结构、各层次电路直至器件的设计紧密结合起来,在单个(或少数几个)芯片上完成整个系统的功能。它的设计必须从系统行为级开始的自顶向下(Top to Down)。很多研究表明,与 IC 组成的系统相比,由于 SOC 设计能够综合并全盘考虑整个系统的各种情况,因此可以在同样的工艺技术条件下实现更高性能的系统指标。例如,若采用 SOC 方法和 $0.35 \mu\text{m}$ 工艺设计系统芯片,在相同的系统复杂度和处理速率下,相当于采用 $0.18 \sim 0.25 \mu\text{m}$ 工艺制作的 IC 所实现的同样系统阶性能。另外,与采用常规 IC 方法设计的芯片相比,采用 SOC 设计方法完成同样功能所需要的晶体管数目大约可以降低 1~2 个数量级。

对于芯片集成系统(SOC),主要有如下三个关键的支持技术:

(1) 软、硬件的协同设计技术:面向不同系统的软件和硬件的功能划分理论(Functional Partition Theory),这里不同的系统涉及诸多计算机系统、通信系统、数据压缩解压缩和加密解密系统等。

(2) IP 模块库问题: IP 模块有 3 种,按照在数字系统的行为、结构和物理三个设计域上完成的模块分别称为软核(Soft Core)、固核(Firm Core)和硬核(Hard Core)。硬核是基于工艺的物理域设计,与工艺相关,并经过工艺验证,使用价值最高。CMOS 的 CPU、DRAM、SRAM、E²PROM 和 Flash Memory 以及 A/D、D/A 等都可以成为硬核。其中,基于深亚微米的新器件模型和电路模拟基础上,在速度与功耗上经过优化并有最大工艺容差的模块最有价值。现在,美国硅谷在 80 年代出现无生产线(Fabless)公司的基础上,90 年代后期又出现了一些无芯片(Chipless)的公司,专门销售 IP 模块。

(3) 模块界面间的综合分析技术:这主要包括 IP 模块间的粘连逻辑技术(Glue Logic Technologies)和 IP 模块综合分析及其实现技术等。

微电子技术从 IC 向 SOC 转变不仅是概念上的突破,同时也是信息技术发展的必然结果。通过以上三个支持技术的创新,必将导致又一次以系统芯片为主的信息技术上的革命。目前, SOC 技术已经崭露头角,21 世纪将是 SOC 技术真正快速发展的时期。可编程 SOC 具有系统内可再编程的能力,也格外受到重视并发展迅速。

当可编程片上系统器件的集成度达到近万门时,原来采用原理图输入的设计方法就显得过于繁琐,因此器件集成度的提高迫使设计工程师从原理图的输入方法向硬件描述语言(HDL)的设计和综合方法转变,目前至少是原理图输入和 HDL 输入两种方法的混合使用。VHDL 等硬件描述语言常常强调其具有工艺无关的设计特性,实际上不与具体器件相结合

进行综合时, 所谓的优化仅仅是准优化。

为了缩短 VLSI 的开发周期, 逻辑合成方式在 90 年代初成为设计标准, 在以后的自顶向下的设计系统中, 以逻辑合成技术为主, 增补了各种工具, 使具有多功能的复杂 VLSI 设计能够用 EDA 软件来实现。利用语言而无需画电路图的设计方式对缩短 VLSI 的开发周期起到重要的作用。面向计算机的语言式设计是用高度抽象的语言来描述系统的功能, 并需要有相应的计算能力才能将语言描述的功能转换为芯片上具体实现的实际功能。

为了在一个芯片上实现系统集成的设计, 能够在短时间内将包含数千万只晶体管的单片集成方案开发出来, 需要采用综合利用知识产权 (IP: Intelligence Property Core) 功能块进行 VLSI 设计的方法。所谓 IP 功能块是以 VHDL 或 HDL 等语言描述的构成 VLSI 中各种功能单元的软件群。IP 功能块是提供中央处理器 (CPU)、数字信号处理器 (DSP)、外设互连接口 (PCI) 和通用串行总线 (USB) 等足够可靠的各种功能的功能块。供应商在提供 IP 功能块时, 已经排除了语言描述的冗余性, 并且经过验证, 所以系统设计者采用 IP 功能块进行设计时, 可以集中精力去解决系统中的重点课题, 并可用优化的 IP 功能块合并到其定制的核心电路中进行逻辑合成。

如果在板级集成系统时是选择各个厂家的器件安装在印制板构成系统的话, 在芯片上集成系统是选择各个厂家的 IP 功能块综合到芯片上构成系统。VLSI 的这种设计方法也扩展和渗透到可编程片上系统器件, 许多 ASIC 设计者常利用 FPGA 作为产品的样本, 把大的 IP 功能块划分到几个 FPGA 来进行硬件仿真。

为了解决各个厂商的 IP 功能块之间的兼容性, 96 年 9 月, 35 家全世界最大的厂商宣布建立国际性企业联合组织——虚拟接插接口联盟 (VSIA), 为适应系统级集成芯片工业的日益繁荣, 制定 IP 功能块的相应标准。可编程 ASIC 的厂商在提供 IP 功能块时, 允许用户修改一定的参数实施控制来增加具有自身特色的功能。有的厂商如 Actel 和 Crosspoint 等与提供 IP 的公司签订合同, 建立针对其器件优化的 CPU、DSP、通信和多媒体等的核心库提供给用户, 而 Altera 和 Xilinx 分别制定了 Megafuncation Program 和 LogiCore 等计划, 如 Xilinx 公司在通信系统、基于 FPGA 的 DSP 应用、PCI 及 USB 等标准接口、系统内动态方式的可配置结构 (RADD) 和其他基本功能等领域开发 LogiCore 的系统级集成的模块, 为用户系统级设计高性能和高密度的 FPGA 提供预先设计和校验的可寻访 (Drop-in) 模块。Actel 推出的 FPGA 分为面向应用和面向用户的两种模式。

在新一代片上系统领域, 需要重点突破的创新点主要包括实现系统功能的算法和电路结构两个方面。纵观微电子技术的发展史, 每一种算法的提出都会引起一场变革。例如维特比算法、小波变换等技术均对集成电路设计技术的发展起到了非常重要的作用。目前神经网络、模糊算法等也很有可能取得较大的突破。提出一种新的电路结构可以带动一系列的应用, 但提出一种新的算法则可以带动一个新的领域。因此算法应是今后片上系统领域研究的重点学科之一。在电路结构方面, 片上系统由于射频、存储器件的加入, 其中的电路结构已经不是传统的 CMOS 结构, 因此需要发展更灵巧的新型电路结构。另外, 为了实现粘连逻辑 (Glue Logic), 新的逻辑阵列技术有望得到快速的发展, 在这一方面也需要做系统深入地研究。

3. 设计方法的发展趋势

从 90 年代初期开始, 伴随 World Wide Web (WWW) 的发展, 全世界正在进入 Internet 的时代。今后网上工程师将主要通过 WWW 购买可再利用的设计或具有知识产权 IP 的产品。Internet 将越来越多地用于销售和分发各个厂家有关核心库的各种信息, 提供给设计工程师进行设计选择。Xilinx、Altera、Actel 和 Lucent 等公司已在销售可再利用的核心库。但是, 网上工程师更长远的依靠是公司的 Intranet, 这一方面是由于 Internet 交通拥挤, 另一方面是由于 Intranet 具有更高的安全性, 可以使第三方提供的外部信息和公司内部现有的数据库集成在一起。公司的 Intranet 还具有更多的性能优势, 可以容纳公司的任何重要信息, 其中包括更换器件方面的信息等。

有许多因素正促使以 Internet 为中心的电子设计环境加速地形成。随着完成一项设计所需要的信息量和知识量的不断增加, Internet 和 Intranet 成为通信和传递信息的预选工具, 基于 Internet 的设计环境所具有的灵活性和先进性将极大地提高设计效率, 这个设计环境中, 设计工具、数据、信息和知识都是即插即用的, 并且完全与办公室自动化工具和通信工具集成在一起的。设计软件的工作平台从 UNIX 的工作站转向 Windows NT 的 PC 机似乎已是必然的趋势, 选用哪些 EDA 工具主要由承担更大责任的设计工程师决定, 除了极先进的设计工具之外, 所有工具在设计环境中都是即插即用的, 各个工具价格之低使设计工程师可以相当自由地选择所喜爱的工具, 花费数百万美元购买 EDA 工具的时代已经一去不复返。EDA 工具和知识产权是作为基于标准的模块化产品提供的, 它们专门解决特定的设计任务, 设计工程师可以在 Internet 上选购这些产品, 在全球范围获取无限的信息资源, 自由地混合和搭配它们, 建立更富创造性、更高生产率的设计环境。

但是系统级芯片集成的电路设计必须由多学科的设计组来完成, 其中包括来自许多不同学科的专家, 因此设计组的每个成员, 都必须善于进行人际联系和协同工作。此外, 为了领导这样的设计组, 需要培养新型的工程师, 他们应该具有更加开阔的眼界和集成来自不同领域信息的能力。

由于民用市场是电子产业的最大客户, 要求生产的批量大, 为了减少风险希望采用标准的规格来规范民用市场, 因此系统厂家会放弃设计自己独特的 ASIC 芯片, 转为采用半导体厂家设计的符合专用标准的片上系统, 即 ASSP 产品。但是, 系统生产厂家要求能够调整 ASSP 产品的功能, 使其适合厂家特定应用目的所要求的规格和适应不同用户要求的配置, 因此 ASSP 芯片应该是可编程的, 必须能够利用设计软件对其所包含的功能进行编程来调整。而具有遥控修改和升级的“通用”硬件系统将更理想。

如果说 21 世纪初是多媒体的时代, 它应该是以计算机技术、网络为代表的通信技术和 VLSI 为代表的半导体技术等有机融合, 形成包括个人数字助理 (PDA)、数字视频光盘 (DVD) 和机顶盒 (STB) 等硬件新产品。其中的基本要素技术是识别、图像、声音、保密和通信等几大类, 按照对象、方式、算法或者结构等因素, 在这些大类之下, 又可以区分成许多种不同的技术。这些基本要素技术都采取以中间件为代表的软件形态, 而实际上又都内置于集成电路的芯片之中。集成电路的芯片未来的发展也是一种融合的状态, 将 CPU、DSP、存储器和接口电路都融合在一个芯片之中, 将这类集成系统性能在其中的芯片称为智能芯片, 它需要采用多种多样的技术来使其付诸实现, 对于微细加工技术的要求是