

TN305-43
1

638029

中等专业学校教材

半导体器件制造工艺

张曼珠 叶萍 编

上海科学技术出版社

13-20217

内 容 提 要

本教材经全国电子类教材编审委员会审定，作为中专半导体专业和技工学校的教学用书。

本教材主要介绍半导体器件硅平面生产工艺的原理、方法、质量检验及分析。全书共分十章：半导体材料与衬底制备；外延；制版；氧化；掺杂；光刻；电极制备及引线封装；隔离技术；表面钝化技术；半导体器件的可靠性。

本教材内容由浅入深，文字通俗易懂，除作教材之外，也可供从事半导体器件生产的工程技术人员和技术工人阅读。

中等专业学校教材
半导体器件制造工艺
张曼姝 叶 萍 编
上海科学技术出版社出版
(上海瑞金二路 450 号)

新华书店上海发行所发行 商务印书馆上海印刷厂印刷

开本 787×1092 1/16 印张 15 字数 369,000
1987年4月第1版 1987年4月第1次印刷
印数：1—1,800

统一书号：15119·2541 定价：2.20元

出版说明

根据国务院关于高等学校教材工作分工的规定，我部承担了全国高等学校工科电子类专业课教材的编审、出版的组织工作。从一九七七年底到一九八二年初，由于各有关院校，特别是参与编审工作的广大教师的努力和有关出版社的紧密配合，共编审出版了教材 159 种。

为了使工科电子类专业教材能更好地适应社会主义现代化建设培养人才的需要，反映国内外电子科学技术水平，达到“打好基础，精选内容，逐步更新，利于教学”的要求，在总结第一轮教材编审出版工作经验的基础上，电子工业部于一九八二年先后成立了高等学校《无线电技术与信息系统》、《电磁场与微波技术》、《电子材料与固体器件》、《电子物理与器件》、《电子机械》、《计算机与自动控制》，中等专业学校《电子类专业》、《电子机械类专业》共八个教材编审委员会，作为教材工作方面的一个经常性的业务指导机构，并制定了一九八二~一九八五年教材编审出版规划，列入规划的教材、教学参考书、实验指导书等共 217 种选题。在努力提高教材质量，适当增加教材品种的思想指导下，这一批教材的编审工作由编审委员会直接组织进行。

这一批教材的书稿，主要是从通过教学实践、师生反映较好的讲义中评选择优和从第一轮较好的教材中修编产生出来的。广大编审者、各编审委员会和有关出版社都为保证和提高教材质量作出了努力。

这一批教材，分别由电子工业出版社、国防工业出版社、上海科学技术出版社、西北电讯工程学院出版社、湖南科学技术出版社、江苏科学技术出版社、黑龙江科学技术出版社和天津科学技术出版社承担出版工作。

限于水平和经验，这一批教材的编审出版工作肯定还会有许多缺点和不足之处，希望使用教材的单位、广大教师和同学积极提出批评建议，共同为提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系由中等专业学校电子类专业教材编审委员会元器件编审小组评选审定，并推荐出版。

该教材由辽宁电子计算机学校(原阜新电子工业学校)张曼姝主编，编写前七章。无锡无线电工业学校叶萍参编，编写后三章。天津仪表无线电学校李志信主审。编审者均依据元器件编审小组审定的编写大纲进行编写和审阅的。

本课程的参考教学时数为 160 学时，主要介绍半导体器件硅平面生产工艺的原理、方法、质量检验及分析。并适当地介绍了新工艺、新技术。全书共分十章：半导体材料与衬底制备；外延；制版；氧化；掺杂；光刻；电极制备及引线封装；隔离技术；表面钝化技术；半导体器件的可靠性。

常州无线电工业学校、南昌无线电工业学校、无锡无线电工业学校、天津仪表无线电学校、辽宁电子计算机学校等单位有关教师审阅了本教材，提出许多宝贵意见。这里表示诚挚的感谢。

编 者

目 录

出版说明

前言

概述	1
第一章 半导体材料与衬底制备	9
第一节 概述	9
第二节 硅单晶的制备	11
第三节 硅单晶的质量检验	17
第四节 衬底的制备	26
第二章 外延	35
第一节 外延生长原理	35
第二节 外延生长工艺	38
第三节 外延层的质量分析	43
第四节 外延层的质量检验	47
第三章 制版	51
第一节 制版的光学基础	51
第二节 制版工艺	54
第三节 超微粒干版的制备	60
第四节 铬版与氧化铁版的制备	67
第四章 氧化	71
第一节 二氧化硅的结构与性质	71
第二节 二氧化硅在器件生产中的应用	75
第三节 二氧化硅膜的制备与原理	78
第四节 二氧化硅的质量分析与检验	87
第五章 掺杂	93
第一节 合金法	93
第二节 扩散原理	96
第三节 扩散方法	110
第四节 扩散层的质量分析与检验	123
第五节 离子注入	133
第六章 光刻	138
第一节 光刻胶	138
第二节 光刻工艺	142
第三节 光刻质量分析	150
第四节 其它光刻技术	152
第七章 电极制备及引线封装	157
第一节 欧姆接触	157
第二节 蒸发工艺	159
第三节 合金与烧结	167

第四节 键合与封装	171
第八章 隔离技术	179
第一节 pn 结隔离	179
第二节 介质隔离	185
第三节 pn 结—介质混合隔离	191
第九章 表面钝化技术	194
第一节 硅—二氧化硅界面特性对器件性能的影响	194
第二节 氮化硅钝化	198
第三节 磷硅玻璃钝化	202
第四节 三氧化二铝钝化	206
第五节 其它钝化方法	210
第十章 半导体器件的可靠性	215
第一节 可靠性的概念及简单计算	215
第二节 可靠性试验	217
第三节 半导体器件失效分析	223
第四节 提高器件可靠性的措施	227
总附录	232
附录一 室温(300 °K)下锗、硅、砷化镓的物理性质	232
附录二 常用杂质、金属与合金的主要物理性质	233
附录三 热电偶种类及使用的温度范围	234
附录四 余误差函数(erfcx)表	234

概 述

一、半导体器件工艺发展史

半导体器件工艺,是本世纪中期发展起来的一门新技术。在本世纪三十到四十年代,由于微波技术的发展,真空二极管已不适应超高频波段的检波要求,这就促使人们对半导体材料的性质及特点进行了各种研究和探索。经过不断的实践,采用生长法制造pn结,不仅制造了锗、硅微波二极管,并且部分地代替了真空二极管,而且还用这种方法生产了第一批用来验证pn结电流-电压特性理论的二极管。但是,从大批量生产的角度来看,生长法还不如半导体器件工艺中提出的另一种方法,即合金法。

1948年,具有放大作用的原始点接触晶体管问世,由于它具有体积小、重量轻、耗电省和坚固耐用等独特优点,引起人们的广泛重视。

1951年,用合金法第一次制成了pnp型合金型晶体管,其结构是在n型锗片上,一边放受主杂质钢球作发射极,另一边放钢球作集电极,加温烧结。由于冷却时,原先溶入熔融合金材料中的半导体重新析出,此再结晶层内就掺有大量受主杂质钢或钢,与原先n型锗片导电类型相反,从而形成pnp结构。其结构如图0-1所示,图中 W 为基区宽度, X_{je} , X_{jc} 分别为发射结和集电结结深。

合金管具有结构简单、工艺方便,成本低并适合大量生产等优点。但是合金管在生产过程中结深很难精确控制,基区一薄就发生穿通现象,这就限制了合金管的频率特性,使合金管仅用在低频领域。

1955年左右,人们又探索出一种新的控制pn结位置的方法,即扩散法。结合扩散法,人们研制成了漂移型晶体管,从结构和工艺来说,它只比pnp合金管多一层 n^+ 扩散层(发射极小球烧在 n^+ 扩散层上),但因扩散层(基区)内存在漂移电场,所以,它的频率特性比合金管显著地提高了。

1958年,合金扩散晶体管被研制成功了,它是在一片p型锗片上放置含有钢,镓、铟的合金小球,在 700°C 左右下烧结,由于受主杂质镓的浓度大大超过铟的浓度,所以再结晶层

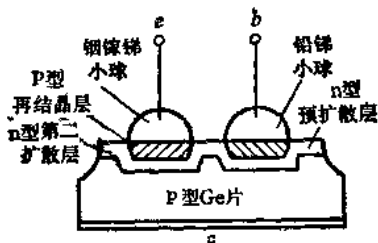


图0-2 合金扩散管结构图

是p型半导体,但铟原子的扩散速度比起镓和钢原子要快得多,所以在烧结温度下,在合金小球的下方出现了一层由铟原子扩散而形成的很薄的n型扩散层。这样,在烧结温度下,扩散结与合金结同时完成(即发射结为合金结,集电结为扩散结),从而形成了合金扩散型晶体管,其结构如图0-2所示。

从图中可以看出,由铟原子扩散而形成的n型层中的杂质浓度是不均匀的,因此存在着一个加速少数载流子运动的漂移电场,同时扩散方法可以形成很薄的n型扩散层,它保证了基区宽度 W 可减小到约 $2\sim 3\mu\text{m}$ 。这显然大大地

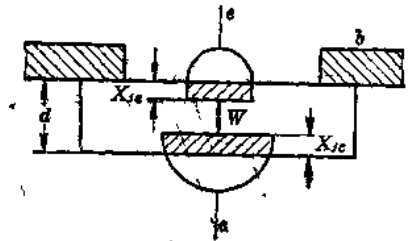


图0-1 合金型晶体管结构图

提高了晶体管的频率特性,使晶体管频率提高到数百兆以上。

在生产实践中,为了引出基极电极,还在 p 型锗片上预先扩散一层 n 型层,然后在此扩散层上除了放置一个铟、镓、铋小球外,还另外在旁边放上一个铅、铋合金小球,以作基极欧姆接触电极用。这样在烧结合金时,铟、镓、铋合金小球形成合金结和扩散层,为区别于预扩散层,此扩散层称之为第二扩散层。由于铟、镓、铋小球的合金深度较深,它将穿过锗片上的预扩散层,所以第二扩散层才是真正的基区层,而预扩散层只是为了引出基极而附加的。此外,为了减少集电极电容,还采用了台面腐蚀的方法,将发射极和基极这一小区域以外的 n 型扩散层腐蚀掉。

由于合金扩散管具有良好的高频性能,因此广泛用于高速开关、高频放大、电视调谐器等无线电设备中。但要再进一步提高频率特性,除了要控制更薄的基区宽度外,还要求有合理的电极形状,因此,人们发展了台面管。

台面晶体管是在 p 型锗片上扩散一层厚度为 $1\sim 2\mu\text{m}$ 的 n 型扩散层,然后再在 n 型扩散层上面应用真空蒸发金属的方法蒸发两条金属电极,一条是铝电极,它与扩散层形成发射结,另一条是金铋合金电极,它与扩散层形成欧姆接触,作为基极电极,最后用保护油把电极区域掩盖起来进行台面腐蚀,其结构如图 0-3 所示。

这种方法可获得更薄的基区,加之采用条形电极,使发射结和基极靠得很近,集电极电容 C_c 大大减小,以致使台面管具有比合金扩散管更好的高频特性。

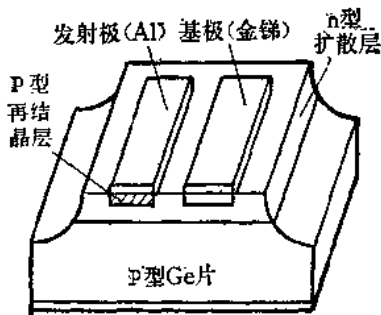


图 0-3 台面管结构图

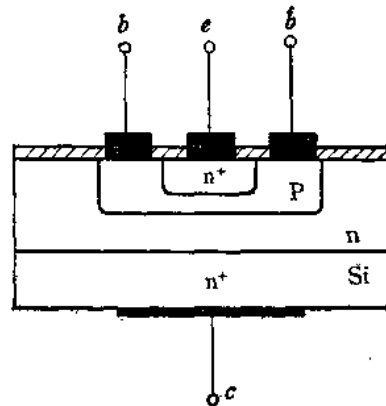


图 0-4 硅外延平面管结构图

1960 年左右,随着氧化和光刻工艺的出现,人们把扩散法同这两个工艺结合起来,形成了平面工艺。以后在实践中,人们又在平面管的基础上研究制造了硅外延平面管。其结构如图 0-4 所示。

对比其它类型的晶体管,硅外延平面晶体管的 pn 结不裸露在外,而且其保护膜——二氧化硅膜的化学性质非常稳定,能耐高温,抗杂质原子侵入的能力强,并且是良好的绝缘体,因此它不仅能钝化表面,而且与光刻技术相配合可进行选择扩散,这样可使电极的形状更为合理,其结果显然使晶体管的可靠性、稳定性得到了极大的改善。另外,由于高阻外延层的加入,解决了击穿电压和饱和压降的矛盾,使得外延平面晶体管无论在开关速度、高频和直流特性、功耗等方面都具有较好的特性而得到了广泛的应用。也正因为如此,二十多年来,采用平面工艺生产的晶体管一直占主导地位,并且近些年来,超高频大功率晶体管,超高频低噪声晶体管,高反压大功率晶体管等都先后出现,使晶体管在数量、品种、质量上都达到一

定水平。

随着电子计算机、人造地球卫星和宇宙飞船所运载的电子仪器愈来愈多和愈来愈复杂，用晶体管线路无论在体积，重量还是在能源消耗上，都逐渐不能适应了，这些矛盾就促使半导体器件进一步向小型化、低功耗和高可靠性的方向发展。

集成电路的出现和发展，不仅使电子设备体积大幅度缩小，重量大幅度减轻，而且在性能及可靠性方面也提到了新的高度。由于大量的晶体管和各种集成电路都是采用平面工艺制造的，因此，可以说是由于平面工艺的出现，才导致了当代电子工业的高速发展。所以，为了学好半导体器件的制造技术，达到举一反三、触类旁通的目的。我们则以硅外延平面工艺为主线，重点学习各类技术的基本原理，为今后的实践打下良好的基础。

二、硅外延平面晶体管工艺流程

为了对硅外延平面晶体管的制造工艺有个整体的轮廓，以便理解各工序之间的联系和作用，这里对3DK₃开关管的工艺流程作一个总体介绍，至于各工序的详细分析和讨论，将在后面章节中进行。

图0-5为3DK₃硅外延平面开关管的工艺流程剖面图。

下面按各步加以说明：

1. 衬底制备 选用电阻率为 $10^{-3}\Omega\cdot\text{cm}$ ，即掺杂浓度为 $10^{19}\sim 10^{20}/\text{cm}^3$ ，位错密度

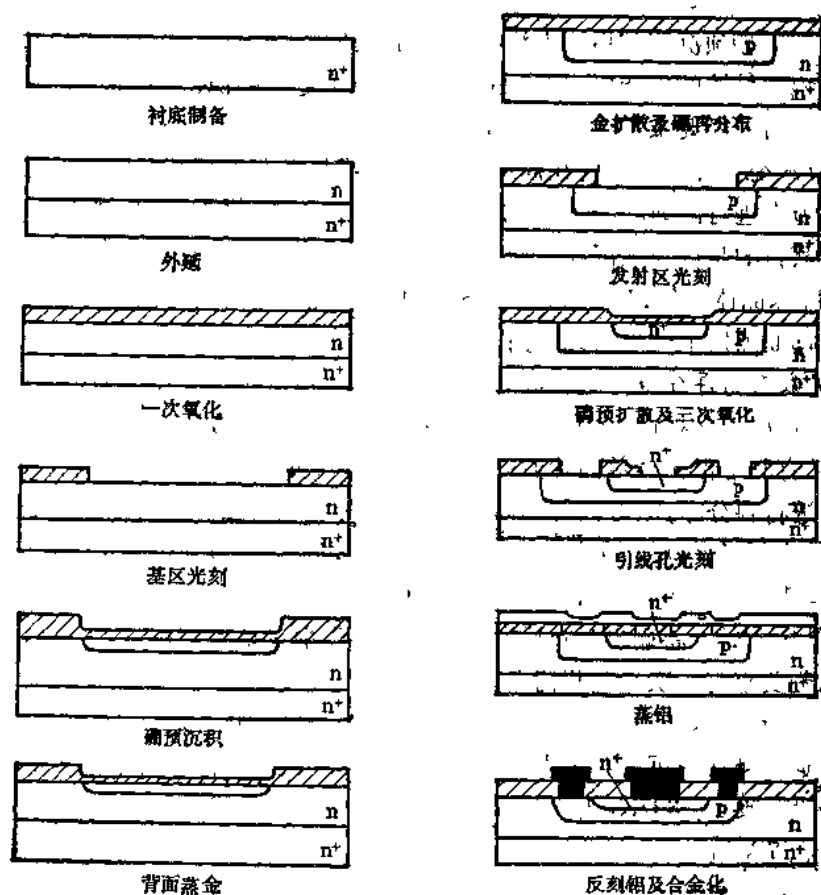


图0-5 硅外延平面晶体管生产的工艺流程剖面图

$\leq 10^3 \text{ cm}^{-3}$ 的 n^+ 型硅单晶, 通过切、磨、抛获得表面光亮、平整、无伤痕, 并且厚度(通常为 $400 \mu\text{m}$)符合要求的硅片。

2. 外延 在低电阻率的硅片上外延生长一层电阻率较高的 n 型硅单晶, 这样, 高电阻率的外延层可提高集电极的击穿电压; 低电阻率的衬底硅片可降低集电极的串联电阻, 减小饱和压降。

对于 3DK₃ 开关管, 要求外延层电阻率 ρ 为 $0.3 \sim 0.5 \Omega \cdot \text{cm}$, 即掺杂浓度为 10^{16} cm^{-3} 左右; 层错密度 $\leq 10^2 \text{ cm}^{-2}$; 位错密度 $\leq 10^3 \text{ cm}^{-2}$; 外延层的厚度为 $7 \sim 10 \mu\text{m}$ 。

3. 一次氧化 将硅片放在高温炉中进行氧化, 使表面生长一层一定厚度的二氧化硅膜。二氧化硅层的作用有两个: 一是和光刻结合在一起以利于选择扩散的进行; 二是钝化管芯表面, 提高管子的稳定性和可靠性, 为了达到上述目的, 一般要求氧化层厚度为 $0.5 \sim 0.6 \mu\text{m}$ 。

4. 基区光刻 基区光刻是在一次氧化所生长的二氧化硅膜上, 光刻出基区扩散窗口, 使硼扩散的杂质只能通过此窗口进入硅内, 而不能进入有二氧化硅掩模的其它区域, 达到选择扩散的目的。

基区光刻要求窗口边缘整齐, 无小岛和针孔。光刻与制板是直接有关的。“制板”工作就是提供光刻所需要的光刻板(又称“掩模”)。

5. 硼预沉积 基区硼扩散是形成晶体管基区的工序。硼扩散通常都分为预沉积和再分布两步进行。硼预沉积是用液态源扩散的方法或用固态氮化硼源扩散的方法在开出的基区窗口内沉积上足够的硼杂质, 作为硼再分布时的限定表面源, 为硼再分布创造了必要的条件。硼预沉积后一般要求方块电阻为 $70 \sim 80 \Omega/\square$ 。

6. 背面蒸金 开关管需要在硅片背面蒸金, 金扩散与硼再分布同时进行。所以在硼再分布之前必须先进行减薄。减薄是将硅片背面磨去一层, 使硅片的厚度减薄到 $200 \sim 250 \mu\text{m}$ 左右。其目的是避免预沉积在硅片背面的高浓度硼进一步扩散, 有利于减小集电极的串联电阻, 降低晶体管的饱和压降。此外又可使后边工序的划片和压片能够顺利进行。减薄后在硅片背面蒸发上一层高纯金, 作为金扩散的杂质源。

7. 金扩散及硼再分布 金扩散的目的是减小集电区少子寿命, 缩短开关管的贮存时间, 提高开关速度。金扩散与硼再分布结合在一起的好处是减少了一次高温热处理, 提高了生产效率, 又有利于保护硅单晶片的完整性, 提高管子的性能。

高温下进行再分布, 一方面使硼向内扩散, 同时金也均匀扩散到硅晶片中, 另外, 在表面又生长出一层新的氧化层。3DK₃ 开关管要求硼再分布后的方块电阻 $R_{\square} = 180 \sim 200 \Omega/\square$, 结深 $X_{j0} = 2.1 \sim 2.4 \mu\text{m}$, 二氧化硅层厚度在 $0.5 \mu\text{m}$ 左右。

8. 发射区光刻 将硼再分布后的硅片光刻出发射区磷扩散窗口, 为发射区选择扩散作好准备。光刻要求与一次光刻相同。

9. 磷预沉积 这是形成晶体管发射区的过程。磷扩散一般分为预沉积和再分布两步进行。不过通常都在预沉积时采用较高温度和较长的沉积时间把管子的 β 值等电参数控制到基本符合设计要求, 3DK₃ 开关管磷预沉积后要求: β 为 $30 \sim 40$, $BV_{cbo} > 12\text{V}$, $BV_{ceo} > 8\text{V}$, BV_{ebo} 在 7V 左右。

10. 磷再分布(三次氧化) 再分布的主要目的是在发射区窗口上生长足够厚的氧化层, 作为后面工序的掩蔽膜, 此外还可以在一定程度上调整 β 值, 使其达到预定要求。磷再分

布,要求二氧化硅厚度为 $0.2\sim 0.3\mu\text{m}$, β 控制在 $50\sim 60$ 范围。正因为上述原因,有些工厂往往把磷预沉积称为磷扩散,而把磷再分布称为三次氧化。

11. 引线孔光刻 刻出基区和发射区的电极引线接触窗口。

12. 蒸铝 用真空蒸发的方法将高纯铝蒸发在硅片表面上,铝层应光亮、细致、厚度符合要求。

13. 反刻铝 将电极以外的铝层刻蚀掉,留下电极窗口处的铝作为电极内引线。

14. 合金化 蒸发在硅表面的铝层和硅之间的接触,还不一定是欧姆接触。必须通过合金化使其成为欧姆接触。

所谓合金化,就是把经过铝反刻后的硅片放在真空或氮气气氛中加热到适当温度,使铝、硅界面附近由于两种原子相互扩散,形成良好的欧姆接触。目前有些工厂常将铝反刻后的去胶与合金化同时进行。又由于二氧化硅表面的磷硅玻璃薄层,对阻挡二氧化硅层中的钠离子漂移有一定效果,故目前有些工厂的合金化采用磷蒸气合金工艺。

到此晶体管的管芯就基本做成。见图0-5的反刻铝及合金化的剖面图。下面再接着介绍一下管芯的检测和封装等后道工序。

15. 中测 为鉴别管芯性能的好坏,需根据管子参数的要求进行中测,一般测量放大系数 β 和击穿电压,对于性能不合要求的管芯注上标记,以便划片后剔去。另外通过中测也可发现前工序存在的问题,便于及时纠正。

16. 划片 现在一个硅片上已做有许多管芯,所以需用划片机进行划片,将每个管芯分割开来,然后根据中测结果选出符合要求的管芯,继续进行下面的工序。

17. 烧结 烧结是利用银浆中的氧化银在高温下还原为金属银,将管芯固定在底座上,形成低阻欧姆接触。使管芯的集电极与底座金属板及集电极管脚相连。

18. 键合 键合是用金丝或硅铝丝通过热压焊接或超声键合方法,把管芯的发射极和基极与底座上相应的管脚连接起来。

19. 封帽 封帽就是把管芯密封在适当的管壳内,管壳的形状和质量对器件性能有较大的影响,要根据管子的性能要求具体选用。

20. 工艺筛选 将封好的管子进行高温老化、功率老化、温度试验、高低温循环试验等,以便从产品中除去不可靠的管子。

21. 总测 对晶体管的电性能按出厂要求进行全面测试,并根据规定的指标将管子进行等级分类。

22. 打印、包装、入库 根据管子型号及分类打印在晶体管管壳上,以利于用户辨别和使用,然后包装入库。到此,全部工艺过程结束。

三、双极型集成电路制造工艺流程

半导体集成电路中又可分为双极型集成电路和金属—氧化物—半导体(MOS)集成电路。在双极型半导体集成电路生产中,常见的隔离方法有pn结隔离和介质隔离两种,前者方法简单,成品率高,用得最普遍。图0-6为一种典型的pn结隔离半导体集成电路芯片制造工艺流程图。下面对图中各工序作一些简单说明,以便了解集成电路的芯片结构和工艺特点。

1. 衬底的制备 一般采用电阻率为 $8\sim 13\Omega\cdot\text{cm}$ 的p型单晶硅棒,沿晶面切割成 $300\sim 400\mu\text{m}$ 厚的大圆片,经研磨、抛光,使硅片表面光亮如镜。

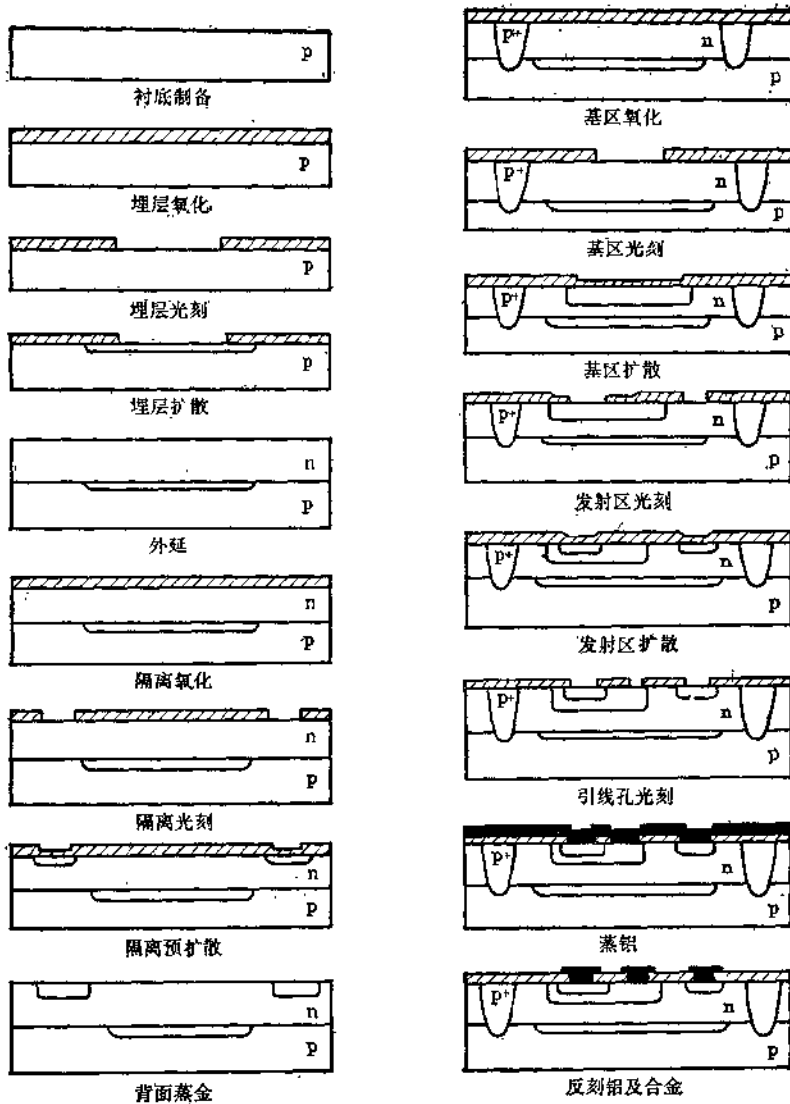


图 0-6 双极型集成电路生产的工艺流程图

2. 埋层氧化 将衬底硅片放入氧化炉中进行热氧化, 使表面生长 $1\sim 1.5\mu\text{m}$ 厚的氧化层, 作为埋层扩散的掩蔽膜。

3. 埋层光刻 光刻埋层扩散的窗口。

4. 埋层扩散 由于半导体集成电路中晶体管的集电极引线都是从硅片正面引出的, 这样从集电极到发射极的电流, 必须从高阻的外延层流过, 这相当于在体内引进一个大的串联电阻, 使晶体管的饱和压降增大。为了解决这个矛盾, 在集成电路的制造工艺中, 增加了埋层扩散工艺, 即在外延工艺进行之前, 先在 p 型硅衬底上用箱法硼扩散形成一个低阻的 n^+ 型薄层, 以使集电极电流由这个低阻层通过(见图 0-6 管芯结构图), 从而有效地降低了集电区的串联电阻, 这样晶体管的饱和压降较小。

5. 外延 用氢氟酸泡除氧化层, 将硅片放进外延炉, 生长一层 n 型外延层, 一般控制

电阻率为 $0.3 \sim 0.5 \Omega \cdot \text{cm}$, 厚度为 $6 \sim 10 \mu\text{m}$ 。

6. 隔离氧化 将外延片进行热氧化, 生长 $0.6 \sim 1 \mu\text{m}$ 厚的氧化层, 作为隔离扩散的掩蔽膜。

7. 光刻隔离区 光刻出隔离扩散窗口。

8. 隔离扩散 当许多元件做在同一 n 型外延层上, 并且它们所处的电位又不一样时, 就存在着相互绝缘的问题。在双极型集成电路的生产中最广泛采用的一种绝缘方法就是“ pn 结隔离”, 即利用 pn 结的反向高阻特性来实现各元件之间的隔离。方法是进行浓硼扩散以形成穿透 n 型外延层的 p^+ 型隔离墙, 从而把外延层分成若干个彼此独立的隔离岛, 电路中相互绝缘的各个元件分别做在不同的隔离岛中。电路工作时, 连通 p 型硅衬底的 p^+ 型隔离墙接最低电位, 而各个 n 型隔离岛接较高电位, 因此各个隔离岛上的元件被两个背靠背的反向 pn 结隔开, 达到电性能彼此绝缘的目的。注意, 扩散后要泡除氧化层。

9. 背面蒸金 在硅片的背面蒸发上一薄层金作为金扩散扩散源, 金扩散是逻辑电路生产中所要求的。而 pn 结隔离方法制造逻辑电路的情况较多, 故在此提出此工序。有时生产其它类型的电路时可能没有此步工序。

10. 基区氧化 在硅片表面生长一层 $0.5 \sim 0.8 \mu\text{m}$ 厚的氧化层, 作为基区扩散的掩蔽膜, 同时也进行了金扩散。

11. 基区光刻 光刻出各晶体管的基区和各扩散电阻的窗口。

12. 基区扩散 由硼扩散形成晶体管的基区, 同时也形成了扩散电阻, 硼扩散分预沉积和再分布两步进行。预沉积的目的在于把硼杂质淀积在硅片表面, 再分布使表面硼杂质向硅片深处扩散, 形成一定的杂质分布和结深。并同时进行热氧化, 使硅片表面生长一层一定厚度 ($0.5 \sim 0.6 \mu\text{m}$) 的氧化层, 作为发射区磷扩散的掩蔽膜。

13. 发射区光刻 光刻出发射区扩散窗口及集电极引线窗口。

14. 发射区扩散 由磷扩散形成晶体管的发射区, 并在集电极引线孔位置形成 n^+ 型区, 以便制作欧姆接触电极。磷扩散也分预沉积和再分布两步进行, 在再分布同时生长一定厚度的氧化层。磷再分布也称三次氧化。

15. 光刻引线孔 用光刻方法刻出各元件电极欧姆接触窗口, 以便蒸铝引出电极。

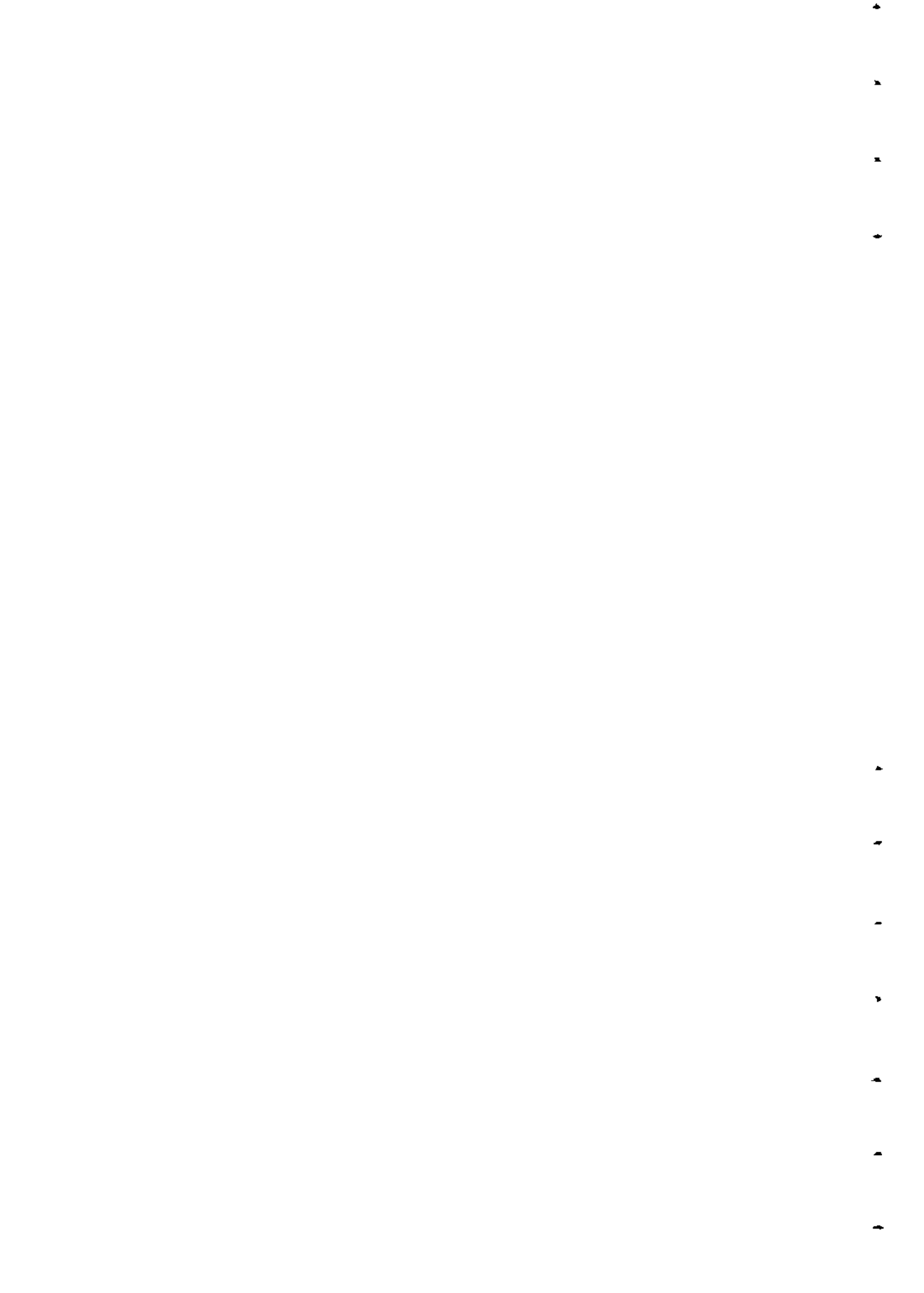
16. 蒸铝 在硅片正面蒸发一层高纯铝薄膜。

17. 铝反刻 根据电路引出线及元件互连线的要求, 将不需要的铝膜用光刻方法刻除。

18. 合金化 为使铝电极与硅形成良好的欧姆接触, 光刻后, 尚需进行合金化。合金化可在真空、氮气、磷蒸气气氛中进行, 合金温度在 520°C 左右, 时间为几分钟到十几分钟。

到此, 管芯已经形成, 将合金化后的大圆片测试, 切片, 便成为独立的电路芯片。挑选参数合格的电路芯片流入后道工序, 将制成的管芯严密封装起来, 即为成品。

虽然半导体集成电路制造工艺是在硅平面晶体管工艺的基础上发展起来的, 两者之间有许多共同之处, 但是集成电路是将晶体管、二极管、电阻等元件组成的电路做在同一硅片上, 和晶体管制造工艺相比, 它要增加隔离扩散和埋层扩散两道工序。



第一章

半导体材料与衬底制备

半导体材料是一类具有半导体性能,用来制作半导体器件的电子材料。它的电阻率通常在 $10^{-3} \sim 10^9 \Omega \cdot \text{cm}$ 范围内。常用的重要半导体的导电机构是通过电子和空穴这两种载流子来实现的,因此,相应的有 n 型和 p 型之分。半导体材料通常具有一定的禁带宽度,其电特性易受外界条件(如光照、温度等)的影响。不同导电类型的材料是通过掺入特定杂质来制备的。杂质(特别是重金属快扩散杂质)对材料性能的影响很大。因此,半导体材料应具有很高的纯度,而且还要求超净的生产环境,以期将生产过程的杂质污染减至最小。半导体材料大部分都是晶体,半导体器件对于材料的晶体完整性有较高的要求。此外,对于材料的各种电学参数的均匀性也有严格的要求。

本章将介绍半导体材料的种类及特性,并简单介绍硅单晶的制备及硅单晶质量参数的测试。另外,还着重讲述了衬底制备。

第一节 概 述

一、半导体材料的种类

1. 元素半导体 仅由单一元素组成的半导体材料称为元素半导体。在周期表中具有半导体性质的元素有:碳、硅、锗、硒、砷、锑等。其中最有用的是硅、锗和硒。元素半导体因由单一元素组成,故在纯度、结构完整性和均匀性方面都优于其它材料,制备工艺和使用都较为成熟。

2. 化合物半导体 具有半导体特性的化合物称为化合物半导体。它是由两种或两种以上的元素组成的。它包括晶态无机化合物及其固溶体、非晶态无机化合物、有机化合物和氧化物半导体等。通常所说的化合物半导体指晶态无机化合物半导体。其中主要有 III-V 族化合物、II-VI 族化合物、IV-IV 族化合物。而研究、应用较多、发展最快的晶态无机化合物半导体中尤以 III-V 族化合物半导体较为成熟。其中研究较多的是 GaAs、GaP、InP 和 InSb。

3. 氧化物半导体 氧化物半导体是指具有半导体性质的氧化物,如 MnO、 Cr_2O_3 、FeO、 Fe_2O_3 、 Cu_2O 等。大多数氧化物半导体的主要用途是制作热敏电阻。

4. 固溶体半导体 由两种或两种以上的元素或化合物半导体相互溶合而成的材料是固溶体半导体。随着各种组元在固溶体中所占百分比的改变,固溶体半导体材料的各种性质将会连续地改变。这是固溶体半导体的一个重要特性。利用这种特性即可获得性质随人们希望而变化的材料。目前应用较多的是由 III-V 族化合物组成的固溶体 $\text{GaAs}_{1-x}\text{P}_x$ 、 $\text{Ga}_{1-x}\text{Al}_x\text{As}$ 和 $\text{In}_{1-x}\text{Ga}_x\text{P}$ 等。这些材料主要用来制作光电器件,发展比较成熟。

5. 玻璃半导体 象玻璃那样,具有无定形结构的半导体材料称为玻璃半导体。它通常

分为氧化物玻璃半导体和硫化物玻璃半导体。这种材料仍在探索中,至今尚未进入真正实用阶段。

6. 有机半导体 具有半导体性质的有机物称为有机半导体,如萘、蒽、聚丙烯腈和聚二乙烯苯等。将它们氧化脱氢后可制成具有检波作用的二极管。目前国际上正在开展用有机半导体制造分子电路的研究工作。

二、硅材料的重要性

三种比较重要的半导体材料的特性如表 1-1 所示。

表 1-1 锗、硅、砷化镓的一些特性

材料名称	原子量(分子量)	熔点 °C	禁带宽度 (Eg) eV	迁移率(电子) $\mu \cdot \text{cm}^2/\text{V} \cdot \text{s}$	器件使用最高温度 °C
锗(Ge)	72.60	940	0.67	3900	85~100
硅(Si)	28.09	1417	1.12	1350	250
砷化镓(GaAs)	144.6	1238	1.43	8600	450

从表 1-1 我们可知:

1. 硅的某些固有特性比锗好 锗的禁带宽度只有 0.67 eV, 因而使锗器件的工作温度限制为最高 85~100°C。硅的禁带宽度达 1.12 eV, 硅器件工作在 250°C 下仍然可以保持性能稳定。另一方面, 锗的本征电阻率约为 47 $\Omega \cdot \text{cm}$, 而硅的本征电阻率高达 230,000 $\Omega \cdot \text{cm}$, 比锗高 3~4 数量级, 这样可供器件选用的电阻率范围就更大, 因而使硅整流器和硅可控整流器能够获得更高的反向耐压的和更大的功率。此外由于 SiO_2 膜对 pn 结表面的保护作用, 使硅器件的反向饱和电流比没有保护膜的锗器件低三个数量级, 从而具有更高的可靠性和稳定性。

2. 硅器件的制造工艺先进 锗的载流子迁移率比较高, 从频率特性方面考虑, 锗要比硅有利。但是由于扩散技术、硅外延生长和平面技术的应用, 使硅器件的频率和功率性能二者之间的矛盾得到了统一, 也使制造硅高频大功率器件有了切实的保证, 同时使噪音系数也大为降低。但是这些新技术恰恰不能应用于锗器件。因而, 硅器件在各个应用领域中一跃而超过了锗器件, 成为当前半导体器件发展的主流。

3. 硅的原料来源比较丰富 锗是稀有元素, 料源十分缺乏, 在一吨煤中只能提炼几克的锗。而硅的料源极为丰富, 在地壳中的含量达 25.8%。因此, 只要硅材料的制备工艺进一步成熟, 就能极大地降低成本, 更好的满足器件制造的需要。

4. 砷化镓成熟 我们从表 1-1 上可以看出, 砷化镓具有大的禁带宽度, 高的迁移率等优异特点, 它在频率和功率特性上都很好。但是砷化镓虽然显示出优越性, 可是现阶段其料源远不及硅广泛, 且处在试制阶段, 工艺也远不及硅成熟, 所以目前砷化镓在半导体材料中的地位还不能与硅相提并论, 但其发展前途是很可观的。

三、半导体材料纯度的表示方法

1. n 个“9” 锗和硅常用 n 个“9”来表示纯度, n 个“9”的意思指纯硅(或锗)占 $\underbrace{99.99 \cdots 9}_{n \text{ 个}}\%$, 也就是说, 杂质含量小于 10^{-n} 。

$$10^{-n} = \frac{1}{10^n} = \frac{1}{\underbrace{100 \cdots 00}_{n \text{ 个}}} = \underbrace{0.00 \cdots 01}_{n \text{ 个}}$$

2. “ppm”与“ppb” 一般以这种方法来表示硅和锗中某一杂质的含量, 1个ppb就是十亿分之一原子数, 即 10^{-9} 。如硅中硼含量为1ppb, 就是硼含量为0.0000001%, 如果除含硼1ppb之外, 没有其它杂质, 则硅的纯度相当于9个“9”。即99.999999%。

一个ppm就是百万分之一, 即 10^{-6} , 换算成百分数, 则为0.0001%, 硅纯度相当于6个“9”。

3. 电阻率 对于受主或施主半导体, 当杂质导电作用大于本征导电作用时, 杂质的浓度就等于空穴或电子的浓度。而电阻率(ρ)空穴或电子浓度有如下对应关系:

$$\rho = \frac{1}{nq\mu_n} \quad (\text{施主})$$

$$\rho = \frac{1}{pq\mu_p} \quad (\text{受主})$$

其中, n 、 p 分别为电子和空穴的浓度。 μ_n 、 μ_p 分别为电子和空穴的迁移率。 q 为电子电荷, 其值为 1.6×10^{19} 库伦。

在接近本征情况, 本征导电作用大大超过杂质导电, 因而可以认为两种载流子数目是相同的。此时:

$$\rho = \frac{1}{nq(\mu_n + \mu_p)}$$

其中, n 为本征载流子浓度。

四、半导体材料的主要特性

- ① 含有极微量的杂质, 可使电阻率有较大的变化。
- ② 随温度的变化, 电阻率变化较大, 且具有负温度系数。
- ③ 与金属接触面或者不同导电类型的半导体接触面(结)能显示整流作用。
- ④ 遇光时, 电阻减小, 或者在结处产生电动势。
- ⑤ 热电动势较大, 且随温度变化。
- ⑥ 具有霍尔效应。
- ⑦ 具有较敏感的压电效应。

正确地利用这些特性, 可以制作整流器, 晶体管、激光器、太阳电池、热敏电阻、光敏器件、电子致冷元件和压电元件等多种多样的半导体器件。

第二节 硅单晶的制备

一、硅的物理和化学性质

硅位于元素周期表中的第IV族, 具有金刚石结构, 呈银灰色金属光泽, 性脆易碎。比重较小, 硬度较大。

硅的熔点为 1417°C 、沸点为 2600°C 。硅在液态时, 其表面张力比锗大, 从液态凝成固态时, 膨胀系数比锗大二倍, 因此, 硅在石英容器内凝固时常使容器胀裂。

在常温下, 硅的化学性质很不活泼, 但是在高温下, 硅的化学性质将变得很活泼。在红