

The background of the cover features a repeating pattern of stylized microchip layouts. These patterns are composed of various geometric shapes, including squares and rectangles, arranged in a grid-like fashion. The patterns are rendered in a light blue color against a slightly darker blue background. The overall effect is a technical and modern aesthetic.

可编程专用集成电路 及其应用与设计实践

常 青 陈辉煌 孙广富 欧 钢 编著

国防工业出版社

可编程专用集成电路 及其应用与设计实践

常 青 陈辉煌 编著
孙广富 欧 钢

国防工业出版社

· 北京 ·

图书在版编目(CIP)数据

可编程专用集成电路及其应用与设计实践/常青等编著.
—北京:国防工业出版社,1998.1
ISBN 7-118-01859-7

I. 可… II. 常… III. 程序控制-集成电路 IV. TN431.2

中国版本图书馆 CIP 数据核字(97)第 26473 号

国防·工业出版社 出版发行

(北京市海淀区紫竹院南路 23 号)

(邮政编码 100044)

河北三河市腾飞胶印厂

新华书店经售

*

开本 787×1092 1/16 印张 14¼ 329 千字

1998 年 1 月第 1 版 1998 年 1 月北京第 1 次印刷

印数:1—3000 册 定价:21.00 元

(本书如有印装错误,我社负责调换)

前 言

80 年代中期出现了复杂可编程逻辑器件(CPLD)和现场可编程门阵列(FPGA),这类器件通常被称作可编程专用集成电路(ASIC)。可编程 ASIC 与掩膜 ASIC 相比,不同之处在于前者具有用户可编程特性。利用它,电子系统设计师可以在办公室或实验室里设计出所需的专用集成电路,实现系统的集成,从而大大缩短了产品的上市时间,降低了开发成本。此外,可编程 ASIC 一般还具有静态可重复编程或在线动态重构的特性,使得硬件的功能可以像软件一样通过编程来修改,不仅使设计修改和产品升级变得十分方便,而且极大地提高了电子系统的灵活性和通用能力。

由于具备上述两方面的特点,可编程 ASIC 受到世界范围内广大电子设计工程师们的普遍欢迎,应用日益广泛。与此同时,可编程 ASIC 本身也在近 10 年来得到迅速发展,其集成度、工作速度不断提高,目前已有单片可用门数超过 10 万门、工作频率可达上百 MHz 的可编程 ASIC 芯片问世。由于结构和工艺的改进,可编程 ASIC 芯片上包含的资源越来越丰富,可实现的功能越来越强,已成为当今实现电子系统集成化的重要手段,并在引起电子系统设计方法的革命性进展。

作者所在的国防科技大学电子技术系,从 90 年代初开始从事 FPGA 和 CPLD 的设计与开发应用研究,目前已在多项科研成果中成功地应用可编程 ASIC 实现系统集成。与此同时,我们从 1994 年春季开始为本校电子类的硕士研究生开设了可编程 ASIC 设计选修课,把这一 90 年代的先进技术介绍给学生,受到师生的普遍欢迎。本书就是在近几年教学和科研工作的基础上编写而成的。全书力求系统全面地介绍可编程 ASIC 及其设计技术,在选材上注重内容新颖,技术先进,并在书中给出了作者在工作中经实践验证的一些设计实例,希望能对读者迅速掌握可编程 ASIC 设计与应用有所帮助。

本书由常青、陈辉煌、孙广富、欧钢、卢焕章编写。按章节顺序,各章的执笔人为:第一章:陈辉煌、常青,第二章、第三章:孙广富,第四章、第五章:常青,第六章、第七章:欧钢,第八章:孙广富、常青、卢焕章、欧钢。研究生潘红兵、来晓岚、朱桂斌、李丽、陶华敏为本书的编写整理了部分资料,在此,作者对他们表示衷心的感谢。

在本书的编写和出版过程中,作者得到了国防工业出版社的大力支持,特此致谢。

可编程 ASIC 是一门正在发展的技术,涉及面广,技术更新快。由于作者水平有限,加之时间仓促,书中的错误和不足之处,恳请读者批评指正。

作 者

1997 年 5 月

于国防科技大学

内 容 简 介

本书从电子系统设计的角度出发,系统地介绍可编程 ASIC 及其设计与应用技术。内容包括:可编程 ASIC 的发展与分类,CPLD 和 FPGA 的基本结构、主要产品和评价指标,可编程逻辑语言 ABEL,FPGA 开发系统,VHDL 语言,可编程 ASIC 设计与 EDA 技术等。最后,书中还给出若干经实践验证的可编程 ASIC 设计实例。

本书内容新颖,技术先进,既有关于可编程 ASIC 的系统论述,又有丰富的设计应用实例。对于从事各类电子系统(通信、雷达、计算机、电子电路)设计的科技人员和应用设计工程师是一本具有实用价值的新技术应用参考书。本书亦可作为大学电子类高年级本科生或研究生的教材及教学参考书。

目 录

第一章 可编程 ASIC 概论	1
§ 1.1 电子系统设计与 ASIC 技术	1
§ 1.2 可编程 ASIC 及其特点	3
§ 1.3 可编程 ASIC 发展趋势	6
第二章 可编程逻辑器件(PLD)	10
§ 2.1 可编程逻辑器件(PLD)的发展及分类.....	10
§ 2.2 可编程逻辑器件 PAL 及 GAL	13
§ 2.3 复杂可编程逻辑器件(CPLD)	18
§ 2.4 Xilinx 的 EPLD	20
§ 2.5 Altera 和 Lattice 的 CPLD	27
§ 2.6 CPLD 的新特性——ISP 及 CPLD 的发展趋势	34
第三章 可编程逻辑器件的设计与开发	40
§ 3.1 可编程逻辑器件设计开发环境.....	40
§ 3.2 可编程逻辑语言 ABEL 与 PLUSASM	42
§ 3.3 可编程逻辑器件的编程开发方法.....	52
§ 3.4 可编程逻辑器件设计实例.....	54
第四章 现场可编程门阵列(FPGA)	63
§ 4.1 FPGA 的基本结构与分类.....	63
§ 4.2 Xilinx FPGA	68
§ 4.3 Altera FPGA	85
§ 4.4 其它公司的 FPGA	98
§ 4.5 FPGA 设计与编程	104
§ 4.6 FPGA 的工作速率与集成度	110
第五章 FPGA 开发系统	113
§ 5.1 系统概述	113
§ 5.2 利用 ViewDraw 完成设计输入	116
§ 5.3 FPGA 自动设计实现工具 XMake	124
§ 5.4 FPGA 版图编辑器 XDE	131
§ 5.5 功能与时序仿真	145

第六章 VHDL 与数字系统设计	159
§ 6.1 VHDL 概述	159
§ 6.2 VHDL 语法的基本特点	161
§ 6.3 VHDL 的进程与串行语句	164
§ 6.4 VHDL 的并行语句	168
§ 6.5 配置与设计版本	171
§ 6.6 集合包与库	173
§ 6.7 设计实例(一)	176
§ 6.8 设计实例(二)	180
第七章 可编程 ASIC 与 EDA 技术	184
§ 7.1 电子设计自动化(EDA)技术	184
§ 7.2 EDA 技术的基本特征和工具	187
§ 7.3 硬件描述语言	193
§ 7.4 EDA 系统中的可编程集成电路设计	200
第八章 可编程 ASIC 应用与设计实践	204
§ 8.1 图像序列累加器的 FPGA 设计	204
§ 8.2 处理机接口控制电路	207
§ 8.3 实时图像显示接口电路	210
§ 8.4 在线重构总线方式的数据采集、处理系统	214
参考文献	220

第一章 可编程 ASIC 概论

§ 1.1 电子系统设计与 ASIC 技术

近 10 年来,电子系统的设计方法发生了很大变化。过去,电子产品设计的基本思路一直是先选用标准通用集成电路芯片(例如数字通用芯片 74 系列等),再由这些芯片和其它元件由下而上地构成电路、子系统和系统。这样设计出的电子系统所用元件的种类和数量均较多、体积功耗大、可靠性差。随着集成电路技术的不断进步,现在人们可以把数以亿计的晶体管、几万门、几十万门的电路集成在一个芯片上,半导体集成电路由早期的单元集成、部件电路集成发展到整机电路集成和系统电路集成。电子系统的设计方法也由过去那种集成电路厂家提供通用芯片,整机系统单位采用这些芯片组成电子系统的“Bottom-Up”(自下而上)设计方法改变为一种新的“Top-Down”(自上而下)设计法。在这种新的设计方法中,由整机系统单位对整个系统进行方案设计、功能划分,系统的关键电路用一片或几片专用集成电路(ASIC)实现,且这些专用集成电路是由系统和电路设计师亲自参与设计的,直至完成电路到芯片版图的设计,再交由 IC 工厂投片加工,或者是用可编程 ASIC(例如 FPGA)现场编程实现。

ASIC 是专用集成电路(Application Specific Integrated Circuits)的简称,指应特定用户要求或特定电子系统的需要而设计、制造的集成电路。ASIC 的概念早在 60 年代就有人提出,但由于当时设计自动化程度低,加上工艺基础、市场和应用条件均不具备,因而没有得到适时发展。进入 80 年代后,半导体集成电路的工艺技术、支持技术、设计技术、测试评价技术的规范化水平和集成度不断提高,电子整机、电子系统高速更新换代的竞争态势不断加强,为开发周期短、成本低、功能强、可靠性高以及专利性与保密性好的专用集成电路创造了必要而充分的发展条件,并很快形成了用专用集成电路取代中小规模集成电路组成电子整机或系统的技术进步热潮。在整个 80 年代中,国际 ASIC 产品增长了 5 倍,目前 ASIC 在总的 IC 市场中的占有率已发展到近四分之一,在整个逻辑电路市场中的占有率已超过一半。

ASIC 作为集成电路技术与特定用户的整机或系统技术紧密结合的产物,与通用集成电路相比,在构成电子系统时具有以下几个方面的优越性:

- (1) 缩小体积、减轻重量、降低功耗;
- (2) 提高可靠性——用 ASIC 芯片进行系统集成后,外部连线减少,因而可靠性明显提高;
- (3) 易于获得高性能——ASIC 是针对专门应用而特别设计的,系统设计、电路设计、工艺设计之间紧密结合,这种一体化的设计有利于获得前所未有的高性能系统;
- (4) 可增强保密性——电子产品中的 ASIC 芯片对用户来说相当于一个“黑盒子”,难于仿造;

(5)在大批量应用时,可显著降低系统成本。

ASIC 按照设计方法不同,可分为全定制和半定制两类。全定制是一种基于晶体管级的设计方法,设计师使用版图编辑工具从晶体管的版图尺寸、位置及互连线开始亲自设计,以期得到 ASIC 芯片的最优性能,即面积利用率高、速度快、功耗低。这种方式设计灵活性高,可以获得最优的性能,但设计周期长、设计费用高,比较适合于大批量的 ASIC 芯片设计。

半定制设计是一种约束性设计方式,约束的主要目的是简化设计、缩短设计周期、提高芯片的成品率。目前广泛采用的半定制设计方法有:门阵列设计法、标准单元设计法及可编程逻辑芯片设计。

门阵列设计法又称“母片”法。母片是 IC 工厂按照一定规格事先生产的半成品芯片。在母片上制作了大量规则排列的单元,这些单元依照要求相互连接在一起即可实现不同的电路要求。母片完成了绝大部分芯片工艺,只留下一层或两层金属铝连线的掩膜需要根据用户电路的不同而定制。门阵列设计方法涉及的工艺少、设计自动化程度高、设计周期短、设计费用和造价也低,但设计的灵活性较差、芯片面积利用率低。

门阵列是最早开发并得到广泛应用的 ASIC 设计技术,一直是 ASIC 市场的主流产品,近几年的销售额均占世界 ASIC 市场的一半以上。门阵列主要分为高速高精度的双极型 ECL(发射集耦合逻辑)门阵列及高集成度、低价格的 CMOS 门阵列两类。为了克服 ECL 门阵列功耗大、集成度不高及 CMOS 门阵列速度较低的缺点,将双极和 CMOS 相结合的 BiCMOS 门阵列近年来也得到了较大发展。从母片的单元排列结构来看,门阵列可分为通道型和门海型两类。所谓通道型,是将单元按行或列规则排列,行列之间预留固定宽度的布线通道,如图 1.1(a)所示。门海可以看作是通道型门阵列的改进形式,它也由基本单元阵列组成,但在单元之间没有固定的布线通道,而是在基本单元中包含了一些基于多层金属的垂直和水平布线通道,当需要的连线较多时,还可把一些单元行改作布线通道,以提高布通率。这种结构增加了设计的灵活性,提高了芯片的利用率,集成度比通道型门阵列更高。门海结构的示意图见图 1.1(b)。

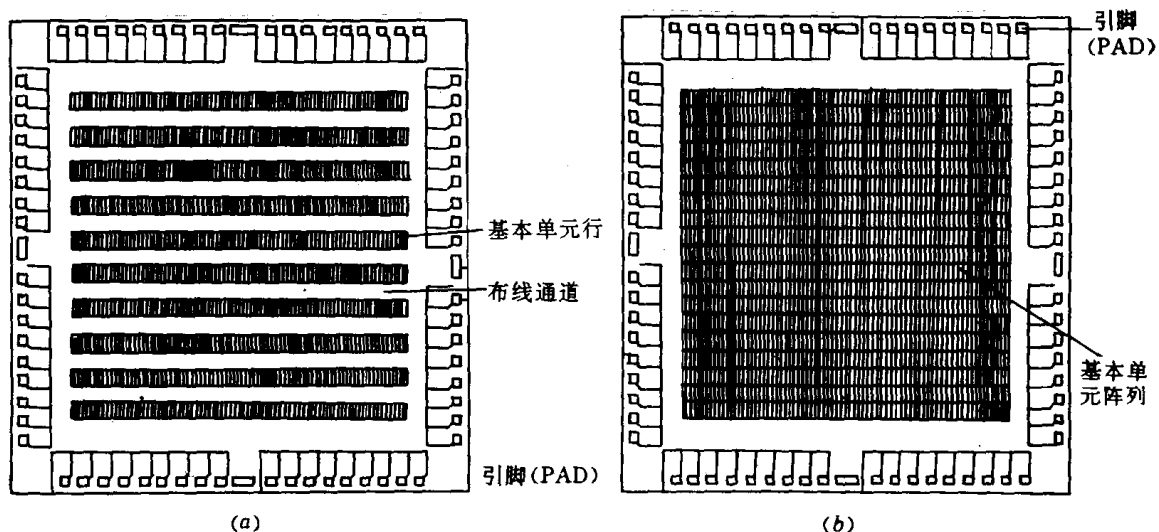


图 1.1

(a)通道型门阵列;(b)门海型门阵列。

标准单元设计法又称为库单元法。在其设计系统中,由 IC 厂家在芯片版图一级预先设计好了一批具有一定逻辑功能的单元,这些单元的版图高度相等,宽度则依单元的复杂程度不同而变化,他们在功能上覆盖了中小规模标准 IC 的功能,并以库的形式放在 CAD 工具中。设计时,设计者可根据需要选择库中的单元构成电路,并利用自动布局布线软件完成电路到版图一一对应的最终设计。标准单元的版图中只包含用户设计所必须的那些单元,这些单元按行排列,在行与行之间是布线区。与门阵列不同的是,布线区的宽度不是固定的,可根据实际需要进行调整,以便使占用的芯片面积最小。标准单元设计与门阵列相比,设计灵活、功能强,既可用于设计数字 ASIC,又可用于设计模拟 ASIC,芯片利用率也比较高。但其设计和制造周期均比门阵列长,开发费用也较门阵列高。

可编程逻辑芯片是 ASIC 的一个重要分支。与前面介绍的几类 ASIC 不同,这些芯片是通过器件编程的方法来实现 ASIC 要求的,也即用户向半导体厂家购得通用的可编程器件,由自己通过 CAD 软件对器件内部功能进行配置,实现用户的专用要求。为了与由 IC 工厂专门掩膜制造的 ASIC 相区别,人们又称这类 ASIC 为可编程 ASIC。可编程 ASIC 种类繁多,有早期的现场可编程逻辑阵列(FPLA)、可编程阵列逻辑(PAL)、通用阵列逻辑(GAL)、及 80 年代中后期出现的可擦除可编程逻辑器件(EPLD)和现场可编程门阵列(FPGA)等。这些器件的出现使得用户可以在自己的办公室或实验室里借助 CAD 工具设计和制造出所需的 ASIC,从而大大缩短了产品的开发周期,提高了产品的市场竞争力。可编程 ASIC,特别是高密度可编程 ASIC 近年来发展十分迅速,已在国内外的计算机硬件、工业控制、智能仪表、数字电路系统、家用电器等领域得到广泛应用,并成为代表着 90 年代电子产品设计变革的主流器件。

可编程 ASIC 及其设计与应用是本书的主要研究对象,我们将在后面的章节中对其展开系统深入的讨论。

ASIC 除了按上述设计方法进行分类外,还可根据其它特性进行分类。如按功能不同,可分为数字 ASIC、模拟 ASIC 和微波 ASIC;按使用材料的不同分为硅 ASIC 和砷化镓 ASIC。一般地说,数字、模拟 ASIC 主要采用硅材料,微波 ASIC 采用砷化镓材料。砷化镓具有高速、抗辐射能力强、寄生电容小和工作温度范围宽等优点,目前已在移动通信、卫星通信等方面得到广泛应用。但总的说来,由于对砷化镓的研究较硅晚了十多年,目前仍是硅 ASIC 占主导地位。对硅材料 ASIC,按制造工艺的不同还可进一步将其分为 MOS 型、双极型和 BiCMOS 型,其中 MOS ASIC 占了整个 ASIC 市场的 70%以上,双极 ASIC 约占 16%,BiCMOS ASIC 占 11%。

§ 1.2 可编程 ASIC 及其特点

可编程 ASIC 是指由用户编程实现所需功能的专用集成电路,按照结构的复杂程度不同大致可分为以下几类:

- (1)简单可编程逻辑器件(SPLD);
- (2)复杂可编程逻辑器件(CPLD);
- (3)现场可编程门阵列(FPGA)。

简单可编程逻辑器件主要指早期开发的 PLD,它们经典地由“与阵列”及“或阵列”组

成,能够有效地实现以“积之和”为形式的布尔逻辑函数。当“与”及“或”两个阵列都是可编程的时,这个器件称为 PLA,其变型是 PROM、PAL 和 GAL,前者具有固定的与阵列和可编程的或阵列,后两者具有可编程的与阵列和固定的或阵列。

PAL 和 GAL 是早期得到广泛应用的可编程 ASIC 器件。通常,一片 PAL 或 GAL 可用来代替 4~10 片中小规模集成电路,从而使电路的体积减小、成本降低、可靠性提高。从编程工艺上看,PAL 器件一般用熔丝链路作为可编程开关,是一次性可编程的。GAL 器件则可反复编程,它采用 E²CMOS 工艺,实现了电可擦除电可改写,为设计和修改提供了极大的方便。

早期 PLD 结构简单,具有成本低、速度高、设计简便等优点,但其规模较小,通常只有数百门,难于实现复杂的逻辑。为了增加 PLD 的密度,扩充其功能,一些厂家对 PLD 的结构进行了改进,例如:在两个逻辑阵列的基础上大量增加输出宏单元、提供更大的与阵列、以及采用分层结构逻辑阵列等,使 PLD 逐渐向复杂可编程逻辑器件过渡。80 年代后期出现的 EPLD 就是复杂可编程逻辑器件的典型代表。这种可擦除、可编程逻辑器件常常由可编程逻辑功能块围绕着一个位于中心的延时固定的可编程互连矩阵构成,其中的可编程逻辑功能块包含类似于 PAL 的与阵列及若干宏单元。进入 90 年代后,复杂可编程逻辑器件继续得到发展。它们一般都具有可重编程特性,实现工艺有 EPROM 技术、闪速 EPROM 技术和 E²PROM 技术。在互连特性上,CPLD 采取连续互连方式,即用固定长度的金属线实现逻辑单元之间的互连。这种连续式互连结构避免了分段式互连结构中的复杂的布局布线和多级实现问题,能够方便地预测设计的时序,同时保证了 CPLD 的高速性能。CPLD 的集成度一般可达数千甚至上万门,能够实现较大规模的电路集成。如 Altera 公司新近推出的 MAX 9000 系列 CPLD 中,EPM 9560 的单片密度达到 12000 个可用门,包含多达 560 个宏单元,216 个用户 I/O 脚,能提供 15ns 的脚到脚逻辑延时,16 位计数的最高工作频率为 118MHz。

现场可编程门阵列(FPGA,Field Programmable Gate Array)是与传统 PLD 不同的一类可编程器件。它具有类似于半定制门阵列的通用结构,即由逻辑功能块排列阵列组成,并由可编程的互连资源连接这些逻辑功能块来实现所需的设计。FPGA 与掩膜编程门阵列(MPGA)的不同之处在于它由用户现场编程完成逻辑块之间的互连,而后者需由 IC 工厂通过掩膜完成互连。因此,在某种意义上说,FPGA 是将门阵列的通用结构与 PLD 现场可编程特性结合于一体的一种新型器件,具有集成度高、通用性好、设计灵活、编程方便、产品上市快捷等多方面的优点。

FPGA 最早由美国 Xilinx 公司于 1985 年推出,其典型产品,如 XC3000、XC4000 及 XC5000 系列均采用 CMOS SRAM 工艺制造,可反复编程,并能实现芯片功能的动态重构。这些 FPGA 具有典型的 LCA(Logic Cell Array)结构。它们由称作 CLB(可配置逻辑模块)的可编程块构成一个二维阵列,在块之间有纵向、横向两种布线通道,围绕着阵列四周是用作输入输出的一圈 I/O 块。可配置逻辑模块是实现用户逻辑的基本单元,一般都包含组合逻辑和时序逻辑两部分。如 XC3000 的 CLB 中,组合逻辑部分由两个 4 输入查找表构成,时序逻辑部分是两个可编程的触发器。Xilinx FPGA 的互连结构是分段连线式的,互连资源包括多种长度的金属线段及可编程开关,这些开关由静态 RAM 单元控制。FPGA 设计可在厂家提供的开发系统中快速有效地完成,生成的设计文件以构造代码的

形式存储在 FPGA 外的存储体中。系统上电时将这些构造代码读入 FPGA 内由 SRAM 构成的配置存储器,并由各个配置存储单元控制 FPGA 中的可编程资源实现用户的专用设计。

与可编程逻辑器件相比,FPGA 由于采用类似门阵列的通用结构,规模可以做得较大,可实现的功能更强,设计的灵活性也更大。在问世的前 10 年里,其单片可用门数以平均 42% 的速率增长,目前已突破 10 万门,可与中等密度的门阵列相匹敌。FPGA 中包含丰富的触发器资源,有些还具有诸如片上 RAM、内部总线等许多系统级的功能,因而完全可以实现子系统甚至系统的集成。就互连结构而言,典型 FPGA 通常采用分段互连式结构,具有走线灵活,便于复杂功能的多级实现等优点,但与此同时也带来了布线复杂度增加、输入至输出的延时变大及总的性能估计较困难等问题。随着用户对 FPGA 性能要求的多样化,出现了各种改进结构的 FPGA。如 Altera 公司 90 年代初推出的 FLEX8000 系列产品,将 CPLD 中的连续互连结构引入 FPGA 中,采用功能块内用局部互连和功能块间 FastTrack(快速通道)互连相结合的方法,较好地解决了高集成度下芯片的走线规则性和延时可预测性问题。从编程工艺看,出现了采用逆熔丝作开关元件的 FPGA 和用闪速 EPROM 单元控制开关元件的 FPGA。目前 FPGA 的生产厂家已由最初的一家增加到十几家,产品日益丰富,性能不断完善,成为 90 年代最受欢迎的器件之一。

以上三类可编程器件,尽管其结构和性能不尽相同,但有一个共同点就是由用户通过编程来决定芯片的最终功能,因此被统称为可编程 ASIC。随着工艺和技术的进步,可编程 ASIC 的集成度不断提高,它们在现代电子系统中占有的地位也越来越重要,成为当今 ASIC 技术的一个重要分支。可编程 ASIC 与掩膜 ASIC 相比具有以下特点:

1. 缩短研制周期

可编程 ASIC 对于用户而言,可以按一定的规格型号像通用器件一样在市场上买到,其 ASIC 功能的实现是完全独立于 IC 工厂的,由用户在实验室或办公室就可完成,因此不必像掩膜 ASIC 那样花费样片制作等待时间。由于采用先进的 CAD 工具,可编程 ASIC 的设计与编程均十分方便和有效,整个设计通常只需几天便可完成,缩短了产品研制周期,有利于产品快速上市。

2. 降低成本

制作掩膜 ASIC 的前期投资费用较高,以门阵列为例,因为必须到 IC 工厂制作,一万门级芯片的 NRE 费用(不可重复使用的工程费用)约需数万美元。若不能一次成功,修改一次,基本上又要付一次 NRE 费用。

可编程 ASIC 为降低投资风险提供了合理的选择途径。它几乎不需要 NRE 费用,在批量较小时,平均单片成本远低于门阵列。如果要转入大批量生产,由于已用可编程 ASIC 进行了原型验证,也比直接设计掩膜 ASIC 费用小、成功率高。

3. 设计灵活

可编程 ASIC 是一种由用户编程实现芯片功能的器件,与由工厂编程的掩膜 ASIC 相比,具有更好的设计灵活性。首先,可编程 ASIC 在设计完成后可立即编程进行验证,有利于及早发现设计中的问题,完善设计;第二,可编程 ASIC 中大多数器件均可反复多次编程,为设计修改和产品升级带来了方便;第三,基于 SRAM 开关的可编程 ASIC-FPGA,具有动态重构特性,往 FPGA 中输入不同的配置数据即可实现不同的硬件功能,在

系统设计中引入了“软硬件”的全新概念,同时也使电子系统具有更好的灵活性和自适应性。

§ 1.3 可编程 ASIC 发展趋势

可编程 ASIC 作为一种行业,尽管在 80 年代才起步,但到 1994 年已发展到 12~13 亿美元的规模。据 In-stat 公司分析,过去几年里,美国可编程逻辑市场最大的增长来自大容量可编程逻辑器件(HCPLD),其中包括 CPLD 和 FPGA,如图 1.2 所示。可编程逻辑已成为当今世界上最富吸引力的半导体市场之一,其发展呈现下面几个方面的趋势。

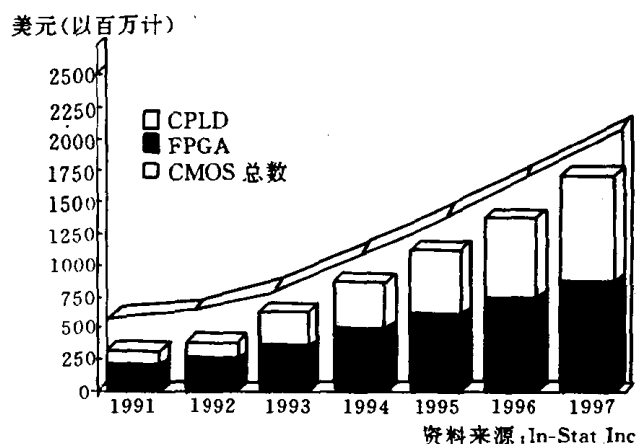


图 1.2 HCPLD 发展情况

1. 向着系统内可重构方向发展

系统内可重构是指可编程 ASIC 在置入用户系统后仍具有改变其内部逻辑或功能的能力,采用系统内可重构技术,使得系统内硬件的功能可以像软件一样通过编程来配置,从而在电子系统中引入了“软”硬件的全新概念。它不仅使电子系统的设计和产品性能的改进和扩充变得十分简便,还使新一代电子系统具有极强的灵活性和适应性,为许多复杂的信号处理和信息加工的实现提供了新的思路和方法。

按照实现的途径不同,系统内重构可分为静态重构和动态重构两类。对基于 EEPROM 或快擦写技术的可编程器件,系统内重构是通过在系统编程(ISP, In System Programmability)技术实现的,是一种静态逻辑重构。具有 ISP 功能的可编程逻辑器件,其工作电压和编程电压采用同一个电压,编程数据可通过一根编程电缆从 PC 机或工作站写入芯片。因此,开发者无需把芯片从电路板上取下就能完成芯片功能的重构造,给设计修改、系统调试及安装带来了极大的方便。另一类系统重构即动态重构,是指在系统运行期内,根据需要适时地对芯片重新配置以改变系统的功能,可由基于 SRAM 技术的 FPGA 实现。这类器件可以无限次地被重新编程,利用它,可以 1s 几次或者 1s 数百次地改变器件执行的功能。甚至可以只对器件的部分区域进行重组,且在部分重组期间,芯片的其它部分仍可有效地运行。

可编程 ASIC 的系统内可重构特性具有极其广阔的应用前景。其典型应用之一是实

现系统的内置诊断或测试功能。这时,实现系统逻辑功能的同一个 FPGA 可再配置成测试系统的诊断逻辑,诊断测试逻辑基本上是“无成本”的,只需为额外的 FPGA 配置数据附加要求的存储器空间。另一个可再配置逻辑的典型应用是使单个硬件适应多种任务和环境。在这种系统中,针对特别应用的需要,对可编程 ASIC 下装不同的配置数据以改变其逻辑功能,从而用较少的部件、较低的硬件费用实现较多的功能,并能在多个系统功能之间动态地进行互换。此外,可再配置 FPGA 还在构划着未来的计算机,这种计算机包含一组相互连接在一起的 FPGA,能将计算机的软件程序映射成 FPGA 的硬件来执行,从而大大加速了计算机系统的运行。对于专门的应用,可再配置 FPGA 把超级计算机系统的性能带到桌上系统,它使计算机能自动地改变其硬件功能,以适应正在运行的程序。被称为在最终用户的产品中实现“设计的可再编程性”(Engineered Reprogrammable)年代已经开始。

2. 设计技术向高层设计转移

随着工艺和结构的改进,可编程 ASIC 的器件规模不断增大、内部资源越来越丰富,这既为实现高性能电子系统的集成提供了可能,也使可编程 ASIC 的设计变得更加复杂,进入集成系统设计阶段。对一个数万门的可编程逻辑器件,门级及 SSI/MSI 级的设计方法已变得十分麻烦且效率不高。在这种情况下,高级描述语言,例如超高速集成电路硬件描述语言(VHDL),为设计者提供了一个更加优化的设计环境。它将设计人员由门级模拟或硬件描述语言(HDL)的水平,提高到一个更高的设计层次——电路的功能或行为描述。此种设计描述输入到计算机后,借助于设计综合工具迅速地转换为适当的物理实现,可大大提高设计效率,有利于产品早日推向市场。

在电子设计由传统的门级设计向高层设计转移的过程中,超高速集成电路硬件描述语言 VHDL 和设计综合技术起着极其重要的作用。VHDL 是 1980 年美国国防部 VHSIC (超高速集成电路)计划的一部分,并于 1986 年和 1987 年分别成为美国国防部和 IEEE 工业标准。作为一种硬件设计时采用的标准语言,VHDL 具有极强的描述能力,能支持系统行为级、寄存器传输级(RTL)和门级三个不同层次的设计,这样,设计师在 Top-Down 设计的全过程中均可方便地使用同一种语言。VHDL 还是与工艺无关的,以适应硬件工艺的不断进展;它也不限定模拟工具和设计方法,从而给予设计师可以自由选择余地。

根据设计描述的层次不同,设计综合亦有不同的层次。低层综合工具以门级或逻辑描述作为输入,执行逻辑优化,映射器件选择、布局布线网表优化、产生最终的设计实现。不同体系结构的逻辑器件在逻辑综合过程中需要采用不同的优化算法,以发挥出器件的最高性能。一般地说,PLD 结构的综合比较简单,FPGA 中布局和布线的优化则相对复杂。在 FPGA 设计中,一个明显的趋势是增加硬宏单元(Hard Macro)的使用,定义一个公共逻辑函数的固定布局和布线,以节省计算时间,并允许预先估计性能。但是也可能带来单元利用率低的缺点。

高层综合工具接受高层行为描述,如 VHDL 或编程语言作为其输入。行为描述是一种较为抽象的描述,它仅说明一个设计想要实现的功能,但不对该设计如何执行这些功能进行描述,亦不提供任何有关硬件结构的信息。高层综合包括选择特定的结构模板,然后进行时序调度和资源分配,最终得到一个满足一定限制条件(如延时、芯片面积等)的最优处理器结构,其输出是 RTL 级描述。RTL 描述又称数据流描述,其抽象程度较行为描述

低,它将系统视为一组相互连接的存储单元和功能模块,通过数据的传送和变换体现出所要实现的行为功能。在这一层的描述中包含了电路结构及时钟的有关信息,但仍是独立于工艺之外的,不受实现方法的限制。RTL 级综合根据对设计的电路约束和属性,结合给定的工艺库,将寄存器传输级描述转化为门级网表,这种网表描述了设计功能的逻辑实现,是以某一特定的技术为基础的。

目前,寄存器传输级综合和低层逻辑综合已发展得比较成熟,并已在可编程逻辑设计中得到广泛应用。高层综合由于其抽象程度较高,仍处于迅速发展之中,是当代电子设计领域中的研究热点,并取得了许多有意义的研究成果。在现有的电子设计自动化(EDA)软件或较先进的可编程 ASIC 开发系统中一般都含有符合 IEEE-1076 标准的 VHDL 高层综合工具,可编程 ASIC 设计正在逐步向高层设计转移,VHDL 设计方法亦成为当代电子设计师们设计数字硬件时必须掌握的一种方法。

3. 产品日益丰富,性能渐趋完善

由于可编程 ASIC 前景看好,参与这一领域角逐的公司和厂家越来越多。目前已有十几家厂商可提供不同类型的 CPLD 和 FPGA 产品,其中影响较大的公司有 Xilinx、Altera、Lattice 及 AMD 等。众多公司和厂家的参与促进了可编程 ASIC 技术的快速发展,使其性能不断完善,品种日益齐全,以满足不同应用层次的需要。

几年前,每个 PLD 和 FPGA 厂家通常只能提供一种技术产品,与此不同,现在一个厂家往往同时提供多个不同的 FPGA 或 CPLD 产品。以美国 Xilinx 公司为例,其产品既有基于 SRAM 的 FPGA 系列,也有基于反熔丝技术的 FPGA 系列,还有基于 UV EPROM 和 Flash Memory 的 EPLD 系列。每个系列中又有不同的速度等级和封装形式,供用户根据应用要求选用。为了满足便携机和许多工业系统的功耗要求,还提供了 3.3V 器件或具有 3V/5V 兼容接口的器件。

随着单片密度的不断提高,可编程 ASIC 进入单片系统集成时代。这就要求芯片具有实现某些系统级功能的能力,如可供用户使用的片上 RAM、内部总线及全局时钟和控制网络等。近两年新推出的一些 FPGA 芯片在系统集成能力方面取得了令人瞩目的进展。如 Altera 公司的 FLEX10K 系列,不仅在芯片上集成了 10 万个门,还在芯片中集成了大容量的内部 RAM,以满足存储器密集型应用的需要。其阵列中含有若干个“嵌入式阵列块(EAB)”,每个 EAB 提供 2048 位的存储能力,可用来构造 RAM、ROM、FIFO 或双端口 RAM。必要时,还可将器件上所有 EAB 级联起来形成一个大的 RAM。该系列包括了 7 个产品型号,可提供的最大片上 RAM 位分别为 6kb 到 24kb。

另一个长足的进步体现在 FPGA 动态重构性能的突破性进展。Xilinx 公司 1995 年推出了针对协处理器应用需要开发的 XC6200 系列 FPGA。与其它 FPGA 不同,它不是通过串行口或八位并行口来加载配置数据,而是通过一个类似主处理器——存储器的接口,这个接口可设置成 8 位、16 位或 32 位操作。这个快映射(FastMAP)接口直接与大多数嵌入式处理器接口而不耗费任何 FPGA 资源,它允许配置数据以数据总线的速度转移,从而大大加快了芯片配置的速度。该系列的首个产品 XC6216 包含 24000 个可用门,芯片全部重组只需要 200 μ s,与以前的同类芯片相比,重组速度提高两个数量级以上。XC6200 还是可部分重组的,部分重组的时间为 40ns/单元。在部分重组期间允许芯片上的其它部分正常运行。

可编程 ASIC 其它方面的性能进展包括集成度的提高、工作速度加快、I/O 管脚增加及内部资源更加丰富等,在此不一一论述。

4. 向混合编程技术发展

可编程 ASIC 特有的产品上市快及硬件可重构特性为电子产品的开发带来了极大的方便,它的广泛应用已使电子系统的构成和设计方法均发生了很大的变化。但是,到目前为止,有关可编程 ASIC 研究和开发的大部分工作基本上都集中在数字逻辑上,在未来几年里,这一局面将有所改变,模拟电路及数模混合电路的可编程技术研究将得到发展。

据报道,已有几家公司开展了这方面的研究,并于最近推出了模拟与混合型的可编程器件。其中美国加州 International Microelectronic Products 公司开发的 EPAC(可编程模拟电路)就是一例。这种芯片上的模拟功能包括各种可由用户编程决定的功能,如可编程增益放大器、比较器、多路复用器、数模转换器、跟踪保持放大器和滤波器等。用户可用该公司的 Analog Magic 设计工具完成原型设计,确定器件配置,再把设计好的配置数据存入芯片上的 EEPROM 配置存储器,就可以通过它们去控制优化的模拟开关,进而把芯片上的各种模拟电路互连起来。

可编程 ASIC 是一门正在发展着的技术。尽管生产可编程器件的厂家已有十几个,但市场和技术的发展仍使后来者有一展身手的舞台。随着工艺和结构的改进,可编程 ASIC 的集成度将进一步提高,性能将进一步完善,成本逐渐下降,在现代电子系统设计中得到更加广泛的应用。

第二章 可编程逻辑器件(PLD)

§ 2.1 可编程逻辑器件(PLD)的发展及分类

可编程逻辑器件(PLD)是 70 年代发展起来的一种新型逻辑器件。从最基本的原理讲,它主要是一种“与—或”两级结构的器件,虽然现有的 PLD 器件已经发展得很复杂,但其核心思想仍然是“与—或”阵列形式,并与用户可编程的逻辑宏单元相结合,其最终逻辑结构和功能由用户决定,它兼有标准逻辑器件(如 TTL 等 SSL/MSI 逻辑器件)的优点,又有半定制逻辑器件的优点,它具有的可编程性几乎提供了立即的可定制性。PLD 器件发展到现在,已经形成了多种结构,形成了不同的产品,从 PROM、FPLA、PAL、GAL 到 CPLD。

从最初的“与”阵列全部预定制 PROM 到现在的复杂 PLD (CPLD)器件,大体可以分为四个发展阶段:

第一阶段 PROM、FPLA (Field Programmable Logic Array);

第二阶段 PAL (Programmable Array Logic);

第三阶段 GAL (Generic Array Logic);

第四阶段 CPLD (Complex Programmable Logic Device)。

2.1.1 PROM、FPLA

第一代的 PLD 器件早于 1970 年就已制成,称为可编程只读存储器(PROM),密度从 64~100 万,包含了由不可编程的“与”阵列和可编程的“或”阵列。如图 2.1 所示。

“与”阵列采用全译码,意味着对某一组特定的输入 $I_0, I_1, \dots, I_n$ 只能产生一个唯一的乘积项(Product Terms),即 $Q_i = \sum I_i$ 。因为是全译码,这一阵列的大小为 2^n (n 为乘积项数),导致巨大的体积,且价格也比较昂贵。

由于巨大的阵列,其速度要比其它的逻辑器件慢,主要的原因是巨大的阵列开关时间所致,只有一些较小的 PROM 较快。但实际上大多数的逻辑功能不需所有的组合便可得到,故许多输入的译码是无效的,或是不可能使用到的。另外,PROM 基本用途是作存储器,如显示查寻、软件的固化等。

现场可编程的逻辑阵列(FPLA)是在 1970 年研制成功的。它提供了对逻辑功能的更有效的方法,如图 2.2 所示。

与 PROM 类似,它也是两个部分——AND 和 OR 阵列,但 FPLA 采用两个阵列均可编程的方法,“与”阵列不是全译码,而乘积项可以连接到一个或多个“或”门上,它提供了一个较小的较快的阵列。由于均可编程,所以使设计工作变得容易得多,但对于 FPLA 来说,存在两个缺点:一是可编程的阵列为两个,比较来说较复杂一些;二是支持 FPLA 开发的软件有一定的难度。