

大规模集成电路的实现

〔美〕R. W. 霍恩 C. H. 塞奎因 著

许卓群 陆钟辉 译

科 学 出 版 社

1 9 8 4

内 容 简 介

本书是《超大规模集成电路系统导论》(《Introduction to VLSI System》, Mead and Conway, 1980)一书的续篇。全书共分七章,前六章通过对大规模集成电路设计、制造过程的简要叙述,向读者介绍了大规模集成电路设计中所用的一些通用工具、与质量控制及工艺监视有关的检测图形及大规模集成电路测试等问题的基本知识。最后一章介绍了一个能容纳多个设计的 CIF 初级版图语言,较详细地讨论了各种基本图素的生成算法及 CIF 语言的编译实现等有关问题。

本书可供在计算机硬件、微电子学领域工作的科研人员阅读参考,也可作为高等院校有关专业高年级大学生及研究生的教学用书或学习参考书。

R. W. Hon C. H. Sequin

A GUIDE TO LSI IMPLEMENTATION

XEROX Palo Alto Research Center, 1980

大规模集成电路的实现

[美] R. W. 霍恩 C. H. 塞奎因 著

许卓群 陆钟辉 译

责任编辑 龔 玲

科学出版社出版

北京朝阳门内大街 137 号

中国科学院印刷厂印刷

新华书店北京发行所发行 各地新华书店经售

*

1984 年 10 月第 一 版 开本: 787×1092 1/32

1984 年 10 月第一次印刷 印张: 6 3/8 插页: 2

印数: 0001—12,000 字数: 139,000

统一书号: 15031·607

本社书号: 3734·15—7

定价: 1.30 元

目 录

前言	i
序言	iii
第一章 引言	1
第二章 集成电路设计工具	5
2.1 设计的输入	6
2.2 硬拷贝输出	8
2.3 高级描述方法	9
2.4 设计规则检查	11
2.5 其他错误的检查	14
2.6 模拟——集成电路设计的一种方法	15
2.7 可测试性的设计	22
第三章 在硅片上产生图形	25
3.1 光刻简介	25
3.2 掩膜的生成	26
3.2.1 用光学技术生成母版	27
3.2.2 用电子束技术生成母版	28
3.2.3 工作版	31
3.2.4 掩膜说明书	31
3.3 片子的制造	35
3.3.1 硅栅 NMOS 工艺	36
第四章 安排集成电路图形的一些实际考虑	39
4.1 多个设计的合并	39
4.2 物理上的限制	42
4.3 初始框架	43
第五章 片子做成后的工作	49

5.1	工艺测试	49
5.2	片子的分离	51
5.3	芯片的封装	52
5.4	功能测试	55
5.5	简单的测试系统	56
5.6	结束语	61
第六章	初始框架和芯片方案的一个例子	62
6.1	PARC 初始框架	62
6.2	测试图形	68
6.2.1	层间测试图形	69
6.2.2	CV 电容器	70
6.2.3	接触孔测试图形	71
6.2.4	分立器件	72
6.2.5	环形振荡器	74
6.2.6	移位寄存器	74
6.3	设计实例: 一个变换型的存储器阵列	75
6.3.1	背景和概括	75
6.3.2	设计的思路	76
6.3.3	设计的规模	77
6.3.4	算法描述	77
6.3.5	数据单元的设计	79
6.3.6	选择寄存器的设计	83
6.3.7	输出寄存器的设计	86
6.3.8	时序脉冲的总定时关系图	87
6.3.9	测试	89
6.3.10	结论	89
第七章	CIF 入门	91
7.1	CIF2.0 的定义	93
7.1.1	语法	94
7.1.2	语义	97

7.1.3	关于 CIF 与要制作的芯片之间的关系	111
7.1.4	使用 CIF 的一般规定	114
7.1.5	CIF 的未来计划	119
7.2	生成 CIF 的几种途径	120
7.2.1	键盘终端界面	121
7.2.2	程序设计语言	122
7.2.3	交互式图形布局系统	123
7.2.4	标准单元与门阵列系统	123
7.2.5	硅版编辑器 (Silicon Compilers)	124
7.3	对 CIF 文件的处理	124
7.3.1	关于实现 CIF 的一些原则	125
7.3.2	一个处理 CIF 的程序	139
7.4	结束语	150
附录 A.	光学及电子束掩膜规范	152
附录 B.	制造厂家索引	160
附录 C.	Mann3000 图形发生器数据格式	162
附录 D.	常用标准图样的设计图书馆	168
附录 E.	补充文献	190

第一章 引 言

传统上,集成电路(IC)的设计和开发是具有专门训练的专家们研究领域。但是,在开发一个专用系统时,由于IC工艺技术的标准化并且因为有功能很强的计算机的辅助,IC的设计能简化成常规的工程步骤。MOS器件如果能不考虑可实现的最小几何尺寸,它的设计是非常简单和容易实现的。使用适当的、不太严格的设计规则,标准MOS电路块,例如反相器、传送门、缓冲器、或非门以及这些电路的复合电路等,它们的性能可以像TTL电路那样预测出来。用结构设计方法,例如Mead和Conway在《超大规模集成电路系统导论》一书里提出的方法,可以使人们不必有很多器件物理知识就能做出可供使用的MOS电路来。系统设计者现在可以坐在交互式图形终端前,为某一专用集成电路设计出一组掩膜的布局图来。这种个人能完成的IC,能大大增强所要建立的系统的功能,或者换句话说,可以大量减少系统所需的芯片数目。

在这一大胆尝试中,做出布局密度最高或性能最好的集成电路常常是不重要的,因为高布局密度或高性能的集成电路只要通过提高当前的工艺技术极限就可以得到。通常主要关心的是在尽可能短的试制时间里得到能工作的芯片。这里,有效的设计工具,以及更为重要的、好的设计方法,是至关重要的,这些论点在《超大规模集成电路系统导论》一书里已讨论过了。其次,同样重要的是要将设计的集成电路付诸实现。在不能按常规生产用户设计的IC的情况下,设计者本人必须关心和推动第一批IC的试制。在这种情况下,由于制造

不好或得不到必要的资料,可能会浪费几个月的时间,并导致推迟设计进度甚至完全放弃由用户设计制造 IC 这一途径.我们希望本书能对防止这些问题的发生有所帮助.

我们常常把几个 IC 设计放在单个的多设计芯片上.用这种方法,可以使制造掩膜和片子的成本以及有关的组织管理费用,包括使未来的 IC 通过全部关键性阶段的费用等,由很多人来共同分担.在高等院校或研究所里,把几个实验项目放在一个 IC 设计中特别有用,学生可以不必为掩膜和片子加工的细节操心.这种方法的某些特点,例如测量器件性能的测试图形、掩膜的对准和芯片的划片线等,可以标准化并在以后的有多个设计的芯片上反复使用.只要一直使用标准化的方法,一直使用类似的基本芯片格式,并坚持使用已建立的制作多设计芯片的常规程序等等,这些都会对稳定工艺过程有所帮助并且会增加得到合格成品的机会.为此,看来必须有一个协调员.协调员的首要任务是描述各个 IC 设计的不同文件加以合并,这些文件各自具有上面所讨论的标准特点.然后,协调员要和制造掩膜的厂家和生产线联系,确认他们能从掩膜制造厂家和生产线得到他们需要的资料,并对他们希望能做的事情有一个清楚地了解.为了避免不必要的拖延,协调员要随时注意该设计的进展情况并在上述各部门之间进行协调.

把一个 IC 设计变成一个封装好并测试好的片子是一件很费时间的事情.为了不出意外或拖延进度,有很多重要的细节需要注意.到目前为止,还不可能简明地给出各种专门细节和各道工序的扼要说明.今后还需要从各种分散的来源收集有关的资料,包括同一些有经验的老手进行个别座谈,才能总结出来.

本书描述一些实际问题和细节,这些实际问题和细节,一

个协调员在履行他的职责时必须知道.但是,即使对一个不经常设计 IC 的人来说,也需要了解整个过程.这样,他才能清楚地了解这些实际问题在设计中的影响.在制造生产中所使用的辅助设计设备的类型的不同及制造方法的不同都会对要完成的设计类型和质量有影响.因此,一个有才能的系统设计者至少要了解设计所用的辅助设备、检查手段以及掩膜和片子的制造等各个基本方面.

本书中介绍了一些设计者应该知道的词汇,我们不准列表给出各个术语的精确定义,但是如果需要的话,读者通过仔细查找可从课文的上下文中得到满意的解释.第二章到第五章概述从 IC 设计到做出产品的基本过程.即使不想成为多设计芯片的协调员的人也应钻研第二章、第三章和第五章,因为这些章节阐述了一般 IC 设计的各个阶段.对于协调员来说,第四章是很重要的.第六章给出一个多个课题设计芯片的例子,它在 1978 年夏由 Xerox PARC 生产出来.它有十个实验课题,包括范围很广的逻辑电路、算术运算电路和存储电路以及测试图形.第七章给出加州理工学院中介形式(Caltech Intermediate Format)的描述,它作为 CIF2.0 的语法和语义的定义,在必要时也可能还要作进一步的修改.附录 A 内有一个规范表,它是为该芯片的掩膜制造厂家准备的.附录 B 列表给出一些集成电路的制造厂家,这些厂家能进一步提供有价值的资料以便熟悉集成电路制造的各个阶段.当然,表中所列的厂家并不完全.读者应毫不犹豫地和厂家保持联系.附录 E 给出文献和书目的索引,这些论文和教科书讨论了制造 IC 的各个方面.

我们不应过分强调在制造片子的过程中要共同分担费用的重要性.我们希望本书能对协调员有所帮助,对他们在把 IC 设计文件变成片子的过程中可能会提出的问题尽可能地

给出满意的解答。虽然在制造片子的过程中有很多困难要克服，但是整个任务是可以搞得很不错的，即使对一个在 IC 制造上没有经验的人也是能做得到的。

参 考 文 献

- [1] C. A. Mead and L. A. Conway, *Introduction to VLSI Systems*, Addison-Wesley, Reading, MA, 1980.

第二章 集成电路设计工具

加快集成电路设计的关键是要有有效的工具，它能使设计者得到计算机的有力帮助。例如，交互式图形终端能使设计者很快地把他的想法输入到一个设计系统里去。布局语言正在开发，这种语言使课题设计能在高级抽象的水平上进行。计算机显示并画出 IC 的掩膜图，这对密切人-机关系是很重要的，在最后的调试阶段中也是必不可少的。在另外一些方面，计算机也能对设计者有所帮助。“机械地”检查是否有违反设计规则的情况，有助于消除 IC 设计中某些潜在的问题。电路模拟程序能指出该设计某些关键部位的性能，而逻辑模拟程序则对整个芯片的正确性和时序测试都很有用。

在和计算机进行所有这些交互式通讯时，计算机里有描述集成电路的数据库，它们是电路描述、布局的拓扑描述或制造 IC 的掩膜的几何描述。数据库往往比较复杂，设计者可以在不同层上和数据库进行交互式的通讯，最低层是简单地以某种内部格式存贮数据而不作任何“智能”处理。在这种情况下，设计者必须用一种低级的几何描述语言把他的设计输进去，而得到的是利用存贮在机器内的这些信息使其在不同的输出设备上显示出来。另外一种极端情况是将来有可能用非常复杂的设计工具进行设计，这些设计工具可以使用某个系统的高级描述语言并把它编成完整的布局图。IC 设计者的主要任务是：

输入设计的几何图形。

输出设计的几何图形(作图或打印)。

- 编写设计文件.
- 检查是否违反设计规则.
- 检查逻辑错误.
- 模拟该设计的性能.
- 测试实际的集成电路.

本章从掩膜的几何图形元的输入和输出这两种基本操作开始,概述为完成这些任务所需的几种可行的、目前正在开发的工具. 应该指出,在通用的分时计算机上,ASCII 键盘和行式打印机能支持一组设计工具,这些设计工具已被证明对设计实际大小的 IC 是合适的. 通常,努力发展你所需要的设计工具(即使这要花费你几个星期的时间)是值得的,只要你不是只做一个小的设计项目,你在时间上得到的收益将很显著. 我们的经验表明,在进行最初的设计时,用一半的时间来加强(或建立)软件工具是合适的.

2.1 设计的输入

最低级的描述 IC 的方法是逐点描述每一个掩膜的几何图形. 在没有任何完善的设计辅助工具的情况下,可以用彩色铅笔在图纸上将设计详细地画出来,再从图纸上读出多边形拐角的坐标并键入到一个程序里,然后由程序把它变成该设计的机器内部表示,以便为以后的作图使用. 数字化平板(Digitizing Tablet)是一种不需要键入数字就能直接从图上把节点的坐标输入进去的设备. 只要把定点装置(Pointing device),例如一种很尖的笔或十字型的标线,放在图中的十字点上,它在数字化平板仪上的位置就自动地转换成一组坐标.

在一些大学里,IC 设计者使用的掩膜几何图形的低级描

述方法是 CIF (Caltech Inter-mediate Form, 将在第七章里说明)。CIF 有简单的语言来描述一些基本的图形, 例如矩形、多边形、圆形以及线条等。通常 CIF 是由机器生成而不是由人生成 (虽然在有更好的方法时可以由人来生成并且设计者也已成功地这样用过), 手工地输入设计课题是非常枯燥无味的。另外一种直接输入 CIF 的方法是写一个简短的程序, 它提供类似文本编辑程序那样的交互式输入环境。这种输入程序能向用户催问下一个输入, 给出合适的内部缺补值 (default value)。对格式错误发出警告、能方便地进行某些单元线路的重复、能让用户选择参考点和相对坐标并能对生成的文件进行管理。伯克利加州大学已开发出一个这样的输入接口 [Krause, 1979], 它是用 PASCAL 语言写成的。

对几何图形进行布局的一种更为有效的输入设备是交互式图形编辑程序, 它是为 IC 布局的特殊需要设计的。需要的硬件包括一个用于画布局图的定点装置和一个图形显示器。此显示器用于在你一边输入你的设计时一边显示你的图形。理想的系统应该是在画第一次草图时, 能像使用铅笔和纸一样的容易, 而且具有能帮助设计者避免发生错误或提高其生产率等特点。例如, 它可以在一给定的有坐标的方格纸上画出布局图, 方格纸的边如不作特殊说明则内定为与座标轴平行并且所有互连线的宽度可以取预先建立的内部缺补宽度 (如 Fairbairn 和 Rowson 在 1978 年建立的 Icarus 系统)。另外一种方法是设计者在一种疏散的网格上进行设计 (Williams, 1977), 这种设备很容易把图形单元进行重新定位, 因为在屏幕上只指示相对位置。一旦布局完成后, 由程序填补上内部的缺补尺寸并把几何布局图排成最终的掩膜图。上述两种方法都应该能很容易地把显示出的某些部分用名字加以定义, 以备以后调用这些有名字的单元并把它插入到该

项设计的不同地方去,如果需要的话还允许进行某些变换(旋转、按比例放大和镜射)。

2.2 硬拷贝输出

即使一个系统有了交互式的图形终端也还是很不够的。为了编制说明性资料 and 检查错误,系统还应能输出硬拷贝的校验图(Checkplot)。有了硬拷贝输出,设计者可以把它们粘贴成一个复杂设计所需的总体图,并还能保证有足够的分辨力来做错误检查,以及在总图上标出设计修改和插入说明。好的校验图一定要能同时显示出不同层的掩膜图。用这种方法能在任一点上清楚、准确地显示出哪一层有源区。如果所有的掩膜图能使人感到好像是半透明的,那末校验图的阅读就非常容易了。已经证明,彩色的效果很好而且易读,但彩色输出设备的价格现在仍很贵。

便宜的、分辨力低的校验图可以在普通的行式打印机上画出。它用不同的字符代表不同的层并且字符的重叠与否表示各层之间是否有重叠^[4,7],编制几百行语句的一个软件就可以用 CIF 文件画出这样的图来。

彩色行式绘图仪的输出有高得多的信息密度。仅仅单独绘制出多边形轮廓的方法相对来说是比较难读的。可以在每一层图形的内部用适当的颜色画上交叉的斜线来改善可读性,可惜的是这会使绘图的时间变得很长。其次,在生成掩膜时要合成为一个总的多边形,这时同一层内图形的交叉部分会同时显示出其内部的边界来,这会使轮廓图变得难以辨认。

静电点阵绘图仪(例如 Versatec 或 Gould 生产的绘图仪)的分辨力高,并能在几分钟内绘出图来。不同层的掩膜用形

状不同的灰色阴影区或点状图形来区分。点状图形的选取要适当,以便在和其他掩膜层合成图形时能看出每一层的掩膜图。这种作图程序的结构概要将在 7.3 节里叙述。

2.3 高级描述方法

到目前为止,我们只涉及到设计的最低级的描述方法——每一层掩膜的几何描述方法。在很多情况下,如果设计者能和机器进行较高级的通讯,则设计者的效率将会大大提高。为此,第一步首先要在设计中采用分级组织的方法,即把整个问题分成若干个比较容易处理的子问题。在 IC 设计中,级的基本成份叫做单元 (cell) 或图样 (symbol)。单元的引用可以是单独的,也可以把一个单元嵌入到另一单元中成为另一单元的一个子部分。也就是说,一个单元内所包含的东西可以插入到设计中的某一点上。这和在一般的程序设计语言里,过程的调用将被嵌入到另一过程中去是完全一样的。这种分级的方法使要处理和存贮的信息量明显地减少,而且它也是能按模块进行调试的关键。

第二步,要提供带有合适参数的单元的设计库。例如一个通用的加法器单元,它自己再加上说明数据通道宽度的参数一起就能被调用。或者一个程序逻辑阵列 PLA——它把两个 NOR 平面里给出的所有连接点的位置作为输入数组。同样,一组通用的基本单元连同有关的工艺说明文件,在被调用以后,将产生出一个结果单元作为返回值,并且这个结果单元是满足该特定工艺下线条的宽度和规定的容差的。

设计者喜欢用更高级的方法来描述他们的意图,而不是用几何图形或参数化的布局单元来描述。例如用方程来描述布尔逻辑部件,或者用状态图来描述有限状态机器。为此,需

要有能生成相应布局图的描述语言和编译程序。特别是前面提到的 PLA, 它可以由一组逻辑函数来调用。而编译程序会产生一个尺寸最小的 PLA, 并调用适当类型和适当数量的内部单元以及有关外围单元来组成它。

对任何一个设计可以有很多不同的描述方法: 寄存器图、电路图、布局的拓扑图、掩膜的几何图形、性能描述或描述文本。一个这样的数据库应能自动地把一种描述方法变成另外一种描述方法。

不太完美的系统一般只有一种主描述方法, 它能反映设计者的意图并能用来修改设计。而其他的描述方法从属于主描述方法并能交互式地或由单独的编译过程自动地进行修正。即将问世的一个可行的设计系统允许设计者在寄存器传送级上用类似 ISP^[1] 这样的语言来描述他的设计。在这种描述方法里, 通用的、参数化了的单元可以用它们的梗图 (stick diagram) 形式进行几何表示, 并能从一个库里调出和给出满足设计规则或工艺文件要求的尺寸。用这种方法得到的部件可以进一步调整它们的尺寸使互相配合得最好^[2], 然后再送入一个自动程序, 把几个部件连接起来。在完成上述步骤后, 一个实际掩膜的几何图形就生成了, 并能计算出杂散电路元件的值, 然后再把这些值和连接信息一起存贮在数据库里作为模拟程序的输入部分。为了检查整个设计的好坏, 模拟程序的输出将和在寄存器传送级上整个设计的描述性能相比较。

较高级的输入描述方法应具有以下的特点: 例如它能由用户定义子程序, 图样的参数化和提供分支条件。有了这些特点, 布局语言就具有了一般程序设计语言的能力。此外, 布局语言内还有专门的单元库。以上这些对布局都是很有用的。特别是图样的参数化可以使设计者从其他几何图形的位

置和大小得到一个新的几何图形的位置、大小和形状。例如，图样可以转动而和某些点相连的信号线或互连线则不变。此外，互连点的位置可以作些调整，使它与相邻单元的对应位置仍能匹配。电源线也应能自动展宽，使得能承受和它相连的单元所需要的总电流。原则上，布局语言能用任何一种机器语言来实现^[10]。

总之：VLSI 设计的复杂性迫使我们去开发某些必要的工具来和机器进行通讯。它比传统的方法水平要高得多。各种不同描述方法的自动编译会大大减少出错的可能性并使设计在可以接受的时限内完成。

2.4 设计规则检查

在没有自动设计系统且掩膜的几何图形要用低级的工具来生成的地方，出错和违反设计规则的几率是很高的。所以，一定要仔细检查布局图。在没有检查程序的情况下，设计者通过审查硬拷贝输出图来检查他的布局是否有错。当一个设计有几百个形状的图形时，上述的检查方法几乎是无法完成的。但是设计人员也还是有办法的。人有着惊人的识别图形的能力。密集封装的 IC 组件的每一层掩膜，其结构大多是有规律的，违反设计规则的情况，例如线条太窄或靠得太近等常常显而易见。当然，有意识地使结构有规律性，例如使用单元相同的阵列也会使检查方便得多。令人惊奇的是，即使不了解设计细节的人也能查出图上某些违反设计规则的地方。为了便于查出几个掩膜层上的错误，最好是把这些掩膜层的图形画在一起，特别是应把相交的多晶硅扩散层和金属层连线画在一起。通常每个设计至少应经另外一位设计人员的仔细审查。

设计规则是很机械的,所以某些检查可以由计算机来做。首先从 CIF 文件开始,把同一层掩膜上不同形状的图形合并在一起。它们有的相连,有的又彼此重叠。适当选取所有多边形边线的方向,比较彼此之间的位置,并检查它们之间的距离是否合适。对于一个大的布局图,事先应对所有形状的图形标以一定的顺序并进行分组。这样才可以不致于使计算机的运行时间随图形数目的增加而呈平方的增加。

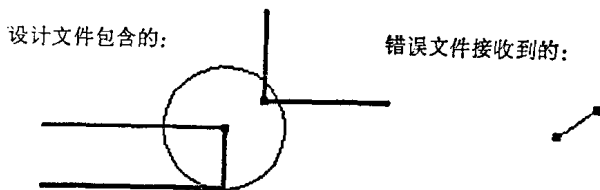
错误检查程序按某一特定工艺的具体设计规则,检查 CIF 文件或图形发生的磁带,看是否有违反规则的情况发生。对每一个违反规则的情况要给出座标、图形和错误性质等信息。典型的设计规则会给出以下的最小距离参数:

图形的大小,例如线条的宽度或接触孔的尺寸。

同一层内图形之间的距离,例如线条之间的距离。

不同层图形之间的距离,例如金属孔和接触孔之间的重叠宽度。

举例来说,假定多晶硅的不相连部分的距离必须间隔 2λ 。下图的左边是半径为 2λ 的圆,圆心在右上角,它说明圆心右边的线距离太近。



这种违反设计规则的情况可以用一个线段,即两个点和它们之间的间距来表示。其中一个点在某个圆的边缘上。应该用最方便的方法向设计者报告违反设计规则的情况。错误检查程序的输出(“错误文件”)可以是一个简单的表。这个表