

高等学校教材

半导体集成电路

张廷庆 张开华 朱兆宗 编

上海科学技术出版社

内 容 简 介

本书主要讨论各种半导体集成电路的工作原理和设计方法。全书由三篇构成。第一篇双极型逻辑集成电路,主要内容为半导体集成电路的寄生效应,TTL 单元电路分析,TTL 中大规模集成电路,TTL 电路版图设计以及 ECL 电路和 I²L 电路。第二篇 MOS 逻辑集成电路,主要内容为 nMOS 集成电路,CMOS 集成电路,动态和准静态 MOS 电路,MOS 电路版图设计以及 MOS 大规模集成电路。第三篇模拟集成电路,主要内容为模拟集成电路中的特殊元件,模拟集成电路中的基本单元电路,集成运算放大器,模拟集成电路版图设计以及其它模拟集成电路。

本书为高等学校工科电子类半导体物理与器件专业教材,亦可供从事半导体集成电路方面工作的工程技术人员阅读参考。

高等学校教材

半 导 体 集 成 电 路

张廷庆 张开华 朱兆宗 编

上海科学技术出版社出版

(上海瑞金二路 450 号)

新华书店上海发行所发行 上海群众印刷厂印刷

开本 787×1092 1/16 印张 24.75 字数 590,000

1986 年 5 月第 1 版 1986 年 5 月第 1 次印刷

印数 1—5,100

统一书号: 15119·2473 定价: 4.05 元

出版说明

根据国务院关于高等学校教材工作分工的规定,我部承担了全国高等学校工科电子类专业课教材的编审、出版的组织工作。从一九七七年底到一九八二年初,由于各有关院校,特别是参与编审工作的广大教师的努力和有关出版社的紧密配合,共编审出版了教材 159 种。

为了使工科电子类专业教材能更好地适应社会主义现代化建设培养人才的需要,反映国内外电子科学技术水平,达到“打好基础、精选内容、逐步更新、利于教学”的要求,在总结第一轮教材编审出版工作经验的基础上,电子工业部于一九八二年先后成立了高等学校《无线电技术与信息系统》、《电磁场与微波技术》、《电子材料与固体器件》、《电子物理与器件》、《电子机械》、《计算机与自动控制》、中等专业学校《电子类专业》、《电子机械类专业》共八个教材编审委员会,作为教材工作方面的一个经常性的业务指导机构。并制定了一九八二~一九八五年教材编审出版规划,列入规划的教材、教学参考书、实验指导书等共 217 种选题。在努力提高教材质量,适当增加教材品种的思想指导下,这一批教材的编审工作由编审委员会直接组织进行。

这一批教材的书稿,主要是从通过教学实践、师生反映较好的讲义中评选择优和第一轮较好的教材中修编产生出来的。广大编审者,各编审委员会和有关出版社都为保证和提高教材质量作出了努力。

这一批教材,分别由电子工业出版社、国防工业出版社、上海科学技术出版社、西北电讯工程学院出版社、湖南科学技术出版社、江苏科学技术出版社、黑龙江科学技术出版社和天津科学技术出版社承担出版工作。

限于水平和经验,这一批教材的编审出版工作肯定还会有许多缺点和不足之处,希望使用教材的单位、广大教师和同学积极提出批评建议,共同为提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系由《电子材料与固体器件》教材编审委员会《半导体物理与器件》编审小组评选审定,并推荐出版。

本教材由西北电讯工程学院张廷庆编写第一篇,朱兆宗编写第三篇,高宝华编选了这两篇的习题;成都电讯工程学院张开华编写第二篇。由哈尔滨工业大学叶以正担任主审。编者均依据《半导体物理与器件》编审小组审定的编写大纲进行编写和审阅的。

本课程的参考教学时数为 120 学时(包括课程设计)。全书由三篇组成。第一篇双极型逻辑集成电路,主要内容为半导体集成电路的寄生效应, TTL 单元电路分析, TTL 中、大规模集成电路, TTL 电路版图设计以及 EOL 电路和 I²L 电路。第二篇 MOS 逻辑集成电路,主要内容为 nMOS 集成电路, CMOS 集成电路, MOS 动态电路和准静态电路, MOS 电路版图设计以及 MOS 大规模集成电路。第三篇模拟集成电路,主要内容为模拟集成电路中的特殊元件,模拟集成电路中的基本单元电路,集成运算放大器,模拟集成电路版图设计以及其它模拟集成电路。

本教材编写过程中,参考了国内外有关资料,并吸收了其他院校教材的特点。其中第一篇有相当一部分内容摘录自 1982 年及 1983 年清华大学《双极型集成电路工程基础》(上册和补充教材)讲义,在此特向该讲义编者贾松良同志致谢。参加评阅工作的还有陶楚良、陈邦沂、孙金坛、刘三清以及编审小组的其他同志,他们都为本书提出了许多宝贵意见,这里表示诚挚的感谢。由于编者水平有限,书中难免还存在一些缺点和错误,殷切希望广大读者批评指正。

编 者

主要参数符号表

A	面积	I_{OOL}	空载导通电源电流
B, b	晶体管基极	I_{COH}	空载截止电源电流
BV_{DS}	漏源击穿电压	I_{DS}	漏源电流
BV_{DSP}	漏源穿通电压	I_{DN}	导通电流
C, c	晶体管集电极	I_{OFF}	截止电流
C_j	pn 结势垒电容	$I_{DN}(I_{OL})$	吸收电流
C_D	pn 结扩散电容	$I_{DP}(I_{OH})$	供给电流
C_L	负载电容	I_H	维持电流
C_W	引线电容	I_R	读出电流
C_{DS}	漏源电容	K	MOS 管导电因子
C_{GS}	栅源电容	K'	MOS 管本征导电因子
C_{GD}	栅漏电容	K_n	nMOS 管导电因子
C_M	密勒电容	K_p	pMOS 管导电因子
C_b	自举电容	K_f	闭环电压增益
C_{ox}	二氧化硅单位面积电容	K_o	开环电压增益
D	MOS 管漏极	K_{od}	差模电压增益
D_n	电子扩散系数	K_{oc}	共模电压增益
D_p	空穴扩散系数	L	沟道长度
E, e	晶体管发射极	L_D	德拜长度
F	反馈系数	L_{B-eff}	发射极有效长度
f_T	特征频率	L_n	电子扩散长度
f_m	最高振荡频率	L_p	空穴扩散长度
f_o	单位增益频率	m	偏置
f_p	(1)极点频率; (2)全功率输出频率	$ N $	杂质浓度
f_z	零点频率	N_A	受主杂质浓度
G	MOS 管栅极	N_D	施主杂质浓度
g_m	MOS 管跨导	N_s	衬底杂质浓度
g_{mb}	MOS 管背栅跨导	N_0	扇出
g_{ms}	MOS 管源极输出跨导	n	电子浓度
g_D	MOS 管漏极电导	n_i	本征电子浓度
I_B	发射极电流	n_0	平衡电子浓度
I_B	基极电流	p	空穴浓度
I_O	集电极电流	$\bar{P}_o$	电路平均静态功耗
I_S	衬底电流	$\bar{P}_q$	电路平均瞬态功耗
I_{IL}	输入短路电流	Q	总电荷、单位面积电荷
I_{IH}	输入漏电流	Q_B	(1)基区电荷; (2)强反型表面耗尽区电荷密度
I_{OH}	输出漏电流	Q_{BS}	基区超量存储电荷
I_{OS}	(1)输出短路电流; (2)输入失调电流		

Q_{CS}	集电区超量存储电荷	V_o	输出电压
Q_n	反型层中单位面积电荷	V_{OH}	输出高电平
Q_{ss}	表面态电荷密度	V_{OL}	输出低电平
Q_s	半导体表面单位面积感应电荷	V_{IL}	关门电平
R_L	负载电阻	V_{IH}	开门电平
$R_{\square}$	薄层电阻	V_L	逻辑摆幅
R_D	动态电阻	V_W	过渡区宽度
R_{OH}	高电平输出阻抗	V_{NML}	低电平噪声容限
r_{cs}	集电极串联电阻	V_{NMH}	高电平噪声容限
r_{bb}	基极串联电阻	V_{ic}	输入箝位电压
r_e	发射极电阻	V_G	栅压
r_{oe}	共射极输出电阻	V_D	漏压
r_{ob}	共基极输出电阻	V_{GS}	栅源电压
r_{on}	MOS 管动态导通电阻	V_{DS}	漏源电压
S	(1)衬底; (2)MOS 管源极; (3)饱和度	V_{DD}	MOS 电路电源电压
S_L	沟道长度灵敏度	V_{SS}	MOS 电路最低电位(地电位)
S_R	转移速率	V_{BS}	衬底偏压
T	(1)温度; (2)周期	V_{GG}	MOS 负载管栅电压
T_A	环境温度	V_{on}	导通电压
T_S	(1)衬底温度; (2)建立时间	V^*	转换电压
T_D	对延迟时间	V_{FB}	平带电压
t_d	延迟时间	V_{Th}	nMOS 管阈值电压
t_f	下降时间	V_{TP}	pMOS 管阈值电压
t_s	存储时间	V_{TL}	负载管阈值电压
t_r	上升时间	V_{TI}	输入管阈值电压
t_{on}	开启时间	V_{TD}	耗尽管阈值电压
t_{off}	关断时间	V_{TH}	增强管阈值电压
t_{PLH}	截止延迟时间	V_P	夹断电压
t_{PHL}	导通延迟时间	V_{PT}	穿通电压
t_{pd}	平均延迟时间	V_{TF}	场阈值电压
t_{ox}	氧化层厚度	W	(1)沟道宽度; (2)宽度
v_g	信号电压	W_b	基区宽度
v	交流电压	W_{ep1}	外延层厚度
V	电压	W_d	耗尽层宽度
V_D	接触电势差	W_M	金属功函数
V_T	(1)阈值电压; (2)热电压	W_{MS}	金-半(MS)功函数差
V_F	正向偏压	X_j	结深
V_R	反向偏压	X_{je}	发射结结深
V_S	表面势	X_{jc}	集电结结深
V_{ces}	饱和压降	α	共基极电流增益
V_{ces0}	本征饱和压降	α_F	npn 管共基极正向电流增益
V_{0k}	输入失调电压	α_R	npn 管共基极反向电流增益
V_{OO}	电源电压	α_{SF}	寄生 pnp 管共基极正向电流增益
V_{ref}	参考电压	α_{SR}	寄生 pnp 管共基极反向电流增益
V_i	输入电压	β	共射极电流增益

β_R	MOS 电路输入管与负载管增益因子之比	τ	寿命
β_0	CMOS 电路 K_p 与 K_n 之比	τ_n	电子寿命
γ	发射效率	τ_p	空穴寿命
δ	电容自举率	τ_e	发射极延迟时间常数
ϵ	介电常数	τ_b	基区渡越时间
ϵ_0	真空介电常数	τ_d	集电极势垒渡越时间
ϵ_{si}	硅相对介电常数	τ_o	集电极延迟时间常数
ϵ_s	二氧化硅相对介电常数	τ_r	上升时间常数
μ	迁移率	τ_f	下降时间常数
μ_n	电子迁移率	σ	电导率
μ_p	空穴迁移率	ϕ_F	费米势
μ_{eff}	反型层载流子有效迁移率	ϕ_{MS}	MS 接触电势差
ρ	电阻率		

目 录

出版说明
前言

主要参数符号表

第一篇 双极型逻辑集成电路

第1章 集成电路的寄生效应	2	§ 3-3 简化触发器	70
§ 1-1 典型 pn 结隔离工艺	2	§ 3-4 TTL 中大规模集成电路举例	73
§ 1-2 集成电路元件结构和寄生效应	3	§ 3-5 双极型存储器	79
§ 1-3 多晶体管埃伯斯-莫尔模型	5	§ 3-6 双极型门阵列	83
§ 1-4 集成电路晶体管有源寄生效应	9	习题	84
§ 1-5 集成电路中的寄生电容	11	参考资料	86
习题	15	第4章 TTL 电路版图设计	87
参考资料	17	§ 4-1 集成电路版图设计的一般程序	87
第2章 TTL 集成电路	18	§ 4-2 版图设计基本尺寸的确定	88
§ 2-1 双极型逻辑集成电路的演变	18	§ 4-3 集成晶体管版图设计	92
§ 2-2 简易 TTL 与非门	20	§ 4-4 集成二极管和肖特基势垒二极管	96
§ 2-3 六管单元 TTL 与非门	34	§ 4-5 集成电阻器	99
§ 2-4 STTL 和 LS TTL 电路	44	§ 4-6 版图设计举例	104
§ 2-5 TTL 电路的温度特性	50	习题	110
§ 2-6 TTL 门电路的逻辑扩展	54	参考资料	110
习题	60	第5章 ECL 和 I ² L 电路	112
参考资料	61	§ 5-1 ECL 电路	112
第3章 TTL 中大规模集成电路	63	§ 5-2 I ² L 电路	121
§ 3-1 简化逻辑门	63	习题	135
§ 3-2 单管逻辑门	65	参考资料	136

第二篇 MOS 逻辑集成电路

第6章 nMOS 逻辑集成电路	138	§ 7-2 CMOS 传输门	173
§ 6-1 电阻负载 MOS 倒相器	139	§ 7-3 静态 CMOS 电路	176
§ 6-2 E/E MOS 倒相器	140	§ 7-4 CMOS 门电路的设计	183
§ 6-3 自举负载 MOS 倒相器	150	§ 7-5 CMOS 电路中的锁定效应	188
§ 6-4 E/D MOS 倒相器	151	习题	191
§ 6-5 静态 MOS 电路	157	参考资料	192
习题	162	第8章 动态和准静态 MOS 电路	193
参考资料	163	§ 8-1 栅电容的电荷存储效应	193
第7章 CMOS 集成电路	164	§ 8-2 动态 MOS 倒相器	194
§ 7-1 CMOS 倒相器	164	§ 8-3 动态 MOS 电路	196

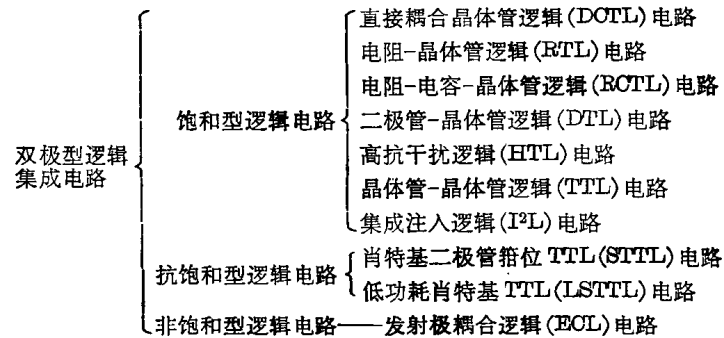
§ 8-4 准静态 MOS 触发器	199	参考资料	234
§ 8-5 动态和准静态 CMOS 电路	201	第 10 章 MOS 大规模集成电路	235
习题	207	§ 10-1 LSI 电路中的 CAD 技术	235
参考资料	208	§ 10-2 HMOS 技术	238
第 9 章 MOS 集成电路的版图设计	209	§ 10-3 MOS 存储器	243
§ 9-1 MOS 集成电路的工艺设计	209	§ 10-4 微处理器中的算术逻辑单元	254
§ 9-2 MOS 集成电路版图设计	213	§ 10-5 半定制逻辑电路	257
§ 9-3 MOS 集成电路版图设计举例	226	习题	259
习题	233	参考资料	260

第三篇 模拟集成电路

第 11 章 模拟集成电路中的特殊元件	262	偿	309
§ 11-1 横向 pnp 管	262	§ 13-3 大信号时运算放大器的瞬态特性	315
§ 11-2 纵向 pnp 管	269	§ 13-4 $\mu A741$ 通用型运算放大器	317
§ 11-3 超增益晶体管	271	§ 13-5 提高集成运算放大器性能的途径	326
§ 11-4 隐埋齐纳二极管	273	习题	340
§ 11-5 集成电路中的电容器	274	参考资料	341
§ 11-6 薄膜电阻器	277	第 14 章 模拟集成电路	343
习题	278	§ 14-1 集成电压比较器	343
参考资料	278	§ 14-2 D/A 转换器	349
第 12 章 模拟集成电路中的基本单元电		§ 14-3 A/D 转换器	353
路	279	§ 14-4 MOS 模拟集成电路	355
§ 12-1 差分放大器	279	习题	367
§ 12-2 恒流源电路和有源负载	286	参考资料	369
§ 12-3 基准源电路	291	第 15 章 模拟集成电路的版图设计	371
§ 12-4 模拟开关	295	§ 15-1 模拟集成电路版图设计特点	371
习题	303	§ 15-2 模拟集成电路中的相容技术	373
参考资料	304	§ 15-3 $\mu A741$ 运算放大器版图设计分析	379
第 13 章 集成运算放大器	306	习题	383
§ 13-1 运算放大器的基本概念	306	参考资料	383
§ 13-2 运算放大器的频率特性和频率补			

第一篇 双极型逻辑集成电路

以双极型晶体管作为有源元件的逻辑集成电路,称之为双极型逻辑集成电路。它是最早实现集成化的电路,在它的发展过程中,曾出现过多种不同的类型,大体上可归纳如下:



从当前国内外情况看, TTL (包括 STTL 和 LSTTL) 电路和 ECL 电路是中、小规模双极型逻辑集成电路的主要类型, 而 I^2L 电路是实现双极型大规模和超大规模集成电路的重要途径。本篇在分析集成电路的寄生效应之后, 详细讨论这三种类型集成电路的工作原理和设计方法, 重点放在 TTL 电路上。

第 1 章

集成电路的寄生效应

在半导体集成电路问世以前,各种门电路和逻辑部件都是由电阻器、晶体管等分立元件通过导线或印刷电路板连接成的,这样的电路称为分立电路。半导体集成电路的所有元件都是制作在同一块基片上的。由于这一特点,决定了集成电路中的每一元件除了我们所需的功能外,还附加有寄生效应,如寄生晶体管效应、寄生电容效应等。

在具体分析逻辑集成电路之前,首先从集成电路的具体元件结构出发,分析集成电路的寄生效应,然后介绍减小乃至消除这些寄生效应的方法。

§ 1-1 典型 pn 结隔离工艺

双极型逻辑集成电路的制造工艺,是在平面工艺基础上发展起来的。其要点是:通过隔离把硅片分成一定数目的互相绝缘的隔离区;在各个隔离区内制作晶体管、电阻等元件;制作互连线,把各个元件按照一定功能连接起来。由于隔离的方法不同,具体的工艺流程各有差异,但各种制造工艺的主要部分是相同的。目前,双极型逻辑集成电路主要采用 pn 结隔离,因此下面以 pn 结隔离工艺为主进行讨论。

图 1-1 给出了 pn 结隔离工艺的主要流程图。为了看清楚集成电路中元件的结构,图 1-2 绘出了与图 1-1(b) 相对应的晶体管和电阻形成过程的剖面图。

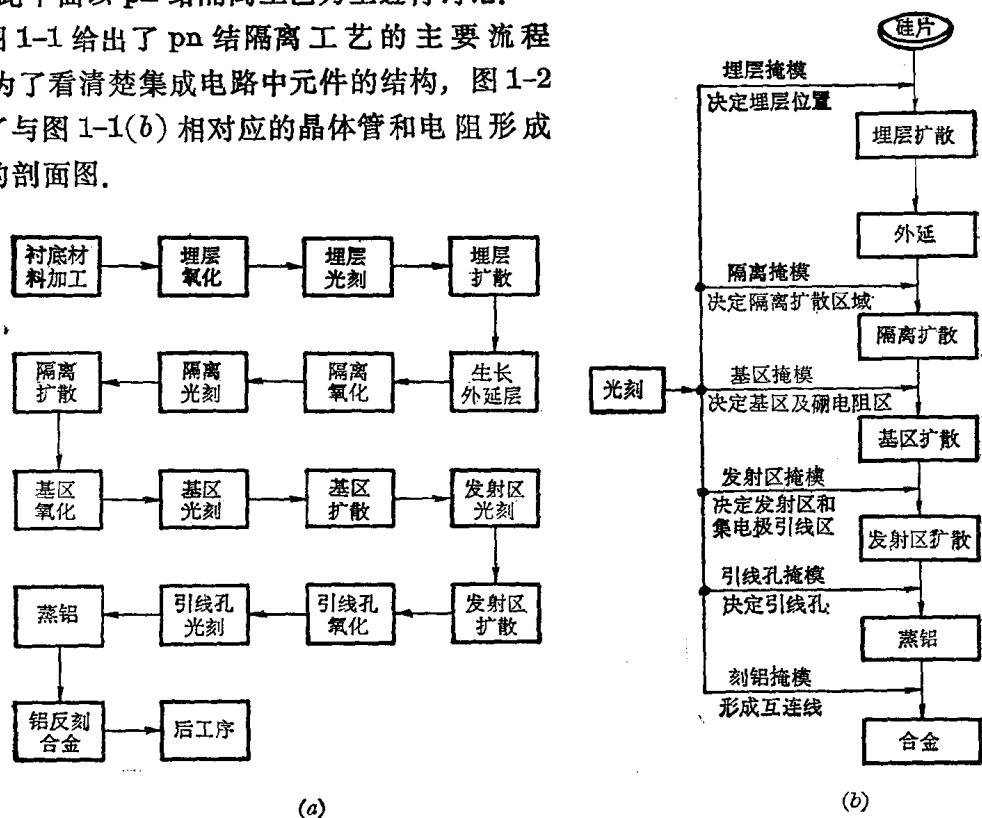


图 1-1 pn 结隔离集成电路工艺流程图

从图 1-2 可以看到, 双极型集成电路的制造工艺与平面管的主要区别在于“隔离”和“埋层”。下面就这两个问题作些说明。

在集成电路中, 由于所有元件都制作在同一块硅衬底上, 若不隔离, 所有晶体管的集电极都在外延层上, 就会电连通, 这是不允许的。pn 结隔离的目的就是使做在不同隔离区的元件实现电隔离, 如图 1-3 所示。图中两个晶体管分别作在两个隔离区内, 它们的集电区是 n 型外延层。两个晶体管的集电区间隔着两个背靠背的 pn 结。只要使 p(p⁺) 型衬底的电位比晶体管的集电区低, 两个晶体管就被反向偏置的 pn 结的直流高阻所隔开, 实现了所谓“电隔离”的目的。

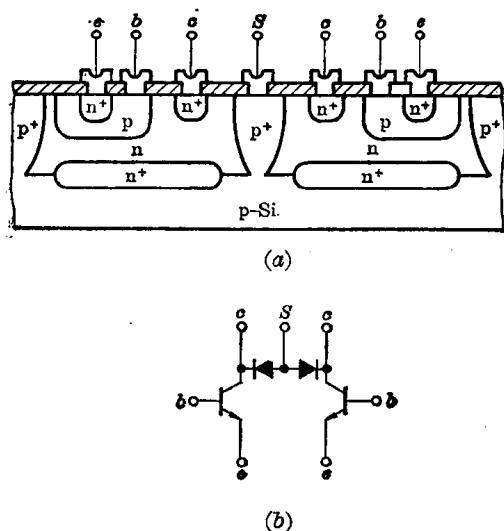


图 1-3 两个晶体管靠反偏 pn 结实现电隔离

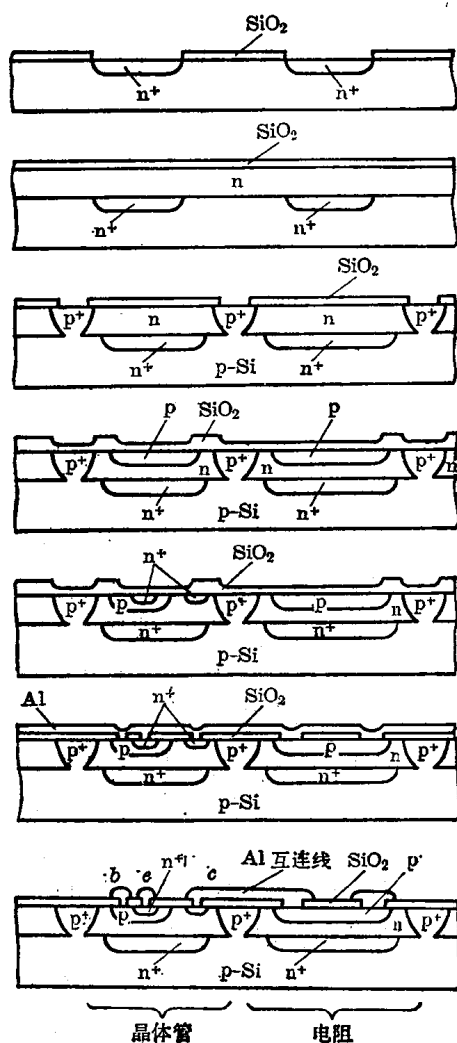


图 1-2 pn 结隔离工艺元件剖面图

由于集成电路中各元件在硅片正面形成互连, 晶体管的集电极接触必须在正面实现, 因而集电极电流的路径往往很长, 其集电极串联电阻就比分立晶体管的大得多。为了降低集成电路晶体管的集电极串联电阻, 增加了一道埋层工艺, 以提供集电极电流的低阻通路。

§ 1-2 集成电路元件结构和寄生效应

一个双极型集成电路 npn 管的横截面如图 1-4(a) 所示。它是一个四层三结结构, 即发射区(n⁺型)、基区(p型)、集电区(n型外延层)、衬底(p型)四层; 发射结、集电结、隔离结(或衬底结)三结。图 1-4(a) 可用图 1-4(b) 所示的等效电路表示。可以看到, npn 管为主要晶体管, 而 pnp 管则是由 npn 管的基区、集电区和衬底所构成的寄生晶体管。集成电路中的晶体管包含有寄生晶体管, 这是它和分立晶体管的主要区别。由于在实际电路中, 衬底总是接在电路的最低电位上, 因此寄生 pnp 管的集电结(即隔离结)总是反偏的, 而发射结(即 npn 管的集电结)的情况则较为复杂。当 npn 管工作在饱和区和反向工作区时, 它的集电

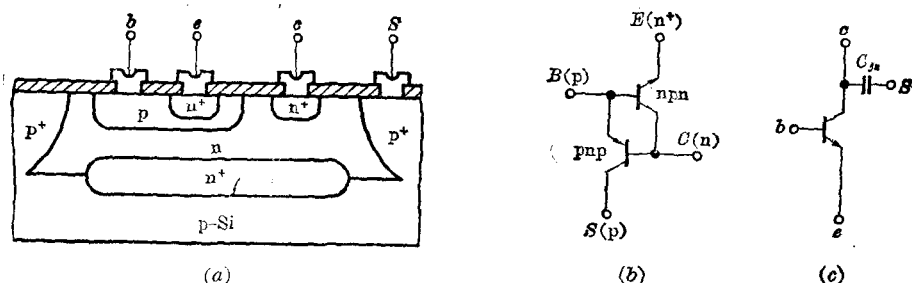


图 1-4 集成电路中的 npn 晶体管

(a) 横截面图;

(b) 等效电路(一);

(c) 等效电路(二)

结处于正偏,则寄生 pnp 管的发射结处于正向,寄生 pnp 管就处于正向有源区,这将严重影响电路的工作。在逻辑集成电路中, npn 管是经常可能处于饱和或反向工作状态的,所以对逻辑集成电路来说,减小乃至消除寄生 pnp 管的影响就显得特别重要。

目前在工艺上降低寄生 pnp 管影响的主要措施是掺金和设置埋层。掺金可以降低 pnp 管基区(即 npn 管集电区)的少子寿命,这是降低寄生 pnp 管电流放大系数的最有效办法。在 npn 管的衬底中设置 n^+ 埋层,一方面它增大了 pnp 管的基区宽度,另一方面,由于埋层是重掺杂 n^+ 层,使 pnp 管的注射效率降低,这些都可使 pnp 管的电流放大系数减小。此外,隐埋层上扩散所形成的杂质浓度梯度,对减小 pnp 管电流放大系数也是有利的。

在采取了上述措施后,在典型情况下,可使寄生 pnp 管的电流放大系数降到 0.01 以下,这时 pnp 管的有源寄生效应就可忽略不计,而只要考虑隔离结所引入的寄生电容就可以了。由于隔离结在集成电路中始终是反偏的,因此在一般情况下,只要考虑隔离结的势垒电容 C_{jn} 就可以了,这时集成晶体管可用图 1-4(c) 来表示。

集成电路中常用的硼扩散电阻截面图如图 1-5(a) 所示。它是一个三层两结的器件,即 p 型基区(硼扩散电阻本身)、n 型外延层和 p 型衬底;集电结和隔离结。由图可见,除硼扩散电阻本身外,还存在着一个寄生 pnp 管,其等效电路如图 1-5(b) 所示。为了减小它在电路中的影响,集成电路中的 p 型衬底总是接在电路的最低电位,而电阻的 n 型外延层总是接在电路的最高电位上。这时寄生 pnp 管截止,可不予考虑。但是,处于反偏状态的集电结和隔离结仍存在势垒电容,如图 1-5(c) 所示。如果电阻的一端接到电源上(通常电路中的最高电位为 $+V_{DD}$),称之为短路扩散电阻,其等效电路如图 1-5(d) 所示。图 1-5(c) 和 (d) 是逻辑电路中最常见的两种寄生效应,势垒电容的存在将影响电路的瞬态特性。

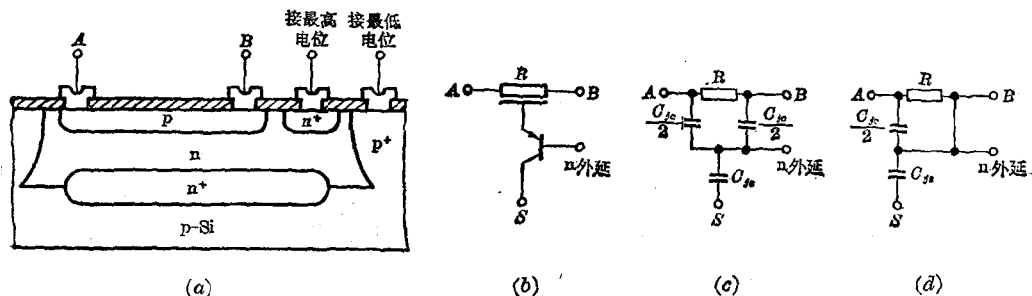


图 1-5 基区硼扩散电阻横截面图和等效电路

(a) 横截面图;

(b) 等效电路;

(c) 开路扩散电阻;

(d) 短路扩散电阻。

图 1-2 实际上是一个集成倒相器的横截面图。它由一个集成 npn 管和一个集成硼扩散电阻构成。由于存在有源寄生效应, 由两个元件构成的倒相器, 集成以后就变成一个由四个元件构成的电路, 如图 1-6(a) 所示。可以看到, 其中两个 pnp 管是寄生的, 显然, 它们的存在将影响倒相器的特性。为了消除 pnp 管有源寄生效应, 一方面从电路上考虑, 将衬底 S 接电路中的最低电位(一般是地), 电阻隔离区 n 接电路中最高电位, 另一方面从工艺上考虑掺金和设置 n^+ 埋层。经过这些处置之后, 寄生 pnp 管就可略去, 但反偏二极管的势垒电容仍然存在, 如图 1-6(b) 所示。显然, 这些寄生电容将影响倒相器的瞬态特性。

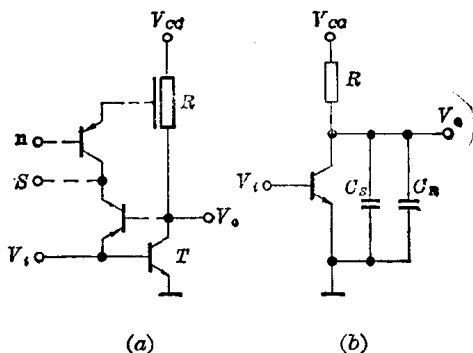


图 1-6 集成倒相器等效电路

§ 1-3 多晶体管埃伯斯-莫尔模型

集成电路中的晶体管是一个四层三结结构, 存在着寄生效应, 要对它进行分析, 可采用多晶体管非线性模型。下面, 先从只包含一个 pn 结的二极管出发, 然后逐步引出多晶体管埃伯斯-莫尔(E-M)模型。

1. 理想 pn 结二极管模型 众所周知, 理想 pn 结二极管的电流 I 和电压 V 的关系为:

$$I = I_{s0} (e^{\frac{V}{V_T}} - 1) \quad (1-1)$$

式中, V_T 是热电压, 在 $T = 300\text{K}$ 时, $V_T = \frac{kT}{q} \approx 26\text{mV}$; I_{s0} 是反向饱和电流, 它由下式表示:

$$I_{s0} = Aq \left(\frac{D_n n_{p0}}{L_n} + \frac{D_p p_{n0}}{L_p} \right) \quad (1-2)$$

式中, A 为结面积; D 为扩散系数; L 为扩散长度, p_{n0} 、 n_{p0} 为平衡少数浓度。

典型的硅二极管伏安特性曲线如图 1-7 所示, 当结偏压小于某个电压 V_{th} 时, 流过结的电流很小, 近似认为 $I \approx 0$, 二极管截止; 当结偏压大于某个电压 V_{th} 时, 结电流明显增大, 二极管导通。这个电压 V_{th} 通常称为二极管的阈值电压, 即:

$$\begin{aligned} V \geq V_{th}: \quad I &= I_{s0} e^{\frac{V}{V_T}} \\ V < V_{th}: \quad I &= 0 \end{aligned}$$

阈值电压 V_{th} 的大小, 不但与 pn 结二极管的材料和结两侧的杂质浓度有关, 而且与流过结的电流大小有关。图 1-8 示出了集成电路中硅 pn 结二极管典型正向特性。由图可见, 发射结二极管正向电流在毫安数量级时, V_{th} 约为 0.7V 左右, 集电结二极管在相同电流下, V_{th} 值约小 0.1V 。

下面简单分析一下二极管导通后, 它的电流随电压变化的规律。当 $V \geq V_{th}$ 时, 二极管导通, 式(1-1)可写成:

$$I = I_{s0} e^{\frac{V}{V_T}} \quad \text{或} \quad V = V_T \ln \frac{I}{I_{s0}}$$

设电流为 I_1 时, 结偏压为 V_1 , 结电流为 I_2 时, 结偏压为 V_2 , 那末由上式可求得:

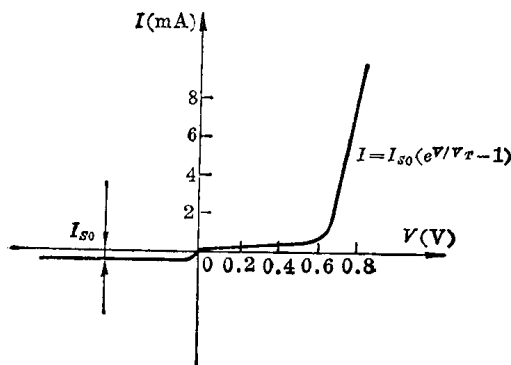


图 1-7 典型硅二极管伏安特性曲线

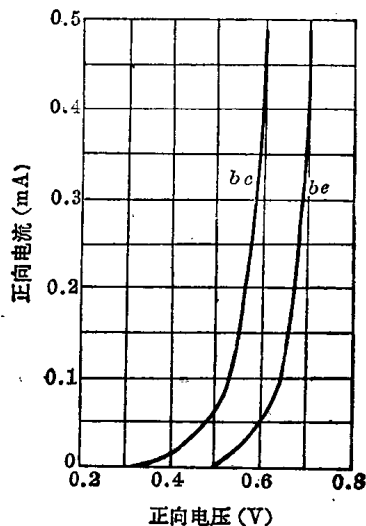


图 1-8 集成电路中典型 pn 结正向特性

$$V_2 = V_1 + V_T \ln \frac{I_2}{I_1} = V_1 + V_T 2.31 \lg \frac{I_2}{I_1}$$

将 V_T 室温值代入, 得:

$$V_2 = V_1 + 60 \lg \frac{I_2}{I_1} \quad (1-3)$$

此式表明, 结电流增加 10 倍, 结电压才增加 60 mV, 或者说, 结电流在一定范围内变化时, 结压降基本不变。这样, 作为一种近似, 可以认为: 当加在结上的电压小于 V_{th} 时, 二极管是截止的; 当结偏压达到 V_{th} 时, 二极管是导通的; 结电流在一定范围内变化时, 结压降基本上是不变的。这种特性就是理想二极管的伏安特性, 如图 1-9(a) 所示。在电路分析中, 它可用一个没有内阻的理想二极管和一个理想电压源 V_{th} 来等效, 如图 1-9(b) 所示。当流过结的电流为毫安数量级时, 对于 eb 结, 可取 $V_{th} = 0.7$ V 或 0.75 V; 对于 bo 结, 可取 $V_{th} = 0.6$ V 或 0.65 V; 流过结的电流更大时, V_{th} 相应增大。

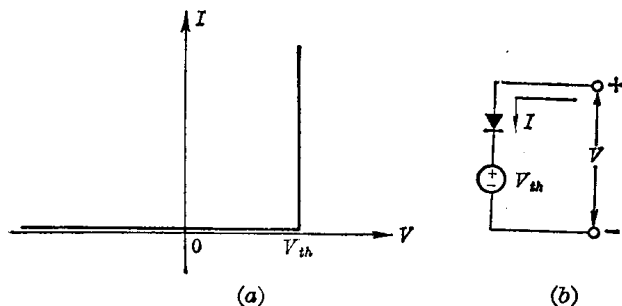


图 1-9 理想二极管模型

(a) 伏安特性; (b) 等效电路

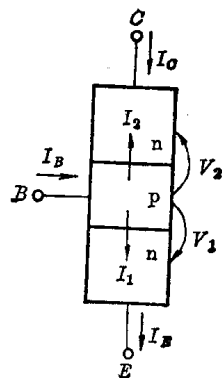


图 1-10 双结晶体管

2. 双结晶体管 E-M 模型 一个三层二结的 npn 管, 其结电流、结电压和端电流的方向如图 1-10 所定义。可把图 1-10 所示的双结晶体管看成由两个共用 p 型区的 pn 结二极管所构成。若 p 区很宽, 两个二极管的相互作用可以忽略, 流过发射结二极管 D_E 和集电结二极管 D_C 的结电流分别为:

$$I_{DE} = I_{ES} (e^{\frac{V_1}{V_T}} - 1)$$

$$I_{DC} = I_{CS}(e^{\frac{V_A}{V_T}} - 1)$$

由于实际晶体管的基区很薄, 相邻 pn 结之间存在着相互作用——晶体管作用, 因而, 流过晶体管中某一个 pn 结的电流除该结的注入电流外, 还要加上相邻结注入电流被该结收集到的部分。也就是说, 考虑晶体管作用后, 流过发射结的电流 I_1 除 I_{DE} 外, 还有 I_{DC} 的一部分; 流过集电结的电流 I_2 除 I_{DO} 外, 还有 I_{DB} 的一部分。即:

$$I_1 = I_{ES}(e^{\frac{V_1}{V_T}} - 1) + A I_{CS}(e^{\frac{V_1}{V_T}} - 1) \quad (1-4)$$

$$I_2 = B I_{ES}(e^{\frac{V_1}{V_T}} - 1) + I_{CS}(e^{\frac{V_1}{V_T}} - 1) \quad (1-5)$$

系数 A 、 B 分别由下式确定:

$$A = \frac{I_1}{I_2} \Big|_{V_1=0} = - \frac{I_E}{I_C} \Big|_{V_1=0} = -\alpha_R$$

$$B = \frac{I_2}{I_1} \Big|_{V_1=0} = - \frac{I_C}{I_E} \Big|_{V_1=0} = -\alpha_F$$

可见, 系数 A 即为 npn 管反向运用时共基极短路电流增益 α_R 的负值, B 为 npn 管正向运用时共基极短路电流增益 α_F 的负值。

将系数 A 、 B 的值代入式(1-4)和(1-5), 并用矩阵表示, 就有:

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} 1 & -\alpha_R \\ -\alpha_F & 1 \end{pmatrix} \begin{bmatrix} I_{ES}(e^{\frac{V_1}{V_T}} - 1) \\ I_{CS}(e^{\frac{V_1}{V_T}} - 1) \end{bmatrix} \quad (1-6)$$

根据图 1-10 可知, 端电流和结电流有如下关系:

$$\left. \begin{aligned} I_E &= I_1 \\ I_B &= I_1 + I_2 \\ I_C &= -I_2 \end{aligned} \right\} \quad (1-7)$$

因此, 式(1-6)可表示为:

$$\begin{pmatrix} I_E \\ I_C \end{pmatrix} = \begin{pmatrix} 1 & -\alpha_R \\ \alpha_F & -1 \end{pmatrix} \begin{bmatrix} I_{ES}(e^{\frac{V_1}{V_T}} - 1) \\ I_{CS}(e^{\frac{V_1}{V_T}} - 1) \end{bmatrix} \quad (1-8)$$

上式即为双结晶体管的 E-M 方程, 它常用图 1-11 表示。因为它是以两个注入电流 I_{DE} 、 I_{DO} 作为参考电流的直流模型, 因此通常又称为注入型 E-M₁ 模型。

由式(1-8)可以看到, 在某一温度下, 为了描述注入型 E-M₁ 模型, 需要用四个模型参数, 即 α_F 、 α_R 、 I_{ES} 及 I_{CS} 。但根据晶体管的可逆性特性, 即:

$$\alpha_F I_{ES} = \alpha_R I_{CS} = I_S \quad (1-9)$$

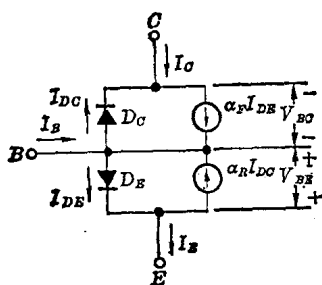


图 1-11 注入型 E-M₁ 模型

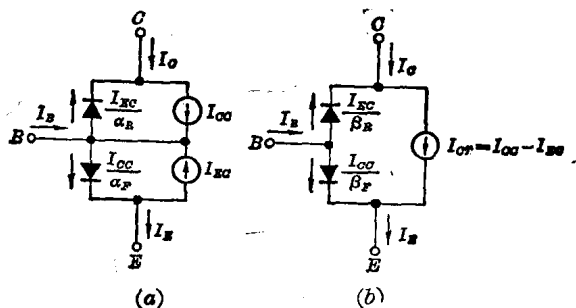


图 1-12

(a) 传输型 E-M₁ 模型; (b) 非线性混合 α 模型

则可使模型参数减少到三个。

在计算机辅助设计中,经常使用传输型 E-M₁ 模型和非线性混合 π 模型,如图 1-12 所示。

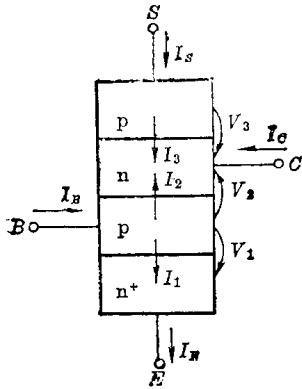


图 1-13 集成晶体管

在传输型模型中,参考电流是两个传输电流,即 $I_{EO} = \alpha_R I_{DO}$, $I_{CO} = \alpha_F I_{DE}$ 。它们表征了两个 pn 结之间的相互作用。在传输型模型中,如用集电极与发射极之间的单一电流源代替两个等效的电流源,即 $I_{CT} = I_{CO} - I_{EO}$, 则可得到非线性混合 π 模型。

3. 四层三结 E-M 模型 集成电路晶体管是一个四层三结结构,它的电流和电压的极性如图 1-13 所示。它与双结晶体管相比,多了一个衬底结,因此其参量增加了结电流 I_3 、结电压 V_3 、端电流 I_S 和端电压 V_{SC} 。

与讨论双结晶体管类似,考虑到相邻结之间的相互作用,则:

$$\left. \begin{aligned} I_1 &= I_{ES}(e^{\frac{V_1}{V_T}} - 1) + a I_{CS}(e^{\frac{V_1}{V_T}} - 1) \\ I_2 &= b I_{ES}(e^{\frac{V_1}{V_T}} - 1) + I_{CS}(e^{\frac{V_1}{V_T}} - 1) + c I_{SS}(e^{\frac{V_1}{V_T}} - 1) \\ I_3 &= d I_{CS}(e^{\frac{V_1}{V_T}} - 1) + I_{SS}(e^{\frac{V_1}{V_T}} - 1) \end{aligned} \right\} \quad (1-10)$$

系数 a 、 b 、 c 、 d 可由上述方程组确定:

$$\begin{aligned} a &= \frac{I_1}{I_2} \bigg|_{\substack{V_1=0 \\ V_2=0}} = -\alpha_R & b &= \frac{I_2}{I_1} \bigg|_{\substack{V_1=0 \\ V_2=0}} = -\alpha_F \\ c &= \frac{I_2}{I_3} \bigg|_{\substack{V_1=0 \\ V_2=0}} = -\alpha_{SR} & d &= \frac{I_3}{I_2} \bigg|_{\substack{V_1=0 \\ V_2=0}} = -\alpha_{SF} \end{aligned}$$

式中, α_F 、 α_R 分别是 npn 管正、反向运用共基极短路电流增益; α_{SF} 、 α_{SR} 分别是寄生 pnp 管正、反运用共基极短路电流增益。

将这些系数代入式(1-10),且用矩阵表示,得:

$$\begin{pmatrix} I_1 \\ I_2 \\ I_3 \end{pmatrix} = \begin{pmatrix} 1 & -\alpha_R & 0 \\ -\alpha_F & 1 & -\alpha_{SR} \\ 0 & -\alpha_{SF} & 1 \end{pmatrix} \begin{bmatrix} I_{ES}(e^{\frac{V_1}{V_T}} - 1) \\ I_{CS}(e^{\frac{V_1}{V_T}} - 1) \\ I_{SS}(e^{\frac{V_1}{V_T}} - 1) \end{bmatrix} \quad (1-11)$$

由图 1-13 可知,端电流和结电流有如下关系:

$$\begin{pmatrix} I_E \\ I_B \\ I_C \\ I_S \end{pmatrix} = \begin{pmatrix} 1 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & -1 & -1 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} I_1 \\ I_2 \\ I_3 \end{pmatrix} \quad (1-12)$$

因此,式(1-11)可表示为:

$$\begin{pmatrix} I_E \\ I_B \\ I_C \\ I_S \end{pmatrix} = \begin{pmatrix} 1 & -\alpha_R & 0 \\ 1-\alpha_F & 1-\alpha_R & -\alpha_{SR} \\ \alpha_F & -1+\alpha_{SF} & -1+\alpha_{SR} \\ 0 & -\alpha_{SF} & 1 \end{pmatrix} \begin{bmatrix} I_{ES}(e^{\frac{V_1}{V_T}} - 1) \\ I_{CS}(e^{\frac{V_1}{V_T}} - 1) \\ I_{SS}(e^{\frac{V_1}{V_T}} - 1) \end{bmatrix} \quad (1-13)$$

这就是四层三结晶体管的 E-M 模型,如图 1-14 表示。由式(1-13)可知,端电流与各结电流(指单个 pn 结的结电流)成线性关系,而与端电压成非线性关系,所以有时上式又称为四层