

VDMOS
场效应晶体管应用手册

王守武 主编

科学出版社

1990

内 容 简 介

VDMOS是80年代兴起的新型晶体管器件，它兼有双极晶体管和普通场效应晶体管的优点，目前是我国半导体界研究和开发的热点。本书介绍了VDMOS器件的基本原理、参数、特点、基本电路、应用中必须注意的技术问题等。还搜集了许多实用的VDMOS应用电路。

本书可供电子器件研究人员和技术人员参考，也可供有关院校电子类专业师生阅读。

VDMOS 场效应晶体管应用手册

王守武 主编

责任编辑 陈忠 徐一帆

科学出版社出版

北京东黄城根北街16号

邮政编码：100707

北京怀柔县黄坎印刷厂印刷

新华书店北京发行所发行 各地新华书店经销

*

1990年4月第一版 开本：787×1092 1/32

1990年4月第一次印刷 印张：7 3/8

印数：0001—15 000 字数：165 000

ISBN 7-03-001989-X/TN·86

定价：2.95元

目 录

前 言

第一章 功率VDMOS场效应晶体管的基本工作

 原理 (1)

 第一节 功率VDMOS场效应晶体管的结构与基本工作
 原理 (1)

 第二节 功率VDMOS场效应晶体管的主要电学参数与物
 理特性 (4)

 第三节 功率VDMOS场效应晶体管的基本特性 (9)

 第四节 功率VDMOS场效应晶体管与双极型晶体管的
 比较 (19)

第二章 VDMOS的应用基础 (22)

 第一节 VDMOS的保护问题 (22)

 第二节 VDMOS的雪崩击穿和 dv/dt 限制 (33)

 第三节 栅驱动的要求 (47)

 第四节 VDMOS的并联 (75)

 第五节 VDMOS防静电技术 (89)

第三章 VDMOS应用电路精选 (94)

 第一节 开关电源 (94)

 第二节 逆变电源 (110)

 第三节 线性电源 (116)

 第四节 恒流源 (126)

 第五节 模拟开关 (129)

 第六节 汽车电路 (132)

 第七节 电池系统电路 (136)

 第八节 照明电路 (141)

 第九节 电机速度控制电路 (146)

第十节	伺服放大器.....	(160)
第十一节	音频放大器.....	(169)
第十二节	射频电路.....	(180)
第十三节	开关电路.....	(188)
第十四节	其它电路.....	(199)
附录1	中国科学院微电子中心N沟VDMOS产品 目 录	(216)
附录2	与国外相同型号VDMOS器件对照表	(222)

第一章 功率VDMOS场效应晶体管的基本工作原理

第一节 功率VDMOS场效应晶体管的结构与基本工作原理

1-1 功率VDMOS场效应晶体管的结构

世界上第一只N沟功率MOS场效应晶体管采用如图1-1所示的结构，我们常称之为VV-MOS场效应晶体管。首先在重掺杂N⁺型硅单晶衬底上生长轻掺杂的N⁻外延层，再扩散P⁻区和N⁺区，然后通过腐蚀V型槽来确定沟道长度。这是一种非平面型结构器件，工艺一致性差，对芯片的清洗要

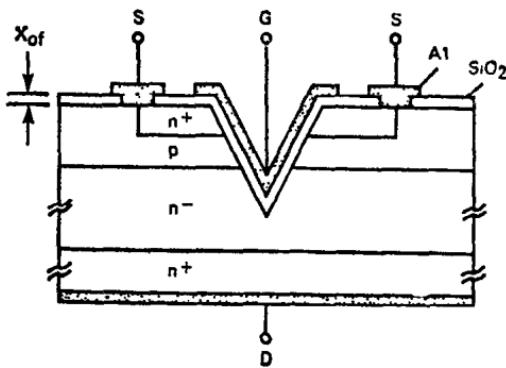


图 1-1 V型槽MOS FET结构

求非常严格，又由于V型槽尖角处存在着强电场，因此VV-MOS场效应晶体管的漏源电压低，一般为50V，漏极电流

为几安培。它的源极和栅极在芯片顶部引出，漏极在芯片底部引出，这种结构大大提高了芯片的密集度。

为了提高VV-MOS场效应晶体管的漏源电压，80年代研制成功了电流垂直流动的双扩散MOS场效应晶体管，简称VDMOS，采用元胞结构见图1-2。一个VDMOS场效应晶体管由许多元胞并联组成。低压器件芯片元胞的密集度达到280000个元胞/英寸²，高压器件达到140000个元胞/英寸²。由图1-2可知，N沟增强型硅栅功率VDMOS场效应晶体管也是在重掺杂N⁺硅单晶衬底上生长轻掺杂的N⁻外延层，再扩散P区和N⁺区，此两个扩散区域的横向扩散结深之差就形成沟道长度。由于沟道是由扩散工艺控制，因此可以精确控

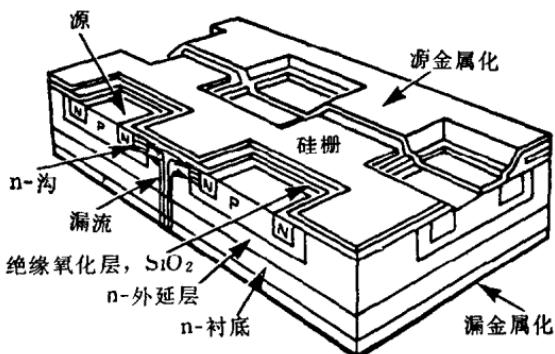


图 1-2 VDMOS 功率场效应晶体管结构

制，而且能得到1—2微米的短沟道。由于利用掺杂多晶硅作栅极连线，实际上应用了双层布线结构，更有利于提高芯片单位面积内元胞的密集度，而且多晶硅栅本身有防止钠离子对栅氧化层的玷污作用，保证了VDMOS管阈值电压具有高的稳定性。源极金属是连续不断地覆盖在整个芯片的有效面积上，有利于改善器件的散热漏极接触做在芯片背面的N⁺衬底上。这种平面型结构，利用高技术制造工艺，能够制造

出低的导通电阻和高电压大电流的器件。为了消除寄生的双极型N⁺PN⁻三极管的自锁效应，故在P区内先扩散P⁺区（见图1-3）。

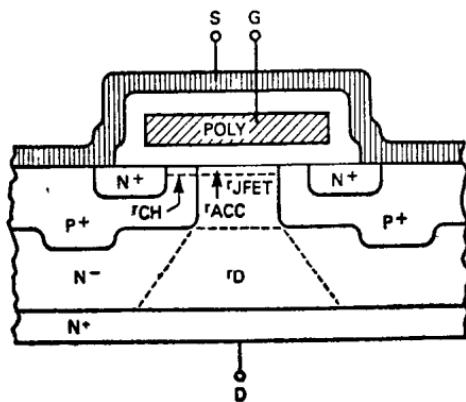


图 1-3 VDMOS管导通电阻

1·2 功率VDMOS场效应晶体管的基本工作原理

N沟VDMOS的漏源端外加电压极性是：漏极端接高电位，源极端接低电位。当一个适当极性和大小的栅压施加到栅极端时，在扩散沟道区的表面便感应形成N反型层，电子便从N⁺区通过N反型层流向N⁻区，再通过N⁺衬底流向漏极。电子从N⁺源区流向N⁻区是平行于芯片表面作横向流动，从N⁻区流向N⁺衬底至漏极是垂直于芯片表面流动（见图1-2），其电流流动方向类似于双极型晶体管内电流的垂直流动。

如果源极电位高于漏极上的电位，P⁺N⁻结处于正向导通状态，电子从源区通过P⁺N⁻结流向漏极。这个P⁺N⁻结就是功率VDMOS场效应晶体管的“寄生”漏源二极管，又叫反向二极管。

第二节 功率VDMOS场效应晶体管的主要电学参数与物理特性

2-1 静态参数

1. 漏极电流 I_D

漏极电流 I_D 依赖于栅源电压 V_{GS} 和漏源电压 V_{DS} 。当 V_{GS} 达到阈值电压 $V_{GS(th)}$ 时，沟道区开始反型，源与漏之间有电流流过。这个电流称为漏极电流 I_D 。在外加漏源电压 V_{DS} 很小时， I_D 随 V_{DS} 线性增加，可用下式表示：

$$I_D = \frac{Z}{2L} \mu C_0 [V_{GS} - V_{GS(th)}] V_{DS} \quad (1)$$

式中 μ = 载流子迁移率， C_0 = 单位面积栅氧化层电容， Z = 沟道宽度， L = 沟道长度。

随着 V_{DS} 的增加，漏极电流饱和。此间 I_D 与 V_{DS} 无关，并与 $(V_{GS} - V_{GS(th)})^2$ 成正比，具体可用式(2)表示。

$$I_D = \frac{Z}{2L} \mu C_0 [V_{GS} - V_{GS(th)}]^2 \quad (2)$$

在VDMOS的技术规范中，漏极电流 I_D 这个参数用来表示该晶体管承受电流的能力。其测量条件规定为： $V_{GS} = 10V$ ， V_{DS} 为某个适当数值，既要使漏极电流达到饱和，又要保证晶体管的功耗不致过大而被烧毁。

2. 漏源击穿电压 V_{DSS}

漏源击穿电压 V_{DSS} 用来表征VDMOS晶体管的耐压极限。在技术规范中， V_{DSS} 规定为 V_{GS} 等于零时产生一个漏极电流所需的最小漏源电压。

漏源击穿电压实际上是PN⁻结的雪崩击穿电压。当漏源电压使反偏PN结耗尽区电场达到临界击穿电场时，或者当这个耗尽区的载流子获得的动能足以引起电离时，就发生雪崩击穿。这个电压的大小主要取决于N⁻漏区的特性和器件表面电场的分布和终结形式。

3. 栅源击穿电压 $V_{GS(\max)}$

栅源击穿电压 $V_{GS(\max)}$ 表征 VDMOS 场效应晶体管栅源间能承受的最高电压。主要由栅氧化层的质量和厚度来决定。

4. 阈值电压（开启电压） $V_{GS(th)}$

阈值电压 $V_{GS(th)}$ 是 VDMOS 场效应晶体管流过一定量的漏极电流时的最小栅源电压。也就是扩散沟道区达到表面反型，使沟道成为导体所需要的最小栅源电压。随着栅源电压的增加，沟道“增强”愈强，它的电阻 r_{ON} 愈小（见图 1-3），流过的漏极电流愈大。阈值电压是漏极电流在规定值下测得，我们选择的漏极电流为 1mA，在这个电流下测得的栅源电压就是 VDMOS 场效应晶体管的阈值电压。它是栅氧化层厚度和沟道区掺杂量的函数。 $V_{GS(th)}$ 应足够高，要保证在高温下栅源不加偏压时 VDMOS 处于截止。室温下 $V_{GS(th)}$ 最小值为 1.5V 就可以保证在结温达 150°C 时 VDMOS 仍为增强型器件。

5. 零栅压时的漏极电流 I_{DSS}

零栅压时的漏极电流 I_{DSS} 表征 VDMOS 场效应晶体管的漏流大小。 I_{DSS} 大，则说明该器件击穿特性为软击穿。

6. 直流漏源导通电阻 $r_{DS(on)}$

直流漏源导通电阻 $r_{DS(on)}$ 表征 VDMOS 场效应晶体管漏极电流从漏端流向源端所遇到的总电阻。由图 1-3 可知 $r_{DS(on)}$ 主要由四个电阻成分组成：反型沟道区电阻 r_{ON} 、栅漏积累区电阻 r_{AO} 、结型场效应管夹断区电阻 r_{JFET} 和

轻掺杂漏区电阻 r_D , 可以表示为:

$$r_{D_s(on)} = r_{CH} + r_{Aco} + r_{JFET} + r_D \quad (3)$$

沟道区电阻 r_{CH} 随着沟道长度的增加而增大。积累区电阻 r_{Aco} 随着积累宽度的增加而增大。结型夹断电阻 r_{JFET} 随着外延层电阻率的增加而增大。这三个电阻反比例于沟道宽度和栅源电压。漏区电阻 r_D 正比例于外延层电阻率、外延层厚度和积累区宽度, 而反比例于沟道宽度。在高压器件中, r_D 起着主要作用。低压器件由于外延层电阻率低、厚度较薄, r_{CH} 是 $r_{D_s(on)}$ 的主要成份, 而且导通电阻 $r_{D_s(on)}$ 随 V_{GS} 的增加而减小。

2-2 动态参数

1. 正向跨导 g_{FS}

正向跨导 g_{FS} 表征VDMOS场效应晶体管的放大性能, 定义为饱和的漏极电流的小变化量与相应的栅源电压的小变化量之比, 可用下式表示:

$$g_{FS} = \frac{\Delta I_D(sat)}{\Delta V_{GS}} = \frac{Z}{L} \mu C_o [V_{GS} - V_{GS(th)}] \quad (4)$$

由此式可知正向跨导 g_{FS} 是栅源电压的线性函数。当VDMOS器件的漏极电流达到饱和时, 降落在有效沟道上的电压约为 $(V_{GS} - V_{GS(th)})$ 。对于给定的VDMOS器件, 阈值电压 $V_{GS(th)}$ 可以认为是一常数。当 V_{GS} 增加时, 将使沿沟道方向的电场随之增加, V_{GS} 增加到使沟道中的电场强度达到临界值时, 载流子的漂移速度饱和, 式(4)可以写成:

$$\begin{aligned} g_{FS} &= Z C_o \mu E_o \\ &= E_o C_o V_{so} \end{aligned} \quad (5)$$

式中 E_o 是沟道区电场强度,

V_{sg} 是沟道区电子的漂移速度。

漂移速度达到饱和，(5)式可以表示为

$$g_{rs} = E_s C_o \quad V_{sg(sat)} = \text{常数} \quad (6)$$

沟道愈短，愈易达到电子漂移速度饱和所需的电场强度。

于是 g_{rs} 是一恒定值，即跨导为高度线性。

2. 功率VDMOS场效应晶体管的电容

功率VDMOS场效应晶体管内部电容有两种类型：一是与MOS结构有关的MOS电容；二是与P-N结有关的结电容。这两种形式的电容都与VDMOS器件的元胞结构有关（见图1-4）。与MOS结构有关的电容是栅源电容 C_{gs} 和栅漏电容 C_{gd} ，这两个电容的大小由VDMOS器件芯片的几何尺寸和栅氧化层厚度决定。

P-N结寄生漏源电容 C_{ds} 与其它平面结电容相同，是沟道、漏区面积和反向偏置结耗尽区宽度的函数。

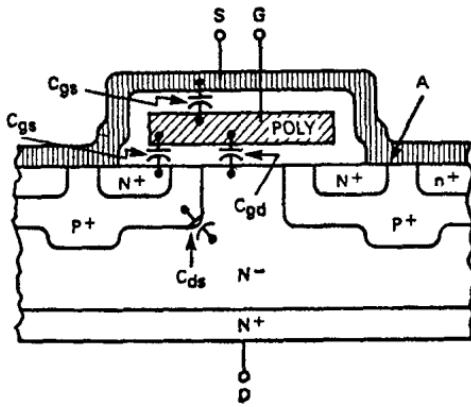


图 1-4 VDMOS 管寄生电容

C_{gs} 和 C_{gd} 是非常稳定的电容，不随电压或温度而变化，如果栅极过压，栅氧化层便会击穿，VDMOS器件被损坏。

对于共源线路，器件电容的联接使输入和输出呈容性阻抗，这些合成电容是：

C_{res} —反馈电容，

C_{iss} —共源输入电容，

C_{oss} —共源输出电容。

$$C_{res} = C_{GD} \quad (7)$$

$$C_{iss} = C_{GD} + C_{GS} \quad (8)$$

$$C_{oss} = C_{GD} + C_{DS} \quad (9)$$

VDMOS器件的开关速度就是由这些电容的充、放电所必需的时间所限制。

3. 开关时间

开关时间包括导通时间 t_{on} 和关断时间 t_{off} 。导通时间 t_{on} 又包含导通延迟时间 $t_{d(on)}$ 和上升时间 t_r 。关断时间 t_{off} 又包含关断延迟时间 $t_{d(off)}$ 和下降时间 t_f 。

(1) 导通延迟时间 $t_{d(on)}$: 从输入栅极脉冲电压上升至其峰值的10%开始计算, 至漏极电流上升到其峰值的10%止所需要的这一段时间。

(2) 上升时间 t_r : 漏极电流从其峰值的10%上升到90%所需要的时间。

(3) 截止延迟时间 $t_{d(off)}$: 从栅极脉冲电压下降至其峰值的90%开始计算, 到漏极电流下降至其峰值的90%止所需要的这一段时间。

(4) 下降时间 t_f : 漏极电流从其峰值的90%下降到10%所需要的时间。

$t_{d(on)}$ 与功率VDMOS器件的阈值电压 $V_{GS(on)}$ 、栅源电容 C_{GS} 和栅漏电容 C_{GD} 有关, 也受信号源的上升时间和内阻的影响。 $t_{d(off)}$ 与功率VDMOS器件的 C_{DS} 和负载电阻 R_D 有关。导通时,

$$t_r = \frac{C_{GD} \cdot \Delta V_{BS}}{I_a} \quad (10)$$

$$\text{截止时, } t_f = \frac{2C_1 V_{DD} + C_{DS} \Delta V_{GS}}{I_G} \quad (11)$$

式中 I_G 为栅极电流。 V_{DD} 、 V_{GS} 、 V_{DS} 分别为漏极电源电压、栅源电压和漏源电压。 C_1 是由器件决定的常数。

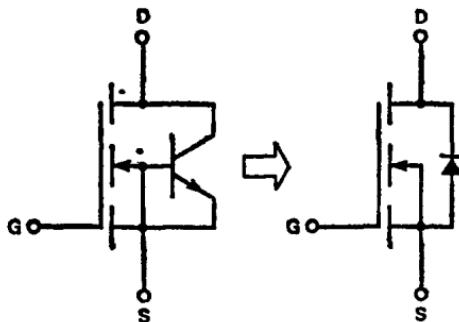


图 1-5 VDMOS 管示意图

图 1-5 表示了 VDMOS 器件芯片断面上所有元件的图形表示法，并画出了在外延层上的双极型晶体管。从图 1-4 中的点 A 表明双极型晶体管的发射极和基极是短接在一起的，所以功率 VDMOS 器件的 $V_{(BR)DSS}$ 等于双极型晶体管的 $V_{(BR)OBS}$ 。也说明了 VDMOS 器件自身存在一个有用的漏源二极管。

第三节 功率 VDMOS 场效应晶体管的基本特性

3-1 输出特性

图 1-6 和图 1-7 表示了功率 VDMOS 场效应晶体管和双极型功率晶体管的输出特性，由图可知它们的输出特性都可以

分成两个基本区域：功率VDMOS场效应晶体管有通态区（或欧姆区）和有源区；功率双极型器件有饱和区和有源

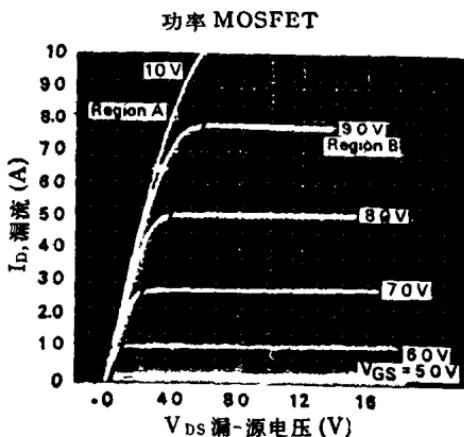


图 1-6 MTP8N15 的 I_D — V_{DS} 转换特性 A 区叫欧姆区、导通区、恒定电阻区或线性区。B 区叫有源区、恒定电流区或饱和区。

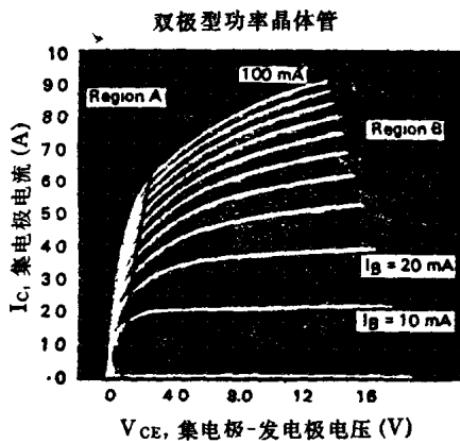


图 1-7 双极型 NPN MJE15030 的 I_C — V_{CE} 转换特性 (NPN, I_C 续流电流 = 8.0A, $V_{CEO} = 150V$) A 区叫饱和区，B 区叫线性区或有源区

区。图1-6和图1-7之间的明显区别是：

(1) 功率VDMOS场效应晶体管的曲线簇是由于在栅极电压的改变而形成的，并不是由基极电流的改变而形成的。

(2) 双极型功率晶体管饱和区的斜率比功率VDMOS场效应晶体管的欧姆区斜率要陡，说明功率VDMOS场效应晶体管的导通电阻比双极型功率晶体管的有效导通电阻大。

(3) 在有源区，双极型功率晶体管曲线的斜率比功率VDMOS场效应晶体管要陡，说明功率VDMOS场效应晶体管是一个较好的恒流源。

3-2 基本参数的特性

1. 导通电阻

功率VDMOS场效应晶体管的导通电阻 $r_{DS(on)}$ 是一个

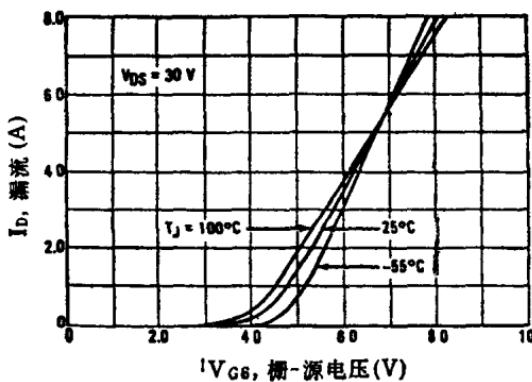


图 1-8 MTP4N50VDMOS管转换特性

重要指标，这是因为它确定了器件在允许的功耗下能够承受的电流值。当功率VDMOS场效应晶体管从截止到导通时，

漏源电阻从很高值下降到相当低的值 $r_{DS(on)}$ 。为了减小 $r_{DS(on)}$ ，对于已给出的漏极电流，栅源电压要大到足以维持它在欧姆区工作。图1-8给出了 V_{GS} 与 I_D 之间的转换特性，图1-9表明栅源电压增加到大于12V时，对降低导通电阻的影响已减小。对于高压器件，尤其如此。而且这么高的栅源电压，使得干扰信号有可能把栅源电压峰值提高到超过20V的额定值。与双极型功率晶体管被驱动进入深饱和区有点相似，不必要的高栅源电压将增加VDMOS的关断时间，这是因为有过多的电荷贮存在输入电容中。VDMOS器件的连续漏极电流额定值通常对应于10V的栅源电压。

随着漏极电流的上升，特别是在超过连续漏极电流额定

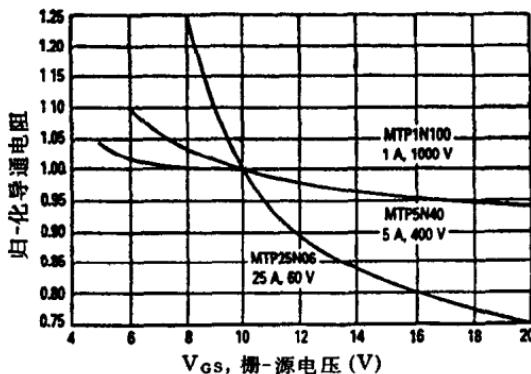


图 1-9 栅-源电压对导通电阻的影响

值的时候，导通电阻也增加。另外结温的升高也会引起电阻增大，图1-10说明这两种情况。

2. 跨导

双极型晶体管用 β 表示其增益，功率VDMOS场效应晶体管以跨导 g_{rs} 表示其增益。当功率VDMOS场效应晶体管工作在有源区或恒流区时，跨导是一个重要参数，它定义为漏极电流的变化与相应的栅源电压的变化之比，

$$\text{即 } g_{FS} = \frac{dI_D}{dV_{GS}} \quad (12)$$

如图1-11所示，跨导随工作条件而变化。典型的跨导额定值是在 $\frac{1}{2}$ 额定值连续漏极电流和 V_{DS} 等于15V下测得。功

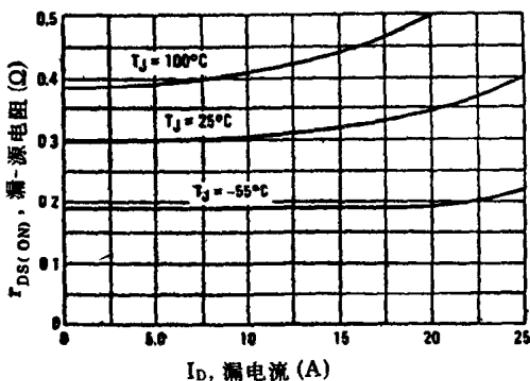


图 1-10 VDMOS管MTM15N45导通电阻随漏极电流和温度的变化

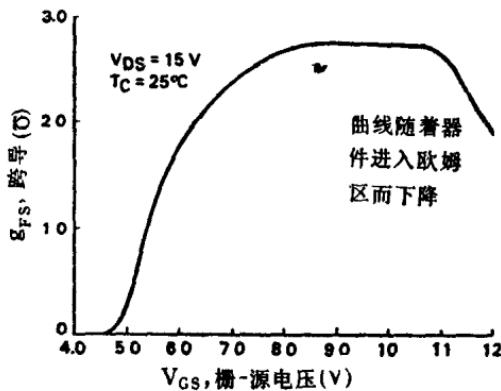


图 1-11 VDMOS管MTP8N10小信号跨导与 V_{GS} 的关系

率VDMOS场效应晶体管作为开关应用时，跨导常常是一个无用的参数，很明显，当器件处于完全通态时，器件工作在