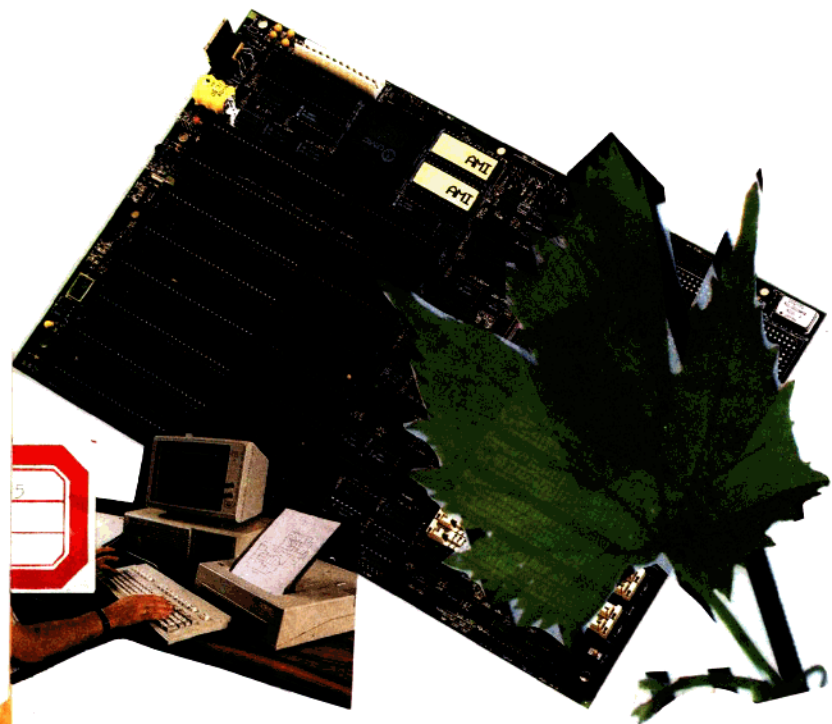


北京希望

电脑公司

集成电路测试技术与实例

峥嵘 张先亮 编
口峰 刘伟



内 容 简 介

由分离件组成的系统未必工作可靠，那么集成电路又怎样呢？它包含几十万个组成部分，而其中只有一很小的一部分可以直接访问，所以测试非常困难，要实现高可靠性的高密度集成电路，就有一个测试问题就摆在我们面前。

这本书非常适合硬件工程师特别是进行 VLSI 芯片设计的工作者，对目前国内的集成电路生产也是一个很好的参考，这本书提供了一系列的设计方法、规则，以及对各种设计的错误检查、故障诊断，包括 IBM 公司最近 17 年在芯片测试上的最新成果，诸如 LSSD 结构、随机模式以及加权随机模式错误模拟等等。本书精确地给出了各种算法以及各种检测方式的实验程序，是一本少有的硬件资料。

前 言

我国的集成电路生产正在发展之中,在生产过程中存在许多实际问题,使得生产质量及制作工艺与国际先进水平存在较大距离。其中集成电路的测试就是一个显著的问题。

数字电路的制作是一个精密过程。实际上,它是如此的精密以致于来自生产线的每一块电路都必须测试它是否合格。随着1960年集成电路的诞生,测试——或更确切地说,确定什么测试应用于特殊器件——就成为一个计算机辅助任务。通常的目的程序是在整个工业过程中产生一个逻辑网络的测试模式,由计算机来自动完成。

然而,随着集成电路和密度增加,显而易见我们制造稠密芯片的能力超过了测试芯片的能力。这样就很有可能设计出一个不能进行准确测试的逻辑网络而导致与设计值不相符。在1970年初,国际上就提出了可测性设计(DFT)规则。IBM公司形成了一套LSSD规则,或叫电平感测扫描设计技术。LSSD或更通常一点儿,扫描路径方法在数字逻辑网络测试问题上提供了一个系统的、成功的解决方法。因此,高度复杂的网络可以正确地设计,并且所要求的测试模式将迅速自动地产生。

这本书中的开始章节是对LSSD规则的一些探讨。随后,介绍了扫描路径逻辑开发的测试方法及自动化设计工具。

第1章介绍了LSSD技术,在第2章中,描述了到内容嵌入存储器的覆盖网络的扩展。第3章提供了LSSD应用的设计建议。第4章概括了LSSD的系统提出和城服务应用。第5章提供了一个一般的与生产过程合格率、错误覆盖率以及产品质量有关的数学模式。特别值得注意的是,这个模式清晰地说明了在测试中高度测试覆盖率是关键。第6章介绍了三个微处理器实际设计经验,给出了LSSD结构化网络的额外开销费用和测试覆盖图;也给出了对于一些大网络的测试数据尺寸和应用次数。

在这本书的第二部分中,我们主要考虑在LSSD环境中的随机测试。在第6章中给出的测试模式数据尺寸和应用次数给出了随机测试的优越性。由硬件产生的随机模式有大量减少测试数据的潜力。我们也在这本书的后半部分涉及有关运用扫描路径技术开发工具。包括模式发生器、模拟和诊断工具,它们都支持随机模式测试方法,因而很有价值。

第7章给出了LSSD网络的随机测试的有效性首次测量。第8章讲述特殊的结构化逻辑形式,可编程逻辑阵列或PLA。描述了为PLA产生测试模式的特殊方法。第9章讨论了一些关于信号寄存器对屏蔽的灵敏性的问题。在下一章中给出了一个自我测试结构和一个解决抗随机模式测试错误的问题的方法。在第11章中给出随机模式测试的模拟和实际硬件测试器的结果;在第12章中详细说明了为一个LSSD网络设计的高速模拟器。下一章给出了这个模拟器的一个扩展,它给出了延迟错误覆盖率的一个形式。第14章和第15章开发了一个要求没有电路更改的处理抗随机模式错误的方法。最后,在第16章描述了一个IBM公司推出的在测试LSSD芯片和组件时定位电路故障原因的方法。

本书在编译、出版过程中,得到北京希望电脑公司的大力帮助和支持,在此表示衷心的感谢!

编 者
一九九二年

目 录

前 言	
第一章 可测试结构化逻辑	(1)
1.1 简介	(1)
1.2 电平敏感设计	(1)
1.3 无冒险触发器	(2)
1.4 设计结构	(5)
1.5 设计规则的优越性	(7)
1.6 价格 / 性能影响	(8)
小结	(9)
第二章 存储阵列中的应用	(10)
2.1 简介	(10)
2.2 埋层阵列(Burried Arrays)的设计结构	(11)
2.3 测试埋层阵列	(11)
小结	(13)
第三章 锁存器设计	(14)
3.1 简介	(14)
3.2 影响触发器设计的因素	(14)
3.3 触发器设计问题	(16)
3.4 “电气”无冒险触发器	(16)
3.5 另外的触发器设计法	(16)
小结	(20)
第四章 系统建立和现场服务	(21)
4.1 概述	(21)
4.2 利用 LSSD 结构	(21)
小结	(22)
第五章 故障率和故障覆盖率	(23)
5.1 简介	(23)
5.2 假设和推导	(23)
小结	(26)
第六章 VLSI 测试的发展趋势	(27)
6.1 简介	(27)
6.2 微处理器 I	(27)
6.3 微处理器 II	(29)
6.4 微处理器 III	(29)
6.5 VLSI 测试问题	(30)
6.6 测试选择项	(32)

小结	(32)
第七章 随机模式	(33)
7.1 概述	(33)
7.2 随机模式的应用	(34)
7.3 在 PLA 中应用随机模式	(36)
7.4 优化策略	(36)
小结	(38)
第八章 PLA 的测试模式生成器	(39)
8.1 测试目标和故障假定	(39)
8.2 测试生成过程	(42)
8.3 特别的结束程序	(45)
8.4 故障模型化的要点	(46)
8.5 结果	(48)
小结	(48)
第九章 特征分析寄存器和屏蔽错误	(49)
9.1 简介	(49)
9.2 推导屏蔽边界	(50)
9.3 定义和符号	(52)
9.4 代数描述推导的屏蔽错误边界	(53)
9.5 屏蔽和马尔可夫链	(54)
9.6 马尔可夫链分析	(56)
9.7 特征分析测试的长度下限	(60)
小结	(63)
第十章 随机模式自测	(64)
10.1 一种 RP 自测结构	(64)
10.2 随机自测模式的覆盖率	(67)
10.3 为 RP 的可测试性而修改电路	(67)
10.4 修改大型“与”网络	(68)
10.5 PLA 电路的一种 RP 可测试设计	(71)
小结	(72)
第十一章 随机模式测试系统	(74)
11.1 简介	(74)
11.2 一个随机模式测试系统	(74)
11.3 LSSD 随机模式应用方法	(76)
11.4 错误模拟结果	(76)
11.5 一个随机模式测试器	(78)
11.6 测试实验结果	(78)
小结	(79)
第十二章 固定错误模拟	(80)

12.1	简介	(80)
12.2	组合错误模拟方法	(80)
12.3	基准设计的模拟结果	(82)
12.4	PPSFP 模拟到 LSSD 网络的扩展	(85)
12.5	随机模式测试	(86)
	小结	(87)
第十三章 延迟错误模拟		(88)
13.1	简介	(88)
13.2	过渡错误的定义	(88)
13.3	过渡错误等价类	(90)
13.4	过渡错误模拟方法	(90)
13.5	基准设计的模拟结果	(92)
13.6	扩展到扫描结构化设计	(94)
	小结	(96)
第十四章 加权随机模式		(97)
14.1	简介	(97)
14.2	动机	(97)
14.3	WRP 模式应用序列	(98)
14.4	初始权产生	(101)
14.5	建立一个完全 WRP 测试的方法	(107)
	小结	(109)
第十五章 WRP 错误覆盖率		(110)
15.1	简介	(110)
15.2	基准设计的固定错误覆盖率	(110)
15.3	非定型错误	(110)
15.4	过渡和桥接错误模拟	(112)
	小结	(115)
第十六章 故障诊断		(116)
16.1	简介	(116)
16.2	由错误模拟执行诊断	(117)
16.3	错误表产生	(118)
16.4	与故障有关的错误	(119)
16.5	论断方法	(120)
16.6	随机模式故障论断	(122)
16.7	论断实验	(123)
	小结	(124)

第一章 可测试结构化逻辑

1.1 简介

现在人们能够在—块硅片上集成很多的门电路，这给降低数字逻辑电路的成本、减少消耗和提高速度等方面提供了巨大的潜力。不幸的是，在这些潜力变为现实之前，有些严重的问题必须先得到解决。本章的内容是介绍一套帮助解决这些问题的规定。

本章主要讲述一些设计规则，它们在实际设计、生产测试和现场服务时将扩展为多种方法。同时将详细说明设计规则产生的基本存储器件和逻辑结构。还将定性地讨论逻辑门的价格和操作速度这一重要问题。

本章提出的设计规则本质上说是把两个几乎完全独立的方法结合起来。设计规则或方法引入两个新方法：第一个方法是设计电路使其正确操作不依赖于上升时间、下降时间和单个门的最小延迟，只依赖于传过—定数量级的总延迟时间小于某—已知值，这种方法名叫电平敏感设计，将由 1.2、1.3、1.4 节讲述；第二个方法是把所有的内部存储元表（非存储器阵列）设计成移位寄存器，以便于诊断和测试，这样时序逻辑转化为组合逻辑，从而变成更易测试。

也有另外—些相似的办法，它们与本章介绍的带有扫描操作的电平敏感设计方法相反，例如有人在常规设计方法上加入扫描，这样的办法也保证了无竞争操作和无竞争测试。在实用中，这样的办法也非常有效。

1.2 电平敏感设计

过去，逻辑设计者用逻辑电路实现系统功能时（如 CPU、通道、控制单元）在方法上有—很大的灵活性。这导致了设计的多样化，每种设计的实现依赖于自身独特的 AC 特性。尽管这种灵活性有时会导致—些难于预料的时序问题，使测试复杂化，而且可能影响到技术人员的培训。但它有一个好处，即允许设计者充分使用他们知道的技术和技巧以最省的电路完成最好的功能，这种方法也易于支持元件生产，因为 AC 参数诸如上长时间、下降时间、电路时延和测试都很容易办到。这样设计接口被很好的定义和可靠的测试了。

在大规模集成电路的世界中，这种良好的定义以及能可靠地测试的设计已不可能再存在了。测试每一电路的传统 AC 参数变得不可能或是不易实现。相应地，找出—种对这些 AC 参数不很敏感的设计方法变得更为重要。

本节的目的是定义—种新的、不依赖于那些难以控制的 AC 参数的逻辑设计方法，并描述其基本特性。这种被称做电平敏感设计（level-sensitive design）的方法定义如下：

—个逻辑系统仅在如下情况是电平敏感的：对于任何合法的输入状态变化，其稳定响应不依赖于系统内任何门或线的延迟。而且，如果输入态的变化包含了不只—个的输入信号，响应与信号变化的顺序无关。稳定态响应是在所有的变化完成之后所有门输出的最终

值。

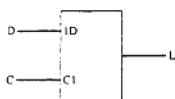
“稳定态响应”这一概念隐含着这样一层意思，即人们必须判定系统内所有变化在什么时候全部完成，通常这点难于办到。在我们讲述的实现方法中，这个问题被简单化为判定何时所有信号都传过了组合逻辑网络。实际上，只要等待一段远远超过组合逻辑延时时间，就可以很有效地做到这一点。

从上述定义还可看出，电平敏感操作的前提是“合法”的输入态变化。这样，电平敏感设计方法必须包含对这些变化如何发生的限定。在 1.4 节中详细讲述的设计规则中，这些限定主要应用于时钟信号。其它信号在何时变化几乎没有要求。

一个电平敏感系统的操作被设定为一系列输入态变化的结果，在任何两个变化之间须有足够长的时间以使内部达到稳定，其时间宽度由控制逻辑网络动态操作的时钟信号保证。

1.3 无冒险触发器

建立设计规则的主要目的是要获得对 AC 特性（如上升时间、下降时间和最小时延）不太敏感的逻辑系统。相应地，其基本存储单元应该没有冒险和竞争条件的电平敏感器件，极性保持触发器在正确的设计之下可以符合这一要求。



(a) 逻辑符号

		CD				
		00	01	11	10	L
S	A	A	A	B	A	0
	B	B	B	B	A	1

(b) 真值表

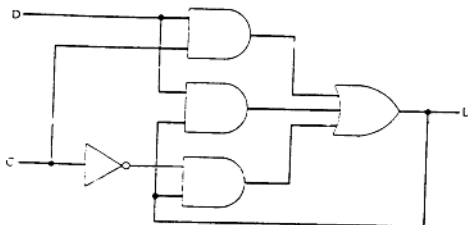
		CD				
		00	01	11	10	L
Y	0	0	0	1	0	0
	1	1	1	1	0	1

(c) 激励表

$$L = y$$

$$Y = CD + yD + y\bar{C}$$

(d) 逻辑方程



(c) 逻辑实现图

图 1.1 无冒险 D 触发器

D 触发器有两路输入信号，它的正确操作如下：

当 $C=0$ 时 触发器状态不变

当 $C=1$ 时 触发器状态为 D 输入端的激励值

它的真值表、激励表和逻辑实现见图 1.1。

在通常的操作过程中，即使激励信号 D 可能变化，C 总是为 0，它将禁止 D 的变化引起触发器内部状态变化。时钟信号发生于激励已经稳定在“0”或“1”之后，触发器将被置为时钟发生时 D 端的激励值。触发器的正确变化不会依赖于时钟信号的上升或下降时间，只须该信号为“1”的时间等于或大于 T_s ， T_s 是信号传过触发器变得稳定的基本时间。图 2 将说明为何伪变化或坏波形不会引起触发器的不正确动作。

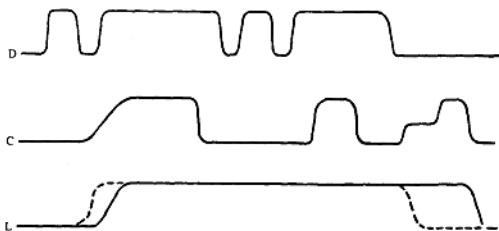


图 1.2 无冒险 D 触发器的操作特性

在 1.4 节中可以看到，如果触发器能够象移位寄存器一样操作，则测试问题将大大简单。下一节将讨论这种设计的另外一些优越性。本节讨论移位寄存器锁存器 SRL 和它的内部连接方法。

极性保持移位寄存器锁存器如图 1.3 示。它包括两个锁存器 L1 和 L2。只要移位信号 A 和 B 都是 0，L1 锁存器就如同极性保持触发器一样操作，I 端是移位寄存器的输入端，+L2 是输出端。当锁存器用作移位寄存时，前级数据经 I 端被 A 的上升沿打入 L1；A 端回 0 后，B 移位信号又将 L1 的数据打入 +L2 端。显然，要使寄存器工作正常，A 和 B 不可同时为 1。

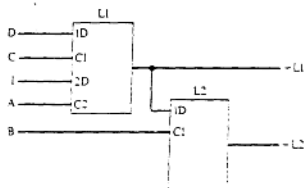


图 1.3 (a) 象征性表示

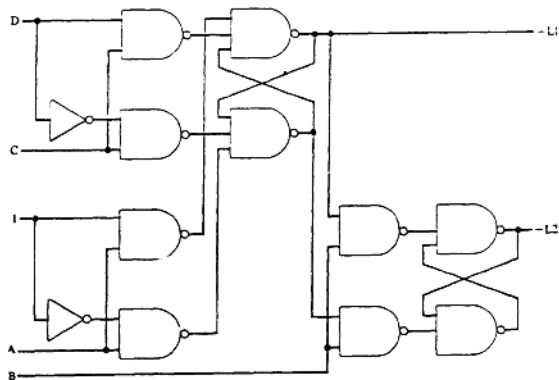
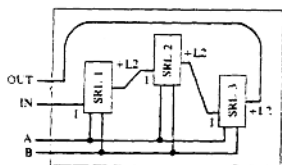
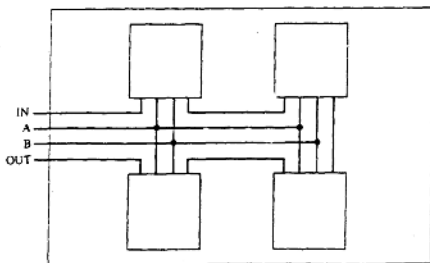


图 1.3 (b) AND-INVERT 门实现

图 1.3 极性保持移位器



(a) 有三个 SRL 的芯片



(b) 有四个芯片的模块

图 1.4 芯片和模块的 SRL 内部联接

为加入移位功能而对 L1 做的修改本质上说是加了一个钟控输入和一个在移位时用作中间存储的 L2 触发器。这样这一基本单元就比一般的极性保持触发器复杂 2 至 3 倍。尽管如此，如果使电路设计有效，那么总的影响相对来说还是较小。如果平常操作不用移位寄存，也可在空间和能耗上提供有效的实现方法。

SRL 的内部连接见图 1.4，位移信号是并联的，I（输入）和 +L2（输出）信号被连成一个环，大多数情况下，每一片封装需要额外附加 4 个 I/O 端。

1.4 设计结构

本节讲述一套特殊的设计规则或者说约束，它将产生 1.2 节定义的电平敏感逻辑系统和可扫描设计方法产生的系统。而且，这些规则相对来说是易于遵循和检查的。它仍然允许设计者有相当大的灵活性。

1. 所有的内部存储单元用 1.3 节讲述的无冒险极性保证 SRL 实现。
2. 全部锁存器由两个或更多的不重叠的时钟控制：
 - a. 当且仅当将数据置入 Y 锁存器的时钟不作用于 X 锁存器时，X 可以送入 Y 的数据输入端口。
 - b. X 锁存器可选中一个时钟 C1 来产生驱动 Y 锁存器的时钟 C1g，条件是 C1g 不用作 X 本身。
3. 必须标识一套时钟和非时钟的初级输入（PI），其时钟初级输入可以通过简单的逻辑树和 SRL 控制的逻辑网络来控制 SRL 的时钟输入，同时，必须遵循以下法则：
 - a. 当时钟初级输入为 OFF 状态时，所有 SRL 的时钟输入须为 OFF 状态。
 - b. 在任何 SRL 的时钟输入端出现的时钟信号须由一个或更多的时钟 PI 控制，以使在设置相应的 PI 为 ON 时可以得到 SRL 时钟输入的 ON 状态，显然，还得设置 SRL 的所要求的选通条件以及非时钟 PI 才行。
 - c. 任何时钟不得和其他任何时钟的逻辑值或逻辑非值相与。
4. 时钟的初级输入不可直接或者经由组合逻辑送至锁存器的数据输入，但可送至锁存器的时钟输入和初级输出。

遵守规则 1 到 4 设计的时序逻辑电路是电平敏感的。为了简化测试和减少初级输入与初级输出，电路须能将数据移位（进或出）到锁存器。因此，下列两个附加的规则也应遵循。

5. 所有系统内的锁存器都被当作 SRL 的一部分来实现，所有的 SRL 在内部必须连至一个或更多的移位寄存器，每个寄存器至少有一个输入、一个输出和一个在封装管脚处有效的移位时钟。
6. 必须存在一些初级输入敏感条件，我们称之为扫描状态。如下：
 - a. 所有的 SRL 或扫描输出 PO 在移位操作时，只是前级单个 SRL 或 PL 的函数。
 - b. 除移位时钟外所有的 SRL 输入时钟保持 OFF 态。
 - c. 所有的移位时钟可由改变相应的时钟初级输入状态来开或关。

如果遵守这些设计规则，一个带有两个时钟的逻辑系统会有如图 1.5 所示的结构。

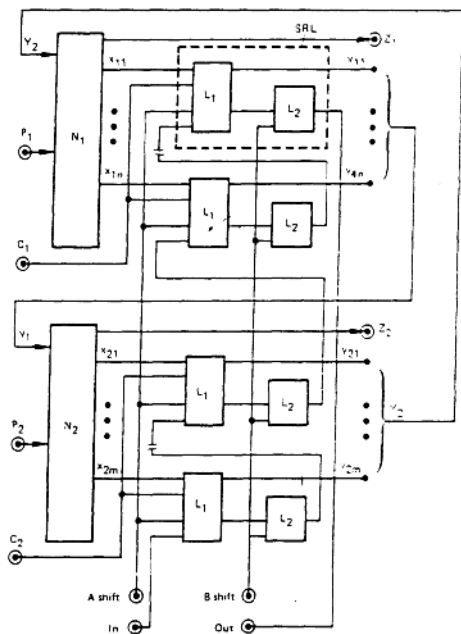


图 1.5 双时钟 LSSD 系统的基本结构 (单锁存设计)

由该图可以证明, 两个时钟把系统分为两部分, 每个部分包含有一套 SRL 和一个组合逻辑, 每个组合逻辑 N_1 和 N_2 都是多输入、多输出逻辑, P_1 和 P_2 是电路的初级输入, Z_1 和 Z_2 是初级输出, C_1 和 C_2 是两路系统时钟信号。

系统的操作由时钟信号控制, 在 C_1 时间内, C_2 为 0 且 N_1 的输入输出均稳定 (设定外输入 P_1 也稳定), 则 C_1 被允许传入 SRL 系统的时钟输入, C_1 必须由 N_1 电路来选通, 当且仅当 C_1 被选中, 才能送至 SRL。这样在 C_1 时间内允许某些锁存器变化, 这些信号变化立即通过 N_2 , 当 C_1 变回到“0”, 所有的 L_1 信号完成其传送, 另一时钟 C_2 可以开始。如要得到系统的正确操作, 时钟信号要足够长, 使得锁存器的状态设置完成, 两时钟之间的时间长度要长到能完成锁存状态变化在电路中的传送, 这样的结构符合上一节定义的电平敏感操作的要求, 确保不依赖或较少的依赖电路和 AC 参数。

如图 1.5 中所示, 要使系统操作正确完成, 组合逻辑网 N_1 、 N_2 的延时应小于相应的时钟间隙时间。

图 1.6 展示的是符合规则的另一电路。图 1.5 的电路被称作单锁存设计，这是由于所有的 $N1$ 、 $N2$ 系统输入均来自 $L1$ 而得名。图 1.6 的电路称为双锁存设计，这是由于所有 $N1$ 、 $N2$ 输入来自 $L2$ 得名。系统运用 $L2$ 可以大量的减少这一方法的额外开销，额外开销将在 1.6 节中深入讨论。

电路的可扫描能力对测试有很大帮助。下一节将讨论这方面的内容。遵循规则 1-6 设计的电平敏感的且有扫描能力的时序逻辑电路称为电平敏感扫描设计 LSSD。

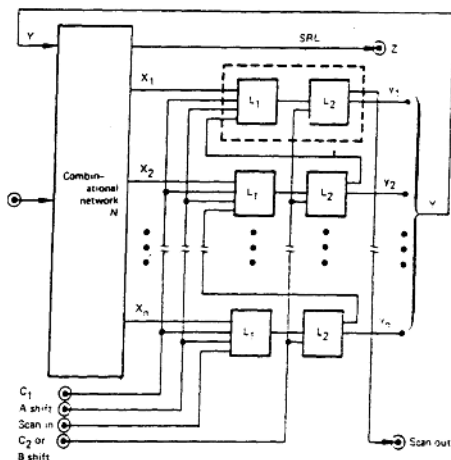


图 1.6 LSSD 双锁存设计

1.5 设计规则的优越性

在集成度低的集成电路中，电路极简单，允许器件和电路经历很多的 ac 或 dc 测试，随之而来的模块测试将集中在正确的 dc 操作上，以确认电路内部连接正确以及在制造时未受到损坏。对 LSI 来说，不可能有更详尽的 ac 测试生成，dc 测试生成也很困难，因为电路管脚比大大提高了。

1.4 节中列出的设计规范从如下两方面帮助解决了 LSI 的测试难题。

1. 逻辑电路的正确操作几乎不取决于器件和电路 ac 特性，这减少了大量测试的需要，把花费也降到低于完美 ac 测试的水平。

2. 冒险和竞争的消除简化了测试生成和错误模拟。

尽管以上两因素在真正解决 LSI 的问题上前进了一大步，但是测试生成仍然很困

难。对于复杂逻辑电路，还没有通用的办法可解决产生测试模式的问题。已有大量的程序可以为时序电路产生测试序列，这些程序在人为帮助下对于中规模集成电路很成功，但高密度的逻辑芯片相对来说有更多的锁存器，这使得测试生成变得更加困难。

另一方面，组合逻辑的测试码模式生成相对简单，很多程序几乎可以得到 100% 固定型错误覆盖率。这样，有效地解决时序逻辑测试生成问题的一个办法是把它简化为一个组合型问题。把 D 触发器做成 SRL 就可以轻松地做到这一点，SRL 可用来把一定模式的“1”和“0”移位进入 D 触发器，作为组合逻辑的输入，输出可以由时钟打入锁存器，然后移出来检测。

为了更清楚地说明问题，图 1.6 示的组合网络 N 可用以下方法测试：

1. 将一个已知的测试码组移入 SRL 且设置初级输入 P。
2. 当信号传过 N 后，检查初级输出 Z0, C1 转 ON 态保持足够时间来把 X1, X2...
...Xn 信号存入 L1。
3. L1 的测试模式移出来与期望值相比较。

移位寄存器也应测试，但这很简单，只要用一很短的“1”和“0”组成和序列通过它就行。

图 1.6 所示通用结构的任意划分将产生这样一种结构，它可用同样的办法测试，也就是说，只要在初级输入 P 端提供正确的模式，且向 SRL 移进正确的测试码，所有的逻辑门均可进行组合测试。从响应输入 X1, X2, ..., Xn 并通过移位 SRL 的位模式可以得到输出码模式。因此，同样的办法适用于任何封装级。用 SRL 来键入检索位模式可以做到逻辑系统的 dc 测试，即它可以确认逻辑门连接正确且在稳态操作时功能正常。时延或计时特性不能用此法测试，必须用另外的方法。

这些设计规则的一个好处是正确操作对电路时延特性的依赖性极小，仔细考虑 1.6 所示结构的操作，可以看到系统的这一点。在 C2 发生时间内，由于 L1 中信号存贮的结果，L2 的一些状态可能变化。这些变化在 C1 发生前传过 N 并在 X1, X2, X 处稳定下来。这样在 C2 的开始时刻到 C1 的开始时刻这段时间内，L2 的信号必须完全传过 N。

唯一的延时要求就是 N 的实际延时要少于某一已知值，不再必须控制或测试上升时间、下降时间或最小延时。只有最大时延要加以控制并测量。而且，单一门时延不再重要，要测量的是逻辑网络 N 的从输入到输出的总时间延迟。

也许运用 SRL 的最重要的原因是它提供了芯片内部电路的动态测量能力，它允许技术员调试机器，还允许用户使用它来监视逻辑系统的每一个触发器，在简单循环的基础上，把锁存器中的数据移进显示器就可以做到这一点，它不会影响系统的状态，只要按数据输出的顺序，反馈数据进入输入端就行。每一时钟后所有触发器的状态都可以得到检测。

1.6 价格/性能影响

本节讨论遵循设计约束带来的消极影响，我们将定性讨论附加电路以及因此而带来的系统性能的下降。

用 SRL 电平敏感设计有如下消极方面：

1. 移位寄存器里的触发器在逻辑上比简单触发器复杂 2 至 3 倍。

2. 为了控制移位寄存器，要求在每一封装级上附加多达 4 个的 I/O 管脚。
3. 外来异步输入信号在每一时钟周期内变化不得超过一次。
4. 系统时序取决于外部产生的时钟信号。

触发器结构的复杂化对于包含成千上万个门的芯片的价格没有太大影响。

实现这些法则带来 4%—20% 的逻辑门额外开销。开销大小主要由用 L2 实现系统功能的程度决定。在最坏情况下，20% 的额外开销引起的系统成本上升也大大少于 20%，因为其对应关系并不是 1: 1。

芯片或模块级的 I/O 抽头也许是一个更严重的问题。I/O 抽头也可共享，这样就只要求一个多加的初级输入。因为 I/O 抽头可以向操作者和用户提供标准接口，它可能减少其它情况所要求的较多的内部接点和 I/O 点。

系统总功能由于时钟的要求而略有下降，但影响很小，时钟和时钟配电系统之间的时滞可以精确设计到最小。最坏情况的时延路径决定了时钟周期。这与其他方法完全一样。因此，本方法并没有要求增加时钟周期。

小 结

逻辑设计结构消除或缓和了在设计、制造和维修大规模集成电路中存在的一些问题。下面总结一下这些设计规则所提供的优越性。

1. 系统性能不依赖于上升时间、下降时间和最小延等等难于控制的 ac 参数，只要求最长路径的延时小于某一特定值。
2. 测试生成以及测试本身简化为易掌握的组合逻辑电路测试。
3. 设计本身具有动态监视内部存贮单元的能力，这减少了特殊测试点的需要，简化了人工调试，为操作和维修提供了标准接口。
4. 时序不敏感性和设计模块化结构减少了工程上的变化。
5. 对芯片和模块的测试方法同样可用于现场诊断测试。

第二章 存贮阵列中的应用

2.1 简介

第一章讲述的逻辑设计结构 LSSD 把逻辑测试问题简化为测试组合逻辑的问题，还提供了无竞争测试方法。本章将扩展这一设计结构，使之能包容 RAM 和 ROM，这两种存储器件将被称为“阵列”(array)。

2.2 埋层阵列 (Burried Arrays) 的设计结构

尽管 LSSD 结构解决了时序逻辑电路的测试问题，但它对被时序逻辑环绕的阵列却没有办法。由于大多数数字电路既包括逻辑电路又包括存贮阵列，所以扩展设计规则使之具有对这两部分联合电路的完全测试能力变得至关重要。

首先，我们须假定存贮阵列指的是 ROM 和 RAM，它们在最大限定速度下的功能始终是正常的，其次，还须假定 RAM 有 N 个字，每个字有 M 位，有 M 位数据输入和 M 位数据输出。

如果 LSSD 设计中包含有一个存贮阵列，就会导致图 2.1 所示的基本结构，很显然，要测试这样一个电路，这些存贮阵列的操作应该可以由芯片的输入来控制。这一点是必须的，因为这样可以在不影响阵列中存贮的数据的情况下把扫描码移入或移出 SRL。另外还必须在不改变 SRL 状态的前提下读出或写入阵列。测试码生成器和错误模拟器也要同样能正确地控制存贮阵列。

开发一个“巧妙”的测试码生成器来生成这一结构的测试码是可能的，然而这很难，而且可能运行时间很长，生成的测试码也很多。因此，我们期望能够附加一些结构来进一步简化这一问题。

这儿有几个不同方面的问题需要考虑：

1. 为能测出组合逻辑的某些错误，必须把存贮阵列的输出置为某些二进制值。这要求在阵列输入端能产生这些值并由连续的“写”、“读”操作使之送到输出。
2. 为能测出组合逻辑的另一些错误，要求错误结果能传过存贮阵列和逻辑电路的其余部分到达 PO 或 SRL。
3. 为了完全测试存贮阵列，至少要求能向每一单位内写入“1”和“0”。

解决上述三方面的任何一个比为单独的组合逻辑产生测试码来说要困难得多。

有一种结构看上去能解决这些问题且花销很小，它实际上是在设计组合逻辑时在阵列的输入端和 SRL (或 PI) 之间建立起一一对应关系，这就允许任何数据写入存贮阵列的任何地方。SRL (或 PO) 与输入端一一对应起来之后则存贮阵列中的任一字很容易被读出观察。

这种结构需要的附加成本开销很小，因为大多数阵列都有数据寄存器和地址寄存器。

这样建立一一对应关系只需“打开”正确的选通逻辑即可。

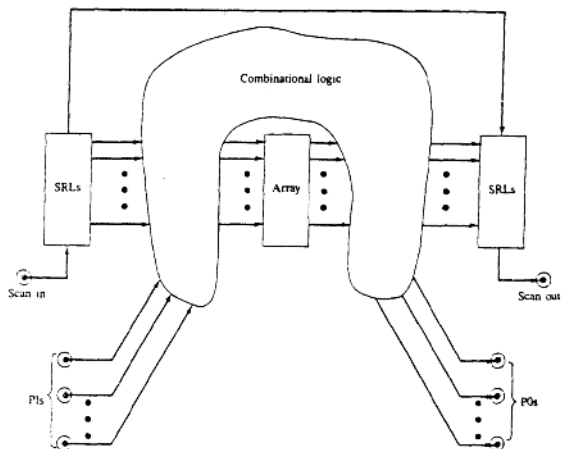


图 2.1 LSSD / Array 接口的基本结构

埋层阵列（ROM 和 RAM）的附加结构归纳如下：

1. 需要建立一个PI状态，它能在移位数据通过SRL时以及在系统时钟操作时，阻止向阵列写入。这样的PI状态称为“阵列稳定态”(Array Stable State)。
2. 控制向阵列送数的SRL的时钟信号、控制接受阵列输出的SRL的时钟信号以及阵列内可能用到的时钟信号必须是可由PI来控制的。这样，才能使顺序上升和下降的时钟产生无竞争操作。
3. 对每一阵列来说，必须有一种“阵列写状态”和相应的“写时序”，它们将在阵列输入端（数据的或地址）和SRL（或PI）建立一一对应关系，并产生正确的写操作。“阵列写入状态”是PI（或SRL）的一套固定值，“写序列”是一组PI变化。
4. 对每一阵列来说，要有一个“序列读状态”来建立阵列数据输出到SRL（或PO）和阵列地址输入到SRL（或PI）之间的一一对应关系，也要有一“阵列读时序”产生读阵列的操作并向PO端提供阵列输出，或存入相应的SRL内。“阵列写状态”是PI（或SRL）的一套固定值，“阵列写序列”是一序列的PI变化。

2.3 测试埋层阵列

开发有效的测试办法可以分为两部分——开发存贮阵列的测试和开发工具；开发阵列周围逻辑电路的测试。