

高等学校教材

数字集成电路应用与实验

韩振振 李亚伯 唐志宏 徐伟明

31.2

国防工业出版社

内 容 简 介

本书主要包括：逻辑门和组合电路、运算电路、数据变换和传输电路、触发器、定时和整形电路、计数器、寄存器和存储器、 D/A 和 A/D 转换，以及数字系统设计等内容。全书共设置44个实验，元件类型以TTL电路为主，兼顾CMOS电路。中规模集成电路做元件的实验约占70%，实验类型是大、中、小相结合。有验证性实验、设计性实验和数字系统实验。数字系统设计一章较完善地阐述了逻辑设计方法，并提供一种设计方案供参考。

本书可供无线电技术、工业自动化等电类专业大学生做实验教材，也可供工程技术人员参考。

数字集成电路应用与实验

韩振振 李亚伯 唐志宏 徐伟明

责任编辑 王晓光

*

国防工业出版社出版

(北京市海淀区紫竹院南路23号)

新华书店北京发行所发行 各地新华书店经售

国防工业出版社印刷厂印刷

*

787×1092 1/16 印张13 298千字

1990年4月第一版 1990年4月第一次印刷 印数：0,001—2,000册

ISBN 7-118-00625-4/TN 114 定价：2.60元

出版说明

根据国务院关于高等学校教材工作分工的规定，我部承担了全国高等学校、中等专业学校工科电子类专业教材的编审、出版的组织工作。由于各有关院校及参与编审工作的广大教师共同努力，有关出版社的紧密配合，从1978年至1985年，已编审、出版了两轮教材，正在陆续供给高等学校和中等专业学校教学使用。

为了使工科电子类专业教材能更好地适应“三个面向”的需要，贯彻“努力提高教材质量，逐步实现教材多样化，增加不同品种、不同层次、不同学术观点、不同风格、不同改革试验的教材”的精神，我部所属的七个高等学校教材编审委员会和两个中等专业学校教材编审委员会，在总结前两轮教材工作的基础上，结合教育形势的发展和教学改革的需要，制订了1986~1990年的“七五”（第三轮）教材编审出版规划。列入规划的教材、实验教材、教学参考书等选题将近400种。这批教材的评选推荐和编写工作由各编委会直接组织进行。

这批教材的书稿，是从通过教学实践、师生反映较好的讲义中经院校推荐，由编审委员会（小组）评选择优产生出来的。广大编审者、各编审委员会和有关出版社为保证教材的出版和提高教材的质量，作出了不懈的努力。

限于水平和经验，这批教材的编审、出版工作还会有缺点和不足之处，希望使用教材的单位，广大教师和同学积极提出批评建议，共同为不断提高工科电子类专业教材的质量而努力。

电子工业部教材办公室

前 言

本教材系按机械电子工业部制定的工科电子类专业教材 1986~1990 年编审出版规划, 由无线电技术与信息系统教材编审委员会电路与系统编审小组组织征稿、评选、推荐出版的。

本教材由大连理工大学韩振振、李亚伯、唐志宏和徐伟明编写, 北京理工大学张著、程震先担任主审。

本课程的参考学时为 30 学时, 其主要内容为: 逻辑门和组合电路、运算电路、数据变换和传输电路、触发器、定时和整形电路、计数器、寄存器和存储器、D/A 和 A/D 转换以及数字系统设计等内容。全书共设置 44 个实验, 元件类型以 TTL 电路为主, 兼顾 CMOS 电路。本书注意增加中规模集成电路的内容, 有 70% 的实验采用中规模集成电路做元件。实验类型是大、中、小相结合, 有小型的验证器件性能的实验; 有中型的逻辑设计性实验, 也有数字系统实际应用的大型实验。在数字系统设计一章中, 用算法状态机 (ASM) 图表描述数字系统, 用寄存器传输语言实现数据处理器的设计, 给出了较完善的数字系统逻辑设计的方法。在附录中介绍了数字逻辑实验仪、实验故障分析方法、实验报告格式、集成电路型号命名法、部分常用数字集成电路汇编和集成电路新标准介绍等。

每个实验需 2~3 个学时, 对于 30 个学时的实验课来说, 可以从 44 个实验中选做 10~15 个实验。选择时, 应照顾到各章内容, 并兼顾元件、电路和系统实验。

本教材一、二、三章和附录Ⅲ、Ⅳ、Ⅴ由李亚伯编写、四、五、七章由唐志宏编写, 六、八章和附录Ⅰ、Ⅱ、Ⅵ由韩振振编写。韩振振做了统稿工作, 徐伟明做了实验工作。由于编者水平有限, 书中会出现缺点错误, 请读者批评指正。

编者 1989. 3.

目 录

第一章 逻辑门和组合电路

§ 1.1	TTL 逻辑门	2
1.1.1	TTL “与非” 门	2
1.1.2	集电极开路 (OC) “与非” 门	5
1.1.3	三态 (TS) “与非” 门	5
1.1.4	TTL 集成电路使用规则	6
§ 1.2	CMOS 逻辑门	7
1.2.1	CMOS 集成电路的特点	7
1.2.2	基本 CMOS 逻辑电路	8
1.2.3	CMOS 集成电路参数及其测试	12
1.2.4	CMOS 集成电路使用规则	14
§ 1.3	逻辑代数	16
§ 1.4	组合逻辑电路	18
1.4.1	组合逻辑电路的设计方法	18
1.4.2	组合电路中竞争与冒险	18
1.4.3	组合电路设计举例	19
§ 1.5	实验	21
实验1-1	TTL “与非” 门特性测试	21
实验1-2	“OC” 门的特性与应用	23
实验1-3	三态门的特性及其应用	25
实验1-4	CMOS 逻辑门功能与应用	27
实验1-5	用基本逻辑门实现逻辑函数	29
实验1-6	用逻辑电路证明逻辑代数定理	31
实验1-7	组合逻辑电路的设计	33

第二章 运算电路

§ 2.1	基本逻辑门构成的算术电路	34
2.1.1	半加器	34
2.1.2	全加器	34
§ 2.2	二进制并联加、减法器	35
2.2.1	二进制并联加法器	35
2.2.2	二进制并联减法器	35
2.2.3	二进制并联加/减法器	36
§ 2.3	BCD 加减法器	37
2.3.1	BCD 加法器	37
2.3.2	BCD 减法器	37
§ 2.4	数值比较器	39
2.4.1	一位数值比较器	39
2.4.2	四位数值比较器	39
2.4.3	比较器的扩展	40
§ 2.5	算术逻辑单元 (ALU)	40
§ 2.6	实验	41
实验2-1	用逻辑门构成算术电路	41
实验2-2	二进制并联加/减法器	42

实验2-3	数值比较器	43
实验2-4	算术逻辑单元	44

第三章 数据变换和传输电路

§ 3.1	编码器	47
3.1.1	二进制编码器	47
3.1.2	BCD 编码器	48
3.1.3	优先编码器	48
§ 3.2	译码器	49
3.2.1	变量译码器	49
3.2.2	代码变换译码器	50
3.2.3	显示译码器	51
3.2.4	CMOS 译码器	55
3.2.5	数据分配器 (DMX)	57
3.2.6	译码器的扩展	58
3.2.7	译码器的应用	59
§ 3.3	多路选择器 (MUX)	60
3.3.1	多路选择器工作原理	60
3.3.2	CMOS 数据选择器/数据分配器	62
3.3.3	数据选择器的应用	63
§ 3.4	奇偶产生器/校验器	66
3.4.1	奇偶校验码和奇偶位	67
3.4.2	奇偶产生器/校验器	68
3.4.3	奇偶产生器/校验器的应用	69
§ 3.5	实验	71
实验3-1	编码器	71
实验3-2	译码器与数据分配器	72
实验3-3	显示系统	74
实验3-4	数据选择器	76
实验3-5	数据选择器的应用	77
实验3-6	奇偶产生器/校验器	79

第四章 触 发 器

§ 4.1	概述	82
§ 4.2	逻辑门构成的触发器	82
4.2.1	基本 RS 触发器	82
4.2.2	时钟 RS 触发器	83
4.2.3	D 触发器	84
4.2.4	JK 触发器	85
4.2.5	T 触发器	85
§ 4.3	集成触发器	86
4.3.1	集成触发器的时钟脉冲触发	87
4.3.2	CMOS 集成边沿触发器结构	87
§ 4.4	实验	88
实验4-1	“与非” 门构成的触发器	88

实验4-2 集成JK触发器	90
实验4-3 集成边沿D触发器	91

第五章 定时和整形电路

§ 5.1 概述	9 ³
§ 5.2 逻辑门构成的振荡器和整形电路	93
5.2.1 多谐振荡器	93
5.2.2 单稳态触发器	95
5.2.3 施密特整形电路	98
5.2.4 石英晶体多谐振荡器	98
§ 5.3 集成振荡器	99
5.3.1 TTL集成单稳态触发器	99
5.3.2 CMOS集成振荡器	100
§ 5.4 集成定时电路	102
5.4.1 555定时电路	102
5.4.2 555定时电路的应用	103
§ 5.5 集成施密特整形电路	103
5.5.1 简介	103
5.5.2 施密特整形电路的应用	104
§ 5.6 实验	105
实验5-1 逻辑门构成的振荡器和整形电路	105
实验5-2 CMOS集成振荡器——CD4047	106
实验5-3 集成定时电路	107
实验5-4 集成施密特整形电路	108

第六章 计数器、寄存器和随机存储器

§ 6.1 计数器	109
6.1.1 异步二进制计数器	109
6.1.2 集成异步计数器T1290	111
6.1.3 同步计数器T1160	112
6.1.4 模N计数器	113
6.1.5 加/减计数器CC4516	115
6.1.6 环形计数器	116
§ 6.2 寄存器	117
6.2.1 并入-并出寄存器T1175	118
6.2.2 串入-串出寄存器T1095	118
6.2.3 多功能移位寄存器CC4035	119
6.2.4 移位寄存器序列	121
6.2.5 移位寄存器应用举例	121
§ 6.3 随机存储器	12 ³
§ 6.4 实验	126
实验6-1 异步二进制加、减法计数器	126
实验6-2 集成同步计数器	127
实验6-3 环形计数器与扭环计数器	129
实验6-4 双向移位寄存器	129
实验6-5 通用移位寄存器	13 ₁
实验6-6 移位寄存器序列	132
实验6-7 110序列检测器	13 ₃
实验6-8 随机存储器的位扩展	133

第七章 D/A和A/D转换

§ 7.1 概述	135
§ 7.2 D/A转换器	136
7.2.1 分立元件组成的D/A转换器	136
7.2.2 集成D/A转换器	137
7.2.3 D/A转换器的性能指标	138
§ 7.3 A/D转换器	139
7.3.1 组合的A/D转换器	139
7.3.2 集成A/D转换器	140
§ 7.4 实验	142
实验7-1 分立元件组成的D/A转换器	142
实验7-2 集成D/A转换器5G7520及应用	144
实验7-3 斜坡式组合A/D转换器	145
实验7-4 $\frac{1}{2}$ 位数字电压表	146

第八章 数字系统设计

§ 8.1 算法状态机	149
8.1.1 引言	149
8.1.2 ASM图表	149
8.1.3 定时	151
§ 8.2 寄存器传输语言 (RTL) 的符号表示法	152
8.2.1 引言	152
8.2.2 寄存器间的信息传送	152
8.2.3 算术操作	154
8.2.4 逻辑操作	155
8.2.5 移位操作	155
§ 8.3 设计举例	155
§ 8.4 实现控制逻辑	157
8.4.1 用D触发器和译码器实现控制逻辑	157
8.4.2 用每态一个触发器法实现控制逻辑	158
8.4.3 用数据选择器实现控制逻辑	159
§ 8.5 实验	160
实验8-1 二进制乘法器	160
实验8-2 时序比较器	164
实验8-3 累加器	168
实验8-4 并-串行数据变换器	172
实验8-5 数字钟	173
实验8-6 系统时钟	174
实验8-7 交通灯控制器	175
实验8-8 数字锁	178
附录	181

附录 I 数字电路实验仪	181
附录 II 数字电路实验故障分析	182
附录 III 实验报告格式	185
附录 IV 我国TTL集成电路型号命名规则	186
附录 V 部分常用TTL及CMOS数字集成电路汇编	190
附录 VI 国际标准逻辑(图形)符号	194
附录 VII 部分TTL集成电路逻辑结构图	201

第一章 逻辑门和组合电路

数字系统的基本单元电路是逻辑门，任何复杂的数字电路都是由逻辑门组成的。本章介绍集成逻辑门和它们的应用与实验。

集成逻辑电路分为两大类：双极型电路和 MOS 型电路。双极型电路主要电路元件是双极型晶体管，TTL、ECL、HTL 等都属于双极型电路，本书主要介绍 TTL 集成逻辑电路。MOS 型电路主要电路元件是 MOS 型场效应晶体管，NMOS、PMOS、CMOS 等集成电路均属 MOS 型集成电路。本书主要介绍 CMOS 集成电路。

我国的 TTL 电路共有五个系列，早期产品型号是 T000 系列，在 T000 系列中，又分为中速系列和高速系列。1977 年以后，我国又选取了与国际 54/74TTL 系列相应的品种做为优选系列品种，并采用了统一型号，这就是 T0000 系列。在 T0000 系列中，又分为 T1000、T2000、T3000 和 T4000 四个系列。T1000 是标准系列，相当于国际 SN54/74 通用系列；T2000 是高速系列，相当于国际 SN54H/74H 系列；T3000 相当于国际 SN54S/74S 肖特基系列；T4000 相当于国际 SN54LS/74LS 低功耗肖特基系列。目前我国以 T1000、T2000、T3000 和 T4000 四个系列作为主要产品系列。

上述五个系列的 TTL 电路主要差异是门的平均传播延迟时间和平均功耗两个参数，其它参数和外引线排列基本上彼此兼容。表 1-1 为国产 TTL 电路系列分类表。

表1-1 国产TTL 电路系列分类

参 数	系 列	T1000	T2000	T3000	T4000	T000	
						中 速	高 速
平均传播延迟时间/每门 T_{pd} (ns)		10	6	3	9.5	15	8
平均功耗/每门 $\bar{P}$ (mW)		10	22	19	2	20	35
最高工作频率 F_{max} (MHz)		35	50	125	45	20	40

T1000 系列和 T2000 系列都是采用晶体管过驱动基极电流，晶体管工作于深饱和区。T3000 系列和 T4000 系列都采用了肖特基箝位晶体管，晶体管工作在浅饱和区。在基本功耗相同的条件下，T3000 比 T2000 速度快一倍，而 T4000 的速度基本上与 T1000 相同，但其功耗仅为 T1000 的五分之一。

本书在讲述过程中基本上以标准系列 T1000 为主体，但实验室的实际应用可以根据实际情况选用其它系列。根据当前国内外市场情况，T4000 系列（国际 SN74LS 系列）是值得推荐的选择。

我国的 CMOS 电路共有两个系列。C000 系列，其工作电压为 7~15V，该系列为早期产品。CC4000 系列，其工作电压为 3~18V，功能和引出端排列与国际 4000 系列兼容。本书讲述以 CC4000 系列为主体，实验室使用的元件可以由实际情况而定。

TTL 电路主要品种及型号一览表见附录 V。CMOS 电路主要品种及型号一览表见

附录 V。我国 TTL 集成电路型号命名规则和国际各主要公司 TTL 集成电路型号命名规则及国外 CMOS 集成电路主要生产公司产品型号前缀见附录 IV。

§ 1.1 TTL 逻辑门

1.1.1 TTL “与非” 门

一、TTL “与非” 门工作原理

图 1-1 示出 T1000 系列两输入端 TTL “与非” 门典型电路图。多发射极晶体管 T_1 和电阻 R_1 构成输入级，完成“与”功能。晶体管 T_2 和电阻 R_2 、 R_3 构成中间级，完成相位分离。晶体管 T_5 完成“非”功能。晶体管 T_4 、 T_5 和二极管 D_3 ，电阻 R_4 构成图腾柱 (AD) 输出级。二极管 D_1 和 D_2 是输入箝位二极管，当外加正输入信号时，二极管处于反偏状态，相当于开路。当外加负输入电压时，二极管正偏，从而使输入负过冲电压短路到地，因此 D_1 、 D_2 保护了输入晶体管，避免了因过冲引起的逻辑错误。

当输入端有一个 (或两个) 为低电平 ($V_I \approx 0\text{V}$) 时， T_1 的基-射结正向偏置，基极电位约为 0.7V ， T_1 深度饱和， T_2 基极电位略高于输入电压， T_2 、 T_5 不能导通而处于截止状态。 V_{CC} 经由电阻 R_2 使 T_4 导通，输出电压 (忽略 R_2 上的压降) 为 $V_{OH} = V_{CC} - V_{BE4} - V_{D3} = 5 - 0.7 - 0.7 = 3.6(\text{V})$ ，则输出高电平。门的这种工作状态称为截止状态或关态。输出高电平 V_{OH} 的典型值为 3.4V ，不得低于 2.4V 。

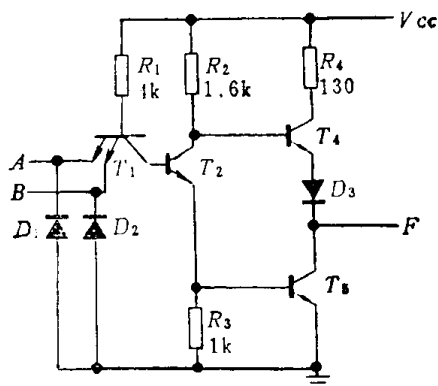


图1-1 T1000系列两输入端“与非”门典型电路

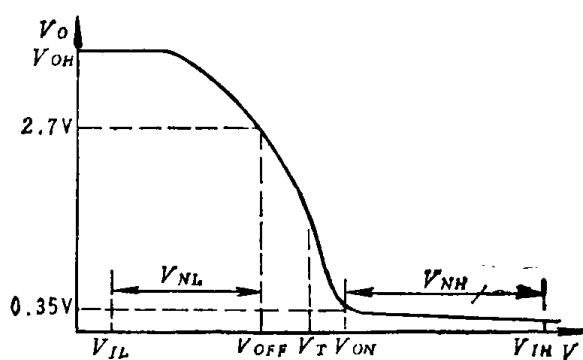


图1-2 “与非”门电压传输特性

当输入端全部为高电平时， T_1 的基-射结反向偏置， T_1 的集-基结处于正偏状态，电流经 R_1 使 T_2 、 T_5 饱和导通，所以输出为低电平， $V_{OL} = V_{CE5} \approx 0.2\text{V}$ 。此时门的工作状态称为饱和状态或开态。输出低电平 V_{OL} 的典型值为 0.2V ，不得高于 0.4V 。

该电路具有“与非”功能， $F = \overline{A \cdot B}$ 。

图 1-2 为“与非”门电压传输特性曲线。它直观地表现输出状态随输入状态变化的规律，特性曲线上反映了逻辑门的主要静态参数，如输出高电平 V_{OH} 、输出低电平 V_{OL} 、开门电平 V_{ON} 、关门电平 V_{OFF} 、噪声容限 V_{NH} 和 V_{NL} 等。

二、TTL “与非” 门主要参数及测试原理

逻辑门的特性分为两类：静态特性和瞬态特性。静态特性指电路稳定在饱和状态或截止状态时的电路特性，可用静态参数描述；瞬态特性指电路状态变化时的特性，用瞬

态参数来描述。

1. TTL “与非” 门的静态参数

(1) 输出高电平 V_{OH} 和输出低电平 V_{OL}

V_{OH} 指电路处于截止状态时的输出电平。一般产品规定 $V_{OH} > 3V$, T1000 系列规定最小值为 $2.4V$ 。其测试电路示于图 1-3。

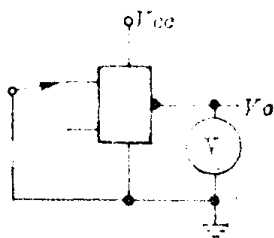


图1-3 V_{OH} 测试电路

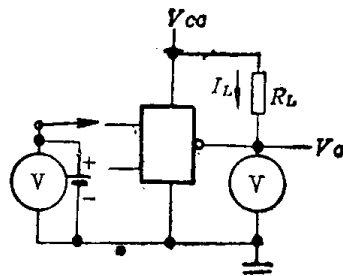


图1-4 V_{OL} 测试电路

V_{OL} 指电路处于饱和导通状态时的输出电平。一般产品规定 $V_{OL} < 0.35V$, T1000 系列规定最大值为 $0.4V$ 。 V_{OL} 测试是在满负载情况下进行的, 即带有八个同类门, R_L 的选择应满足 $I_L = 8 \times I_{IS} = 8 \times 1.8 = 14.4(mA)$ 。测试电路如图 1-4 所示。

(2) 输入短路电流 I_{IS}

I_{IS} 指“与非”门一个输入端接地, 其余输入端开路时, 流经接地输入端的电流。测试电路如图 1-5 所示。一般产品规定 $I_{IS} < 1.8mA$ 。

(3) 输入交叉漏电流 I_{RE}

I_{RE} 指“与非”门第一级多发射极管 T_1 的寄生晶体管效应产生的输入电流。测试电路示于图 1-6。 I_{RE} 一般小于 $10\mu A$ 。

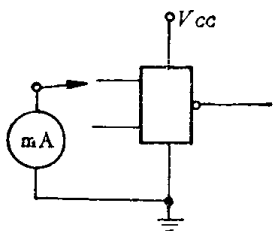


图1-5 I_{IS} 测试电路

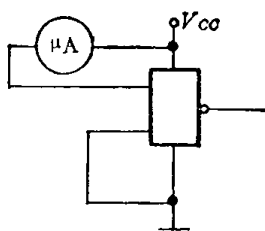


图1-6 I_{RE} 测试电路

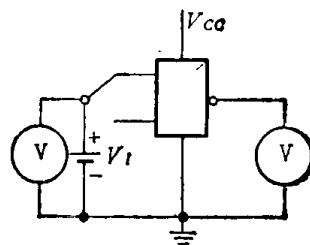


图1-7 V_{OFF} 测试电路

(4) 开门电平 V_{ON} 和关门电平 V_{OFF}

开门电平 V_{ON} 指额定负载下 ($N = 8$), 保证输出低电平时的最小输入电压值。一般产品规定 $V_{ON} < 1.8V$, 测试电路示于图 1-4。

关门电平 V_{OFF} 指输出高电平 V_{OH} ($3V$) 的 90% 所对应的输入电平。一般产品规定 $V_{OFF} > 0.8V$, 测试电路如图 1-7 所示。

传输特性转折区中点所对应的输入电压称为阈值电压 V_T , 通常将 V_T 看做“与非”门截止与导通的分界电平, 可取 V_T 为 V_{ON} 和 V_{OFF} 的平均值。另外 V_{ON} 和 V_{OFF} 还反映出“与非”门的抗干扰能力, 低电平噪声容限 V_{NL} 和高电平噪声容限 V_{NH} 为

$$V_{NI} = V_{OFF} - V_{IL}$$

$$V_{NH} = V_{IH} - V_{ON}$$

(5) 扇出系数 N

扇出系数 N 表示“与非”门驱动同类门的个数。 N 的测试可以由 $N = I_L / I_{is}$ 决定, 测试电路如图 1-8 所示。

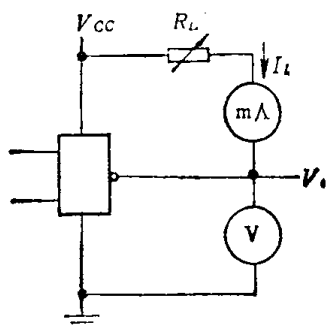


图1-8 N 测试电路

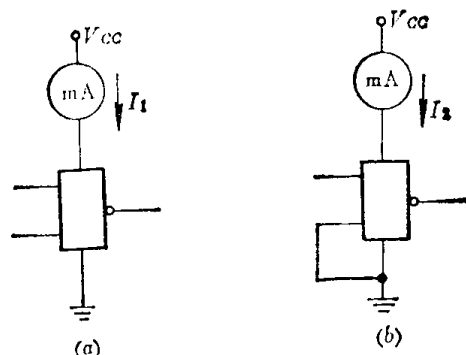


图1-9 功耗测试电路

(a) I_1 测试电路; (b) I_2 测试电路。

(6) 平均功耗 $\bar{P}$

$\bar{P}$ 表示“与非”门导通状态功耗 P_1 和截止状态功耗 P_2 的平均值 (均在输出端开路条件下)。

$$P_1 = V_{cc} \cdot I_1$$

$$P_2 = V_{cc} \cdot I_2$$

$$\bar{P} = \frac{1}{2} (P_1 + P_2)$$

测试电路如图 1-9 所示。

2. 瞬态参数及其测试

“与非”门瞬态参数主要有平均传输延迟时间, 瞬态功耗, 最高工作频率等。

平均传输延迟时间 t_{pd} 是导通延迟时间 t_{pdL} 和截止延迟时间 t_{pdH} 的平均值, 即

$$t_{pd} = \frac{1}{2} (t_{pdL} + t_{pdH})$$

t_{pdL} 是输入脉冲由低电平上升到高电平的 50% 处到输出脉冲由高电平下降到低电平 50% 处的时间间隔。 t_{pdH} 是输入脉冲由高电平下降到低电平 50% 处到输出脉冲由低电平上升到高电平的 50% 处的时间间隔。其波形示意如图 1-10 所示。

“与非”门 t_{pd} 测试电路如图 1-11 所示。门 G_1 和 G_2 是标准门, 它们的 t_{pd1} 和 t_{pd2}

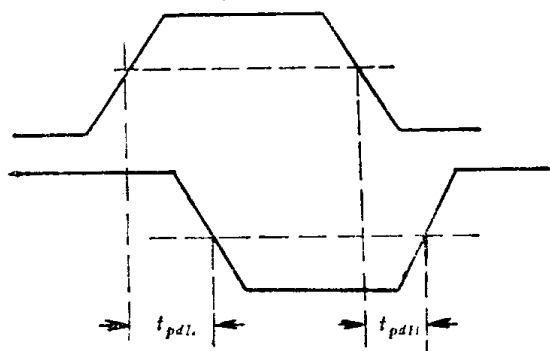


图1-10 “与非”门传输延迟波形图

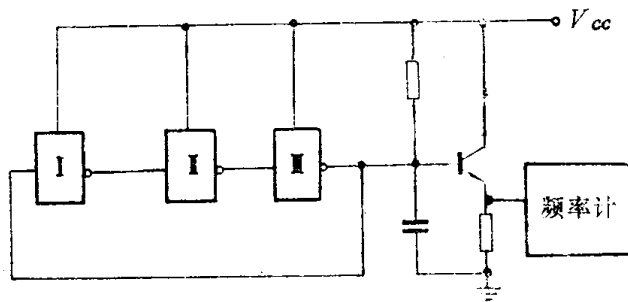


图1-11 t_{pd} 测试电路

是已知的，门 G_3 是被测门，环形振荡器周期为

$$T = 2(t_{pd1} + t_{pd2} + t_{pd3})$$
$$f = 1/T$$

频率为

f 可以用数字频率计读出，或用示波器测得，所以

$$t_{pd2} = \frac{1}{2f} - (t_{pd1} + t_{pd3})$$

1.1.2 集电极开路 (OC) “与非” 门

为了增加 TTL 电路驱动能力和逻辑功能，经常需要把几个电路的输出端并联使用，但图腾柱输出 (AD) 结构电路不允许并联使用，而集电极开路 (OC) 门可以并联使用，T1000 系列典型集电极开路 “与非” 门电路图和逻辑符号示于图 1-12 (a) 和 (b)。

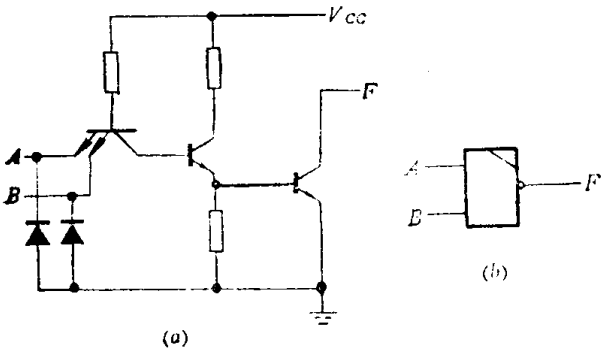


图1-12 集电极开路 (OC) “与非” 门
(a) 电路图; (b) 逻辑符号。

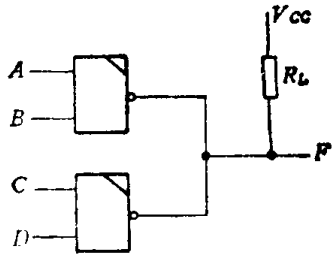


图1-13 “线与” 逻辑

图 1-13 示出 OC 门输出端并联时形成的 “线与” 逻辑，输出为

$$F = \overline{AB} \cdot \overline{CD} = \overline{AB + CD}$$

实际上实现了 “与或非” 逻辑，其中 “或” 功能是隐含的。OC 门可用于数据传输系统，还可以作高压驱动器和显示器的驱动器等。

1.1.3 三态 (TS) “与非” 门

三态 (TS) 门有三个输出状态，即高电平、低电平和高阻输出状态。图 1-14 所示为典型的三态 2 输入 “与非” 门电路和逻辑符号。控制输入端 $\bar{E}$ 为低电平时，电路完成 “与非” 功能，输出端呈高电平或低电平状态。控制输入端 $\bar{E}$ 为高电平时，电路输出呈高阻状态。

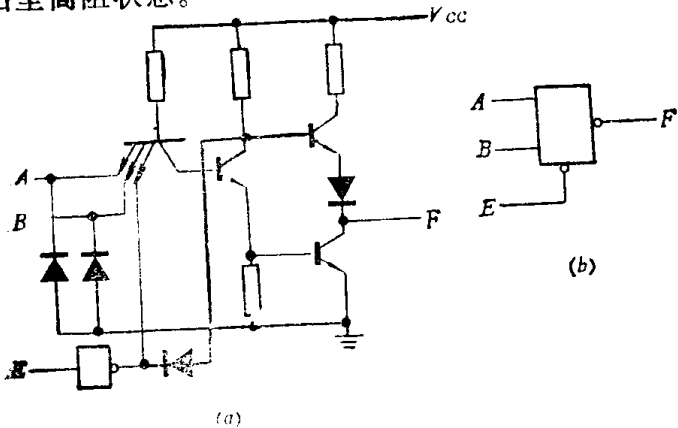


图1-14 三态二输入端 “与非” 门
(a) 电路图; (b) 逻辑符号。

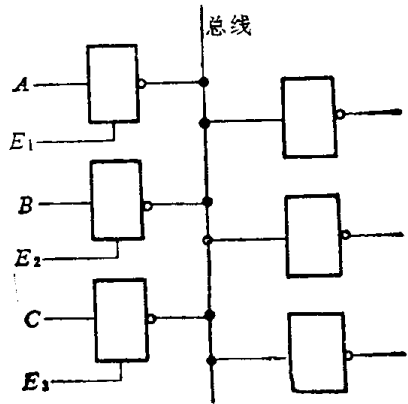


图1-15 三态总线

多个三态门输出端并联在一起构成三态总线结构,如图 1-15 所示。这里 E_1 为高电平时,信号 A 传输到总线上,此时 E_2 、 E_3 为低电平,信号 B 、 C 被禁止。同理信号 B 或 C 也可分时传送到总线上。

三态门和 OC 门输出端都可以并联使用,但 OC 门受负载电阻 R_L 的限制,工作速度慢,驱动容性负载能力较差,所以仅用于对速度要求不高的系统中。三态门驱动能力强,开关速度快。

1.1.4 TTL 集成电路使用规则

一、工作极限

TTL 集成电路工作时,不允许超过规定的电路极限参数值,以保证电路可靠工作。

二、电源

TTL 集成电路对电源的稳定度要求是:Ⅰ类、Ⅲ类为 $5V \pm 5\%$,Ⅱ类为 $5V \pm 10\%$ 。由于动态尖峰电流的存在,使瞬态功耗增大,并引入系统干扰,因此在电源和地之间要接入滤波电容。

三、工作环境温度

Ⅰ类 $-55^\circ\text{C} \sim +125^\circ\text{C}$ 、Ⅱ类 $-40^\circ\text{C} \sim +85^\circ\text{C}$ 、Ⅲ类 $-10^\circ\text{C} \sim +70^\circ\text{C}$ 。

四、输出端连接

TTL 集成电路输出端不允许直接接电源或地。图腾柱输出的 TTL 门电路输出端不允许并联使用。三态门输出端可以并联使用,但任一时刻只允许一个门处于工作状态,其它门处于高阻状态。OC 门输出端也可以并联使用,在公共输出端上应外接负载电阻 R_L 到电源 V_{CC} 。

五、多余输入端接法

TTL 集成电路输入端悬空相当逻辑高电平。“与非”门不使用的输入端可以悬空,但不允许带开路长线,以免引入干扰,产生逻辑错误。为使逻辑功能稳定可靠,不用的输入端可以按逻辑功能要求直接接电源 V_{CC} ;通过电阻 ($\geq 1k\Omega$) 接电源 V_{CC} ;接地或把不使用的输入端和使用的输入端并接,如图 1-16 所示。

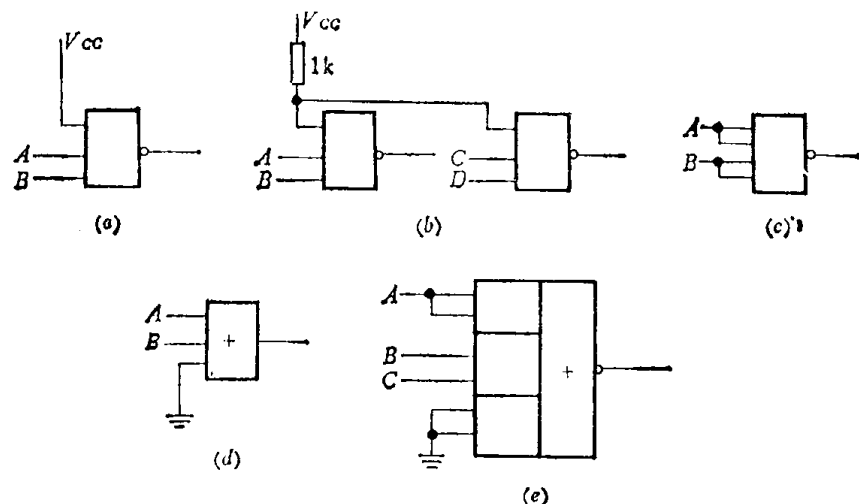


图1-16 TTL逻辑门不使用输入端的处置

(a) 直接接电源 V_{CC} ; (b) 通过电阻接电源; (c) 输入端并接;
(d) 接地; (e) 接地。

§ 1.2 CMOS 逻辑门

CMOS 集成电路就其系列产品的功能而言, 与 TTL 集成电路基本类同。在生产产量和应用方面都与 TTL 电路并驾齐驱, 发展速度很快, 具有很强的竞争能力。

1.2.1 CMOS 集成电路的特点

1. 低功耗

CMOS 集成电路的静态功耗极小, 例如在电源电压 $V_{DD}=5\text{V}$ 下的静态功耗, 门电路小于 $2.5\sim 5\mu\text{W}$, 缓冲器和触发器小于 $5\sim 20\mu\text{W}$, 中规模电路小于 $25\sim 100\mu\text{W}$ 。

2. 工作电压范围宽

国产 CMOS 集成电路 CC4000 系列工作电压为 $3\sim 18\text{V}$, C000 系列工作电压为 $7\sim 15\text{V}$ 。

3. 抗干扰能力强

CMOS 集成电路的电压噪声容限典型值可达电源电压的 45%, 保证值为电源电压的 30%, 且高电平和低电平噪声容限值相等。

4. 逻辑摆幅大

CMOS 电路的输出逻辑高电平近似等于电源电压 V_{DD} , 逻辑低电平近似等于 V_{SS} , 输出逻辑摆幅近似等于工作电源电压值。

5. 输入阻抗高

CMOS 电路的输入端一般都有二极管保护网络, 在正常工作电压范围内, 这些保护二极管均处于反向偏置状态, 电路的直流输入阻抗决定于这些二极管的泄漏电流, 一般情况下, 输入阻抗大于 $10^8\Omega$ 。因此 CMOS 电路与其它电路接口时, 几乎不消耗功率。

6. 扇出能力强

CMOS 电路的输出无论是高电平还是低电平, 其输出阻抗约为 $1\text{k}\Omega$, 而 CMOS 电路输入阻抗极高, 在低频工作情况下, 一个输出端可以带 50 个以上的输入端。当需要考虑工作速度时, 扇出系数与系统工作频率有关。

7. 温度稳定性好, 集成度高

CMOS 电路功耗低, 内部发热量少, 单片集成度可做到很高。由于电路互补对称结构, 当环境温度变化时, 某些参数具有互相补偿作用, 电路在很宽的温度范围内都能保持正常工作。

8. 抗辐射能力强

CMOS 集成电路是一种多数载流子受控导电的器件, 只要栅极与沟道之间绝缘介质材料性能良好, 辐射就不会明显改变多数载流子浓度。CMOS 电路具有较强的抗辐射能力, 适合在航天设备、人造地球卫星和核试验条件下工作。

9. 成本低

目前 CMOS 集成电路比同类 TTL 集成电路价格要低。加上 CMOS 电路功耗小, 集成度高, 电源供电线路简单等优点, 有利于降低设备制造成本。

1.2.2 基本 CMOS 逻辑电路

一、CMOS 反相器

CMOS 反相器是 CMOS 集成电路最基本的单元电路之一，它是由一个 PMOS 晶体管和一个 NMOS 晶体管以互相对称的形式连接而成。CC4000 系列的 CMOS 反相器型号为 CC4069，其电路图和引出端功能示于图 1-17(a) 和 (b)。CC4069 是六反相器，每一个反相器单元都由基本的单级反相器电路构成，如图 1-17(a) 所示，其中二极管网络是输入保护电路，不影响电路的正常工作。

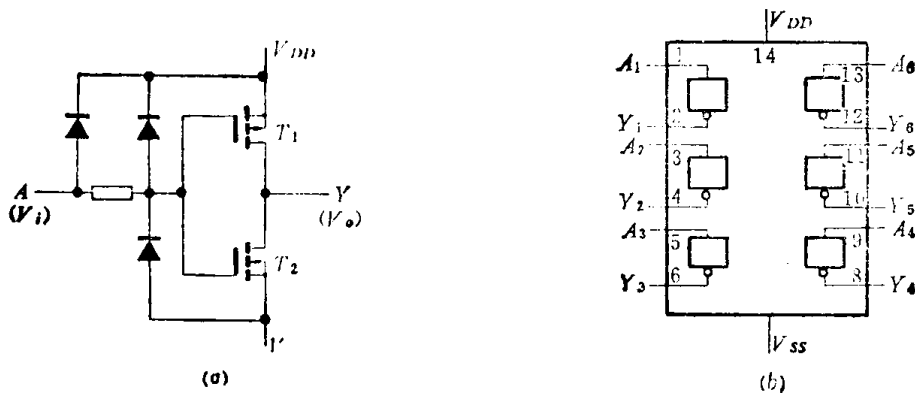


图1-17 CMOS反相器 CC4069

(a) 电路图；(b) 外引出端功能图。

在反相器上加电源电压 V_{DD} ，且 $V_{DD} \geq V_{TN} + |V_{TP}|$ ，其中 V_{TN} 为 N 沟道管开启电压， V_{TP} 为 P 沟道管开启电压，当 $V_{SS} = 0$ V，输入端为低电平即 $V_i \approx 0$ V 时，对 N 沟道管 T_2 来说， $V_{GS(N)} = 0$ V，低于开启电压， T_2 截止。对于 P 沟道晶体管 T_1 而言， $V_{GS(P)} = -V_{DD}$ ， T_1 导通。输出端对 V_{DD} 呈低阻抗，对 V_{SS} 呈高阻抗，分压结果输出端对地的电位接近于电源电压，即 $V_o \approx V_{DD}$ ，输出高电平。当 $V_i = V_{DD}$ 时，N 沟道晶体管 T_2 导通，P 沟道晶体管 T_1 截止，输出低电平， $V_o \approx 0$ V。由此可见，电路是反相器，即 $Y = \bar{A}$ 。

该电路具有对称的输出驱动能力 $I_{OL} = I_{OH}$ ，传输延迟时间较小 ($t_{pHL}, t_{pLH} \leq 60$ ns)，噪声容限较低，约为 $20\% V_{DD}$ 。

二、CMOS 传输门

CMOS 传输门基本电路及逻辑符号示于图 1-18，电路由 PMOS 和 NMOS 晶体管互补并联而成。PMOS 晶体管 T_2 的漏极和源极分别和 NMOS 晶体管 T_1 的源极和漏极

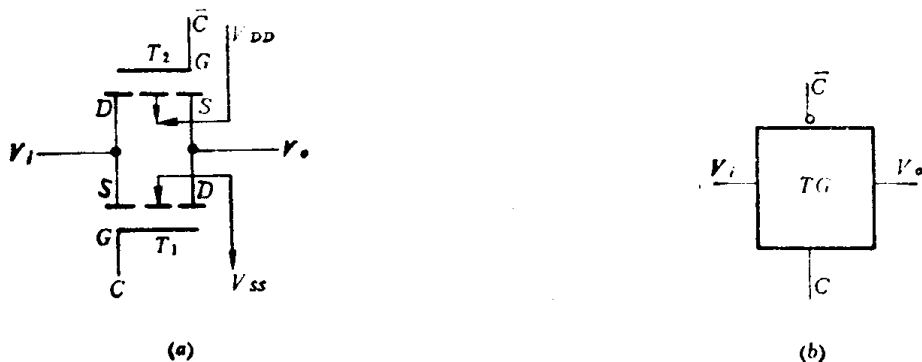


图1-18 CMOS传输门

(a) 电路图；(b) 逻辑符号。

对应相接，两个连接处构成输入端和输出端，由于 MOS 晶体管的漏极和源极在结构上完全对称，可以互换，所以 CMOS 传输门输入端和输出端可以互换，实为一双向模拟开关。

PMOS 晶体管衬底接电源正端 V_{DD} ，NMOS 晶体管衬底接电源负端 V_{SS} 或地。工作时，一对极性相反幅度相等的时钟脉冲分别加到两个栅极上，当 T_1 栅极加高电平， T_2 栅极加低电平时，传输门处于导通状态，传输信号。相反， T_1 栅极加低电平， T_2 栅极加高电平时，传输门处于截止状态，相当于开关断开，不传输信号。CC4000 系列双向模拟开关型号为 CC4066，其逻辑电路和引出端功能分别示于图 1-19(a) 和 (b)。每片封装四个独立的双向传输门开关。

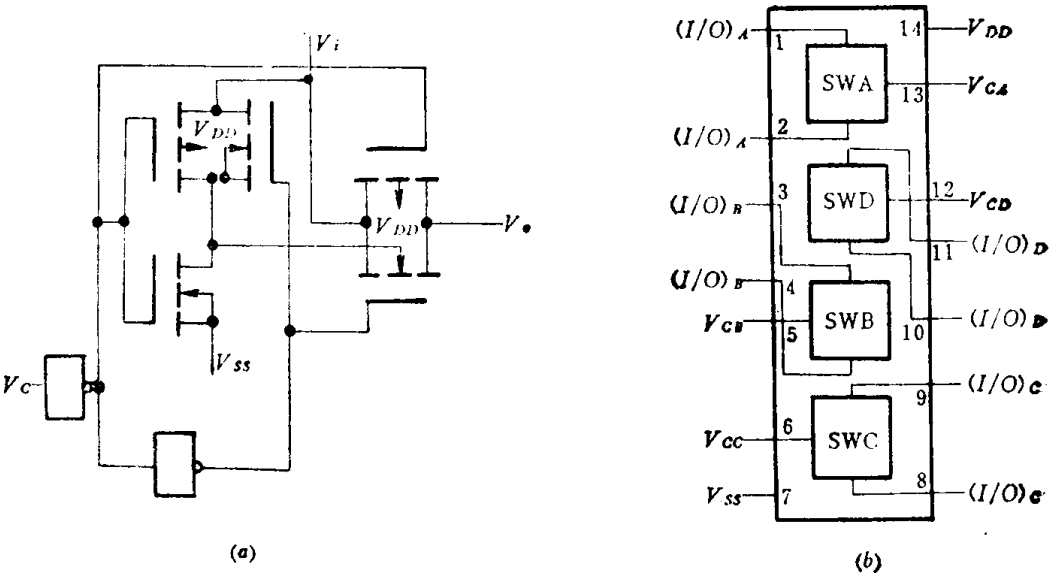


图1-19 双向模拟开关CC4066
(a) 电路图；(b) 引出端功能图。

三、CMOS 逻辑门

CMOS 逻辑门主要品种一览表表示于表 1-2。

表1-2 CMOS门电路主要品种

功 能	名 称	型 号	
		CC4000	C 000
或非门	双 4 输入端或非门	CC 4002	C 037
	三 3 输入端或非门	CC 4025	C 038
	四 2 输入端或非门	CC 4001	C 039
	8 输入端或非门	CC 4078	
与非门	双 4 输入端与非门	CC 4012	C 034
	三 3 输入端与非门	CC 4023	C 035
	四 2 输入端与非门	CC 4011	C 036
	8 输入端与非门	CC 4068	
或门	双 4 输入端或门	CC 4072	C 032
	三 3 输入端或门	CC 4075	
	四 2 输入端或门	CC 4071	

(续)

功 能	名 称	型 号	
		CC4000	C 000
与 门	双 4 输入端与门	CC 4082	C 031
	三 3 输入端与门	CC 4073	
	四 2 输入端与门	CC 4081	
非 门	六反相器	CC 4069	C 033
	双互补对加反相器	CC 4007	C 042
与或非门	双 2-2输入端与或非门	CC 4085	
	四 2 输入端可扩展与或非门	CC 4086	
	8 输入端可扩展多功能门	CC 4048	C041
	4-3-3可扩展与或非门		C040

1. “或非” 门

2 输入端“或非”门 CC4001 的逻辑电路和引出端功能分别示于图 1-20(a) 和 (b)。

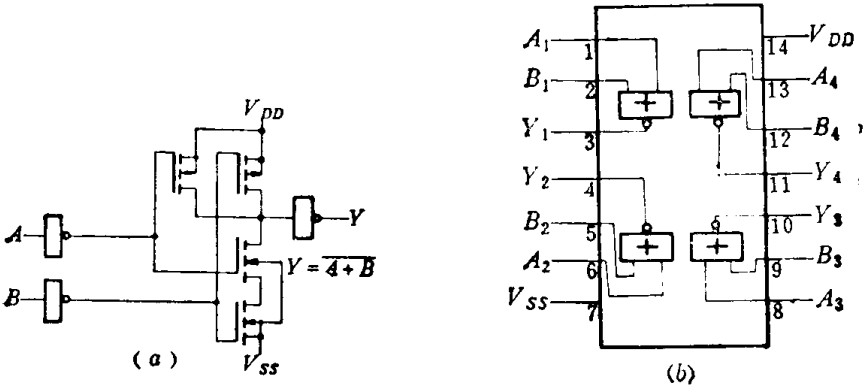


图1-20 CMOS “或非” 门CC4001
(a) 电路图；(b) 引出端功能图。

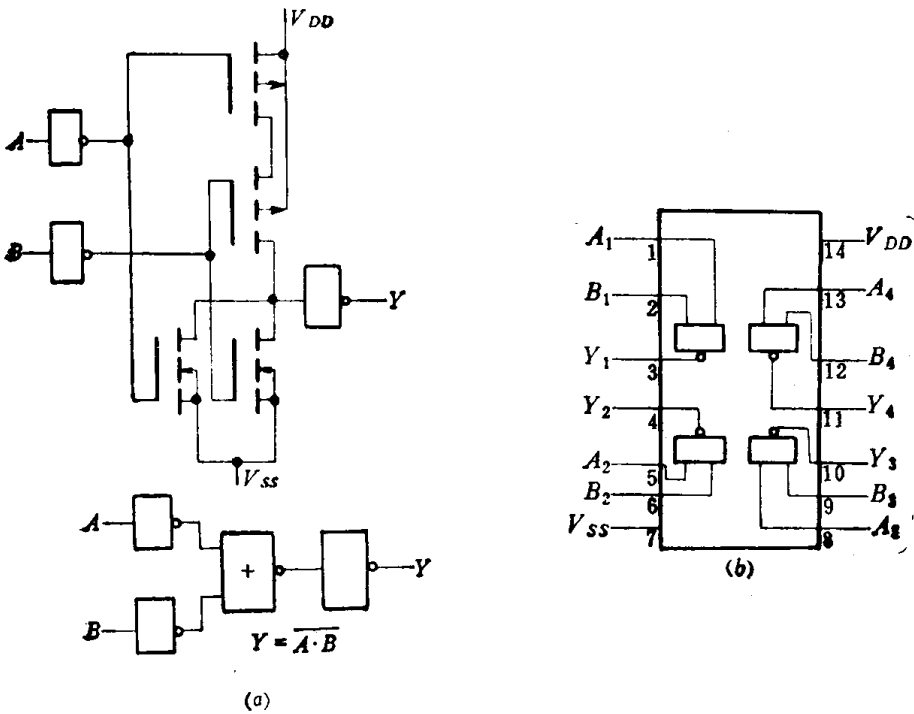


图1-21 CMOS “与非” 门CC4011
(a) 电路图；(b) 引出端功能图。

2. “与非” 门

2 输入端 “与非” 门 CC4011 的逻辑电路和引出端功能分别示于图1-21(a)和(b)。
“与非” 门、“或非” 门的性能特点是：输入端和输出端均加反相器作为缓冲级；具有对称的驱动能力，即 $I_{OH}=I_{OL}$ ；具有对称的输出波形，即 $T_{PHL}=T_{PLH}$ 、 $T_{TLH}=T_{THL}$ ；输入高电平和输入低电平的抗干扰能力相同，即 $V_{NL}=V_{NH}$ 为 30% V_{DD} 。

CMOS 逻辑门无论哪一个品种输入端都附加典型的双向保护电路，保证了电路正常和安全工作。

四、接口电路

1. CMOS-TTL 接口

CMOS 缓冲/电平变换器主要作为接口电路，起缓冲驱动和逻辑电平变换作用。主要品种示于表 1-3。

表1-3 CMOS缓冲/电平变换器主要品种

名 称	型 号
六反相缓冲/变换器	CC4049
六同相缓冲/变换器	CC4050
四同相/反相缓冲器	CC4041
三态六反相/缓冲器	CC4502
双 2 输入端与非缓冲/驱动器 (OD)	CC40107
四高低电平移位器 (TS)	CC40109

CC4049、CC4050 和 CC4041 都具有较强吸收电流的能力，可直接驱动 DTL、TTL、晶体管电路和半导体发光二极管显示器件。CC40107 是漏极开路的输出缓冲变换器，适当选择外电源和上拉电阻，则可实现高到低或者低到高逻辑摆幅的变换。三态输出缓冲器 CC4502 处于两种正常逻辑状态输出时，具有较强吸收电流的能力，可直接驱动 TTL 电路。CC40109 是三态电平移位器，既可实现高到低电平移位，也可实现低到高电平移位。各种电路的特性及参数可查阅有关手册。

图 1-22 示出 CMOS 和 TTL 接口电路图。

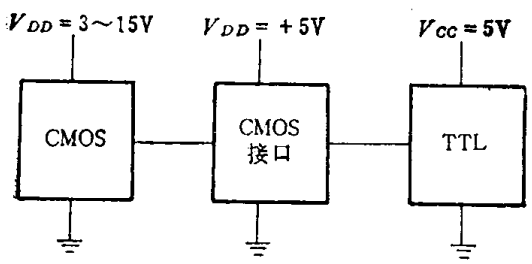


图1-22 CMOS-TTL电路的接口

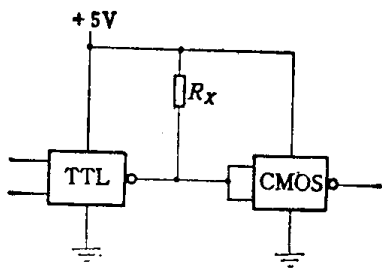


图1-23 TTL-CMOS电路的接口

2. TTL-CMOS 接口

TTL 电路输出高电平 V_{OH} 的下限值为 2.4V，CMOS 电路在电源电压 $V_{DD}=5V$ 时，输入高电平下限为 3.5V，这样造成 TTL 和 CMOS 电路接口困难，解决办法是在 TTL 输出端与电源之间接入上拉电阻 R_x ，以提高 TTL 电路输出高电平值，如图 1-23 所示。
 R_x 的值由 TTL 输出高电平时的漏电流值来决定，对于 T1000 系列 R_x 值在 $390\Omega \sim$