



Xilinx大学合作计划指定教材

高等院校电类专业应用型规划教材——微电子技术专业

贺敬凯 编著

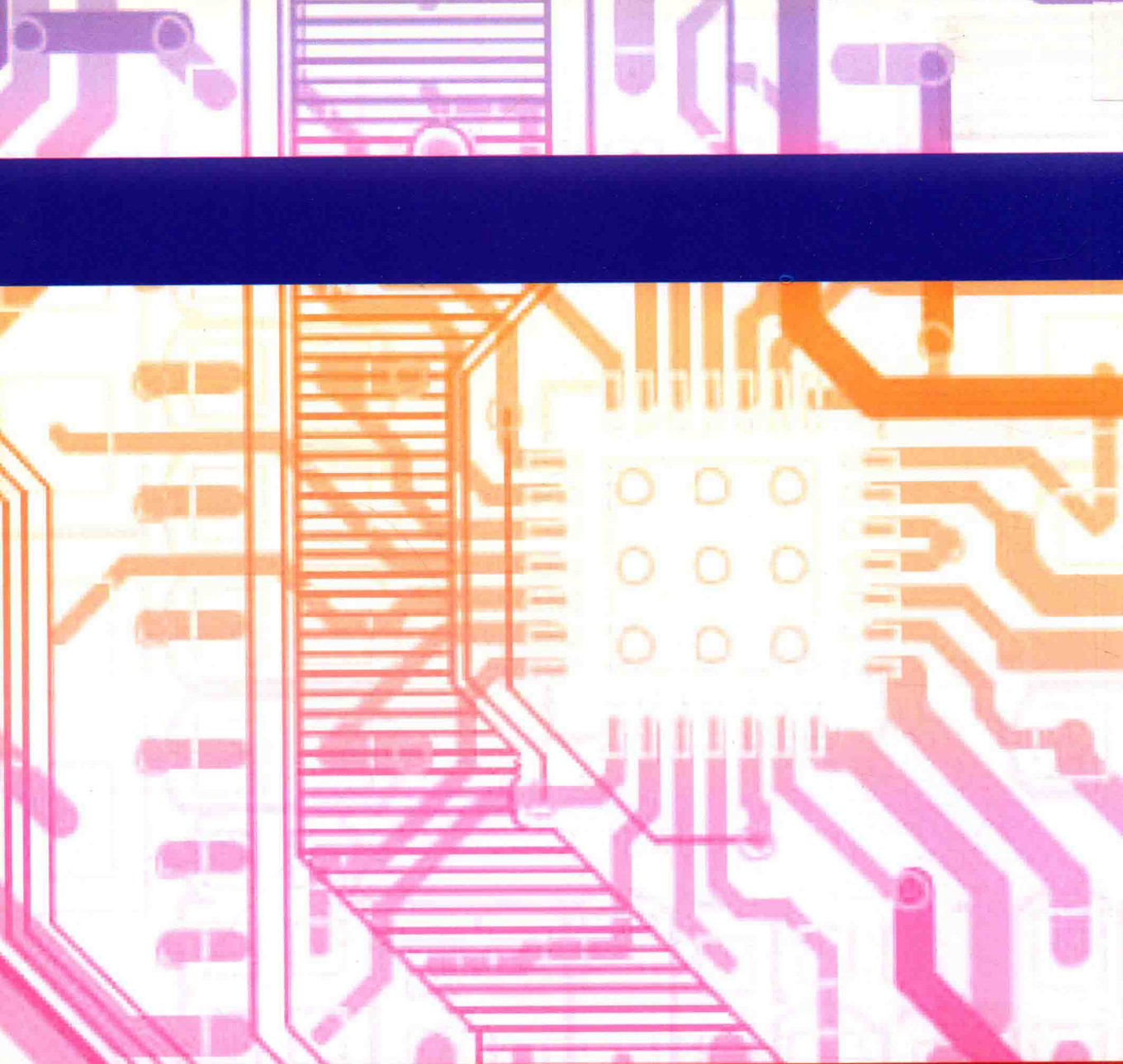
Xilinx FPGA

应用开发 (第2版)

- 27个实战项目
- 107个示例
- 配套项目描述视频
- 配套电子课件和源代码

清华大学出版社



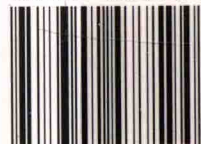


清华社官方微信号



扫 我 有 惊 喜

ISBN 978-7-302-47759-4



9 787302 477594 >

定价：39.00元



Xilinx大学合作计划指定教材

高等院校电类专业应用型规划教材——微电子技术专业

贺敬凯 编著

Xilinx FPGA

应用开发 (第2版)

- 27个实战项目
- 107个示例
- 配套项目描述视频
- 配套电子课件和源代码

清华大学出版社



高等院校电类专业应用型规划教材——微电子技术专业

***Xilinx FPGA* 应用开发**

(第2版)

贺敬凯 编著

清华大学出版社
北京

内 容 简 介

本书通过 FPGA 应用开发中的 27 个典型的实战项目及各个实战项目涉及的知识点来详细介绍 FPGA 应用开发技术。主要内容包括 FPGA 应用开发硬件平台、ISE 集成开发环境、Vivado 集成开发环境、Verilog HDL 硬件描述语言、组合逻辑电路设计、时序逻辑电路设计、FPGA 与外设接口的应用设计、一款 CPU 的设计。

本书以实战项目为主线编排教学内容；配有电子教学课件、源代码和习题集，方便开展实践教学，可作为高等院校应用型本科、专科电子类专业 EDA 技术和 FPGA 应用开发等课程的教材。

本书封面贴有清华大学出版社防伪标签，无标签者不得销售。

版权所有，侵权必究。侵权举报电话：010-62782989 13701121933

图书在版编目(CIP)数据

Xilinx FPGA 应用开发/贺敬凯编著.—2 版.—北京：清华大学出版社，2017
(高等院校电类专业应用型规划教材·微电子技术专业)
ISBN 978-7-302-47759-4

I. ①X… II. ①贺… III. ①可程序逻辑器件—系统设计—高等学校—教材
IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2017)第 166901 号

责任编辑：刘翰鹏

封面设计：常雪影

责任校对：袁 芳

责任印制：宋 林

出版发行：清华大学出版社

网 址：<http://www.tup.com.cn>, <http://www.wqbook.com>

地 址：北京清华大学学研大厦 A 座

邮 编：100084

社 总 机：010-62770175

邮 购：010-62786544

投稿与读者服务：010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈：010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载：<http://www.tup.com.cn>, 010-62770175-4278

印 装 者：北京鑫海金澳胶印有限公司

经 销：全国新华书店

开 本：185mm×260mm 印 张：15.5

字 数：343 千字

版 次：2015 年 2 月第 1 版 2017 年 10 月第 2 版

印 次：2017 年 10 月第 1 次印刷

印 数：1~1600

定 价：39.00 元

产品编号：075482-01

FPGA 应用开发是电子类专业以及相关专业的技术主干课。目前,有关 FPGA 应用开发方面的教材大多与开发实用的应用系统有差距。基于这一点,编著者结合 Basys2 开发板和 Basys3 开发板,对以前编写的《Xilinx FPGA 应用开发》(清华大学出版社,2015 年)一书进行整理、改版,增减了相关案例,使其更加有代表性、先进性和实用性。

本书的编写基于一套开发环境:Basys2 开发板和 Basys3 开发板、ISE 集成开发环境和 Vivado 集成开发环境。

编著者长期从事硬件描述语言、数字系统设计以及 FPGA 应用开发等课程的教学工作。在教学过程中,不断地充实和完善讲义,提炼了 27 个典型的实战项目。

本书共分 4 个部分,以 27 个实战项目为主线,按照知识递进、难度递进的原则,根据实战项目的知识点来组织内容。

第 1 部分以 4 个实战项目为主线,介绍 FPGA 应用开发基础知识,包含第 1 章和第 2 章,涉及的知识点包括本书采用的硬件平台、ISE 集成开发环境、Vivado 集成开发环境以及 Verilog HDL 硬件描述语言。

第 2 部分以 10 个实战项目为主线,介绍 FPGA 在简单数字电路设计中的应用,包括第 3 章和第 4 章,涉及的知识点包括基本门电路、比较器、数据选择器、编码器、译码器、ALU、D 触发器、寄存器、计数器、分频器以及秒表计数器等电路。

第 3 部分以 12 个实战项目为主线,介绍 FPGA 与外设接口的应用设计,包括第 5 章和第 6 章,涉及的知识点包括拨码开关、LED 灯、按键、数码管、液晶和 VGA。

第 4 部分以 1 个实战项目为主线,介绍一款 CPU 的设计,包括第 7 章,涉及的知识点有处理器设计的核心元素,包括指令集、数据路径、控制器,以及处理器的验证技术(包括仿真验证和 FPGA 验证)。

书中的内容全部符合 IEEE 1364—2001 标准。

本书的特色是:①以实战项目为主线编排教学内容;②实战项目大多来源于实践,方便开展实践教学;③实战项目设计遵从自顶向下的理念,便于读者理解和掌握;④实战项目大多配套了项目描述视频,可直观感受目标效果,扫描实战项目处的二维码文件即可观看。

根据教学计划,本书对 56~108 学时的课程都是适用的,建议授课 28 学时左右,其余时间作为实践教学环节。书中章节的次序和内容可依各专业要求酌情调整。

本书主要面向高等院校应用型本科、专科电子类专业 EDA 技术和 FPGA 应用开发等课程,推荐作为授课教材或主要参考书。

本书的出版得到了广东省高等教育品牌专业建设项目(2016gzpp126)、广东省教育教学成果奖培育项目(JXCG201518)、全国高等院校电子信息类课程教学资源建设项目(GXH2015-22)、校级精品资源共享课程建设项目(10600-15-010201-0245)和校级教材建设项目“FPGA 应用开发”的资助。

本书由贺敬凯编著,陈庶平参加了部分章节的排版与校对工作。本书在编写过程中引用了许多学者的著作和论文中的研究成果,也得到了依元素科技公司、Digilent 公司的帮助,在此一并表示感谢!

由于编著者水平有限,书中不足之处在所难免,请广大读者批评、指正,并且可与编著者联系,QQ: 2372775147。

本书提供 PPT 课件和源代码,有需要的读者可向出版社索取。

编著者

2017 年 6 月

第 1 章 硬件平台及集成开发环境	1
实战项目 1 键控 LED 灯亮灭	1
1.1 FPGA 工作原理及芯片	1
1.1.1 FPGA 工作原理	1
1.1.2 Xilinx FPGA 芯片	3
1.2 硬件开发平台	6
1.2.1 开发板常用接口电路	7
1.2.2 VGA 接口电路	8
1.2.3 时钟电路	9
1.2.4 FPGA 配置电路	9
1.2.5 开发板引脚定义	10
1.3 集成开发环境	12
1.3.1 基于 ISE 的开发流程	12
1.3.2 基于 Vivado 的开发流程	26
1.4 小结	36
1.5 习题	36
第 2 章 HDL 语言基础	38
实战项目 2 设计 1 位全加器	38
2.1 Verilog HDL 基本程序结构	38
实战项目 3 设计 3 位移位寄存器	39
2.2 Verilog HDL 语言的数据类型和运算符	39
2.2.1 标识符	39
2.2.2 数据类型	40
2.2.3 常量	41
2.2.4 运算符和表达式	43
实战项目 4 设计三人表决电路	50
2.3 Verilog HDL 语言的建模形式	51

2.3.1	结构描述形式	51
2.3.2	数据流描述形式	52
2.3.3	行为描述形式	52
2.4	Verilog 代码书写规范	64
2.5	小结	65
2.6	习题	66
第3章	组合逻辑电路设计与应用	67
实战项目 5	设计基本门电路	67
3.1	基本门电路	67
3.1.1	基本门电路设计	67
3.1.2	约束文件	68
3.1.3	使用 ISim 进行功能仿真	73
实战项目 6	设计比较器电路	78
3.2	比较器电路	78
3.2.1	比较器设计	78
3.2.2	使用 FPGA Editor 查看细节	79
实战项目 7	设计多路选择器电路	82
3.3	多路选择器	83
3.3.1	多路选择器设计	83
3.3.2	使用 PlanAhead 规划引脚	83
实战项目 8	设计编码器和译码器电路	86
3.4	编码器和译码器	87
3.4.1	编码器设计	87
3.4.2	译码器设计	88
实战项目 9	设计 ALU 电路	89
3.5	算术逻辑单元 ALU	90
3.5.1	ALU 设计	90
3.5.2	使用 Design Summary 工具	91
3.6	小结	91
3.7	习题	92
第4章	时序逻辑电路设计与应用	95
实战项目 10	设计触发器电路	95
4.1	触发器	95
4.1.1	D 触发器设计	95
4.1.2	FPGA 内部结构	97
实战项目 11	设计寄存器电路	101
4.2	寄存器和移位寄存器	102

4.2.1 寄存器设计	102
4.2.2 移位寄存器设计	102
实战项目 12 设计计数器电路	104
4.3 计数器	105
4.3.1 十六进制计数器设计	105
4.3.2 十进制计数器设计	106
实战项目 13 设计分频器电路	107
4.4 分频器	108
4.4.1 偶数分频	108
4.4.2 奇数分频	109
4.4.3 2^n 分频	111
实战项目 14 设计秒表电路	113
4.5 综合项目: 秒计数器	113
4.5.1 秒计数器设计	113
4.5.2 ISE schematic viewer 工具的使用	115
4.5.3 层次建模模块调用规范	116
4.6 小结	116
4.7 习题	117
第 5 章 一般简单接口电路设计与应用	120
实战项目 15 控制 LED 灯亮灭	120
5.1 LED 显示电路设计与应用	120
5.1.1 LED 闪烁	120
5.1.2 LED 流水灯	121
5.1.3 状态机编码	122
实战项目 16 控制数码管显示信息	124
5.2 数码管显示电路设计与应用	125
5.2.1 单数码管显示原理	125
5.2.2 多数码管显示原理	126
5.2.3 数码管显示 IP 核	127
5.2.4 数码管显示应用实例 1: 显示静态数据	129
5.2.5 数码管显示应用实例 2: 滚动显示信息	130
5.2.6 把自己的模块封装成 IP 核	132
实战项目 17 键控显示信息	134
5.3 按键电路设计与应用	135
5.3.1 按键状态检测	135
5.3.2 按键消抖基本原理	137
5.3.3 按键应用 1: 按键控制闪烁频率	141
5.3.4 按键应用 2: 按键次数显示电路	143

实战项目 18 控制 VGA 显示彩条和信息	146
5.4 VGA 显示电路设计与应用	147
5.4.1 VGA 显示原理	147
5.4.2 VGA 显示 IP 核	151
5.4.3 VGA 应用 1: 显示四色条纹	152
5.4.4 VGA 应用 2: 显示信息	155
实战项目 19 键控流水灯	158
5.5 综合项目: 键控流水灯	159
5.6 小结	161
5.7 习题	162
第 6 章 综合项目应用	165
实战项目 20 设计反应测量仪	165
6.1 反应测量仪	165
实战项目 21 设计序列检测器	169
6.2 序列检测器	169
6.2.1 脉冲产生电路设计与应用	169
6.2.2 Mealy 状态机和 Moore 状态机	172
6.2.3 “110”序列检测器设计	173
实战项目 22 设计密码锁	175
6.3 密码锁	176
实战项目 23 设计交通灯控制器	179
6.4 交通灯控制器	179
实战项目 24 设计数字钟	183
6.5 数字钟设计	183
实战项目 25 设计频率计	191
6.6 频率计设计	192
实战项目 26 设计信号发生器	195
6.7 信号发生器设计	196
6.7.1 正弦波信号发生器设计	196
6.7.2 内嵌逻辑分析仪 ChipScope 的使用	198
6.8 小结	203
6.9 习题	204
第 7 章 简易 CPU 设计	207
实战项目 27 设计简易处理器	207
7.1 简易处理器的系统架构设计	208
7.1.1 简易处理器的组成结构	208
7.1.2 简易处理器的功能	208

7.1.3 指令系统的设计	209
7.2 简易处理器的设计实现	211
7.2.1 顶层系统设计	211
7.2.2 基本部件设计	217
7.3 简易处理器的验证	228
7.3.1 仿真验证	228
7.3.2 FPGA 验证	231
7.4 小结	234
7.5 习题	235
参考文献	236

硬件平台及集成开发环境

本章首先介绍 FPGA 工作原理和 Xilinx FPGA 芯片,然后介绍本书所用的硬件平台,重点介绍硬件平台的硬件接口:按键、拨码开关、LED 灯、数码管、VGA 等,最后介绍 ISE 和 Vivado 集成开发环境,以及基于 ISE 和 Vivado 的数字设计流程。

学习本章,主要目标有 2 个:①通过 FPGA 软件开发流程,为后续应用项目的开发设计打下坚实的基础;②通过学习硬件平台的原理图,为后续项目的开发设计提供参考依据。

实战项目 1 键控 LED 灯亮灭

【项目描述】 通过一个拨码开关控制一个 LED 灯的亮灭。

要求拨码开关的两种状态与 LED 灯的两种状态一一对应。

【知识点】 本项目需要学习以下知识点。

(1) FPGA 的工作原理。

(2) FPGA 硬件开发平台以及一些常用接口的电路原理图。

(3) ISE 集成开发环境以及基于 ISE 的数字设计流程,包括设计输入编辑、分析与综合、适配以及编程下载几个步骤。

(4) Vivado 集成开发环境以及基于 Vivado 的数字设计流程,包括设计输入编辑、分析与综合、实现以及编程下载几个步骤。



实战项目 1. mp4

(2.33MB)

1.1 FPGA 工作原理及芯片

1.1.1 FPGA 工作原理

FPGA(Field-Programmable Gate Array)即现场可编程门阵列,它是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路(ASIC)领域中的一种半定制电路出现的,既解决了定制电路的不足,又克服了原有可编程器件门电路数量有限的缺点。

以硬件描述语言(Verilog 或 VHDL)完成的电路设计,可以经过简单地综合与布局,

快速地烧录到 FPGA 上进行测试,是现代 IC 设计验证的技术主流。这些可编辑元件可以用来实现一些基本的逻辑门电路(如 AND、OR、NOT)或者更复杂的组合功能(如解码器或数学方程式)。在大多数 FPGA 里面,这些可编辑的元件里还包含记忆元件(如触发器、存储块)。

系统设计师可以根据需要,通过可编辑的连接把 FPGA 内部的逻辑块连接起来,就好像一块电路试验板被放在一个芯片里。一个出厂后的成品 FPGA 的逻辑块和连接可以按照设计者的意愿而改变,所以 FPGA 可以完成所需要的逻辑功能。

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的,因此,工作时需要对片内 RAM 编程。用户可以根据不同的配置模式,采用不同的编程方式。加电时,FPGA 芯片将 PC 或 EPROM 中的数据读入片内编程 RAM;配置完成后,FPGA 进入工作状态。掉电后,FPGA 恢复成白片,内部逻辑关系消失。因此,FPGA 能够反复使用。对于同一片 FPGA,针对不同的编程数据,可以产生不同的电路功能。因此,FPGA 的使用非常灵活。

FPGA 内部有丰富的触发器和 I/O 引脚,可以使用 FPGA 做其他全定制或半定制 ASIC 电路的中试样片,也可以采用 FPGA 设计 ASIC 电路(专用集成电路),用户不需要投片生产,就能得到合用的芯片。一般来说,FPGA 比 ASIC 的速度要慢,实现同样的功能比 ASIC 电路面积要大,但是它们有很多优点,比如可以快速成品,可以被修改来改正程序中的错误和获得更便宜的造价。

FPGA 的开发相对于传统 PC、单片机的开发有很大不同。FPGA 以并行运算为主,以硬件描述语言来实现;而 PC 或单片机(无论是冯·诺依曼结构,还是哈佛结构)以顺序操作为主。FPGA 开发和单片机开发的步骤相似,都涉及顶层设计、模块分层、逻辑实现、软硬件调试等几个方面。

由于 FPGA 需要被反复烧写,它实现组合逻辑的基本结构不可能像 ASIC 那样通过固定的与非门来完成,只能采用一种易于反复配置的结构。查找表可以很好地满足这一要求。目前的主流 FPGA 都采用基于 SRAM 工艺的查找表结构,也有一些军品和宇航级 FPGA 采用 Flash 或者熔丝与反熔丝工艺的查找表结构。通过烧写文件改变查找表内容的方法,可实现对 FPGA 的重复配置。

由数字电路的基本知识可知,对于一个 n 输入的逻辑运算,不管是与或非运算,还是异或运算,最多只可能有 2^n 种结果。所以,如果事先将相应的结果存放在一个存储单元中,就相当于实现了与非门电路的功能。FPGA 的原理也是如此,它通过烧写文件去配置查找表的内容,从而在相同的电路情况下实现了不同的逻辑功能。

查找表(Look Up Table)简称 LUT,其本质就是一个 RAM。目前 FPGA 中多使用 4 输入 LUT,所以每一个 LUT 可以看成是一个有 4 位地址线的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后,FPGA 开发软件会自动计算逻辑电路的所有可能结果,并把真值表(即结果)事先写入 RAM。这样,每输入一个信号进行逻辑运算,就等于输入一个地址进行查表,找出地址对应的内容,然后输出即可。

下面给出一个 4 与门电路的例子来说明 LUT 实现逻辑功能的原理。

【例 1-1】 使用 LUT 实现 4 输入与门电路的真值表(见表 1-1)。

表 1-1 4 输入与门电路的真值表

实际逻辑电路		LUT 的实现方式	
a, b, c, d 输入	逻辑输出	RAM 地址	RAM 中存储的内容
0 0 0 0	0	0 0 0 0	0
0 0 0 1	0	0 0 0 1	0
$\vdots$	$\vdots$	$\vdots$	$\vdots$
1 1 1 1	1	1 1 1 1	1

从表 1-1 可以看到, LUT 具有和逻辑电路相同的功能。实际上, LUT 具有更快的执行速度和更大的规模。

由于基于 LUT 的 FPGA 具有很高的集成度, 其器件密度从数万门到数千万门不等, 可以完成极其复杂的时序逻辑与组合逻辑电路功能, 所以适用于高速、高密度的高端数字逻辑电路设计领域; 其组成部分主要有可编程输入/输出单元、基本可编程逻辑单元、内嵌 RAM、丰富的布线资源、底层嵌入功能单元、内嵌专用单元等; 主要设计和生产厂家有 Xilinx、Altera、Lattice、Actel 和 Atmel 等公司, 最大的是 Xilinx、Altera 两家。

1.1.2 Xilinx FPGA 芯片

Xilinx 的主流 FPGA 分为两大类: 一类侧重低成本应用, 容量中等, 性能可以满足一般的逻辑设计要求, 如 Spartan 系列; 另一类侧重于高性能应用, 容量大, 性能能满足各类高端应用, 如 Virtex 系列。用户可以根据实际应用要求进行选择, 在性能可以满足的情况下, 优先选择低成本器件。

2012 年赛灵思公司(Xilinx)全面推广最新一代的 7 系列 FPGA 芯片, 包括 3 个子系列, 即 Artix-7、Kintex-7 和 Virtex-7。

本书所用的开发平台 Basys2 采用的 FPGA 是 Spartan3E-100 CP132, 属于 Spartan3E 系列。本书所用的另一个开发平台 Basys3 采用的 FPGA 是 XC7A35T-1CPG236C, 属于 Artix-7 系列。下面将简单介绍。

(1) Spartan 系列

Spartan 系列适用于普通的工业、商业等领域, 目前主流的芯片包括 Spartan-3、Spartan-3A、Spartan-3E 以及 Spartan-6 等种类。其中, Spartan-3 最高可达 500 万门; Spartan-3A 和 Spartan-3E 不仅系统门数更大, 还增强了大量的内嵌专用乘法器和专用块 RAM 资源, 具备实现复杂数字信号处理和片上可编程系统的能力。

Spartan-3 基于 Virtex-II FPGA 架构, 采用 90 技术, 8 层金属工艺, 系统门数超过 500 万, 内嵌了硬核乘法器和数字时钟管理模块。从结构上看, Spartan-3 将逻辑、存储器、数学运算、数字处理器、I/O 以及系统管理资源完美地结合在一起, 使之有更高层

次、更广泛的应用,获得了商业上的成功,占据了较大份额的中低端市场。其主要特性如下所述。

- ① 采用 90 工艺,密度高达 74880 逻辑单元。
- ② 最高系统时钟为 340MHz。
- ③ 具有专用的乘法器。
- ④ 核电压为 1.2V,端口电压为 3.3V、2.5V、1.2V,支持 24 种 I/O 标准。
- ⑤ 高达 520Kb 分布式 RAM 和 1872Kb 的块 RAM。
- ⑥ 具有片上时钟管理模块(DCM)。
- ⑦ 具有嵌入式 Xtrema DSP 功能,每秒可执行 3300 亿次乘加。

Spartan-3E 具有系统门数从 10 万到 160 万的多款芯片,是在 Spartan-3 成功的基础上的改进产品,提供了比 Spartan-3 更多的 I/O 端口和更低的单位成本,是 Xilinx 公司性价比比较高的 FPGA 芯片。由于更好地利用了 90 纳米工艺,在其单位成本上实现了更多的功能和处理带宽,是 Xilinx 公司新的低成本产品代表,是 ASIC 的有效替代品,主要面向消费电子应用,如宽带无线接入、家庭网络接入以及数字电视设备等。其主要特点如下所述。

- ① 采用 90 纳米工艺。
- ② 大量用户 I/O 端口,最多可支持 376 个 I/O 端口或者 156 对差分端口。
- ③ 端口电压为 3.3V、2.5V、1.8V、1.5V、1.2V。
- ④ 单端端口的传输速率可以达到 622Mb/s,支持 DDR 接口。
- ⑤ 最多可达 36 个专用乘法器、648 块 RAM、231 块分布式 RAM。
- ⑥ 宽的时钟频率以及多个专用片上数字时钟管理(DCM)模块。

Spartan-3E 系列 FPGA 的主要技术特征如表 1-2 所示。

表 1-2 Spartan-3E 系列 FPGA 的主要技术特征

型 号	系统 门数	SLICE 数目	分布式 RAM 容量/Kb	块 RAM 容量/Kb	专用乘 法器数	DCM 数目	最大可用 I/O 数	最大差分 I/O 对数
XC3S100E	100k	960	15	72	4	2	108	40
XC3S250E	250k	2448	38	216	12	4	172	68
XC3S500E	500k	4656	73	360	20	4	232	92
XC3S1200E	1200k	8672	136	504	28	8	304	124
XC3S1600E	1500k	14752	231	648	36	8	376	156

(2) 7 系列 FPGA

7 系列 FPGA 是 Xilinx 开发的新一代产品,包括 Virtex-7、Kintex-7 和 Artix-7。其中,Virtex-7 FPGA 面向高性能应用;Kintex-7 FPGA 面向以性价比衡量的应用,如 ASIC 应用;Artix-7 FPGA 面向大批量、成本敏感型便携式应用。

这 3 个子系列的异同点以及与前一代产品的比较,如表 1-3 所示。

表 1-3 全新 Xilinx FPGA 7 系列子系列比较

比较	Artix-7	Kintex-7	Virtex-7
不同点	业界最低功耗和成本	业界最佳性价比	业界最高系统性能和容量
	与 Spartan-6 系列相比: ➤ 性能提高 30% ➤ 成本降低 35% ➤ 功耗降低 50% ➤ 占用面积缩减 50%	与 Virtex-6 系列相比: ➤ 性能相当 ➤ 成本降低 50% ➤ 功耗降低 50%	与 Virtex-6 系列相比: ➤ 容量扩大 2.5 倍 ➤ 多达 200 万个逻辑单元 ➤ 串行带宽达 1.9Tb/s ➤ 线速高达 28Gb/s
相同点	3 个子系列基于统一的 Virtex 架构设计		

所有 7 系列 FPGA 采用统一的架构,使客户在功能方面收放自如,既能降低成本和功耗,也能提高性能和容量,从而降低低成本和高性能系列产品的开发投资。该架构建立在 Virtex-6 系列架构基础之上,旨在简化当前 Virtex-6 和 Spartan-6 设计方案的重用。用户可以先用 Virtex-6 和 Spartan-6 进行设计,在时机成熟时,将设计方案移植到 7 系列 FPGA,进一步实现节能或提高系统性能和容量。表 1-4 所示是 Xilinx 的 FPGA 系列芯片的性能对比。

表 1-4 Xilinx 的 FPGA 系列芯片的性能对比

特 性	Artix-7	Kintex-7	Virtex-7	Spartan-6	Virtex-6
逻辑单元	352000	480000	2000000	150000	760000
BlockRAM/Mb	19	34	85	4.8	38
DSP Slice	1040	1920	5280	180	2016
DSP 性能(对称 FIR)	1129 GMACS	2450 GMACS	6737 GMACS	140 GMACS	2419 GMACS
收发器数量	16	32	96	5	72
收发器速度/(Gb/s)	6.6	12.5	28.05	3.125	11.18
总收发器带宽(全双工)/(Gb/s)	211	800	2784	50	536
存储器接口(DDR3)/(Mb/s)	1066	1866	1866	800	1066
灵活混合信号(AMS)/XADC	有	有	有	无	有
配置 AES	有	有	有	有	有
最大 I/O 引脚数	600	500	1200	576	1200
I/O 电压/V	1.2、1.35、1.5、1.8、2.5、3.3	1.2、1.35、1.5、1.8、2.5、3.3	1.2、1.35、1.5、1.8、2.5、3.3	1.2、1.5、1.8、2.5、3.3	1.2、1.5、1.8、2.5