

国外电子与通信教材系列

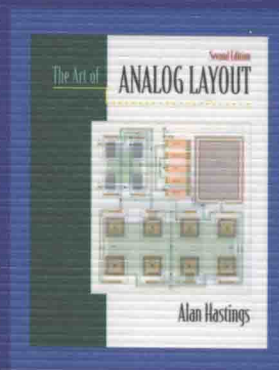
Pearson

The Art of Analog Layout, Second Edition

模拟电路版图的艺术 (第二版)

[美] Alan Hastings 著

张为 等译



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

国外电子与通信教材系列

模拟电路版图的艺术

(第二版)

The Art of Analog Layout

Second Edition

[美] Alan Hastings 著

张为等译



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书作者 Alan Hastings 具有渊博的集成电路版图设计知识和丰富的实践经验。本书以实用和权威性的观点全面论述了模拟集成电路版图设计中所涉及的各种问题及目前的研究成果。书中介绍了半导体器件物理与工艺、失效机理等内容；基于模拟集成电路设计所采用的三种基本工艺：标准双极工艺、多晶硅栅 CMOS 工艺和模拟 BiCMOS 工艺；重点探讨了无源器件的设计与匹配性问题，二极管设计，双极型晶体管和场效应晶体管的设计与应用，以及某些专门领域的内容，包括器件合并、保护环、焊盘制作、单层连接、ESD 结构等。最后介绍了有关芯片版图的布局布线知识。

本书可作为电子科学与技术、微电子、固体电子等相关专业高年级本科生和研究生教材，对于专业版图设计人员是一本很有价值的参考书，对于模拟电路设计者更好地理解电路与版图之间的关系也有很好的参考价值。

Authorized translation from the English language edition, entitled THE ART OF ANALOG LAYOUT, Second Edition, ISBN: 9780131464100 by ALAN HASTINGS, published by Pearson Education, Inc., publishing as Prentice Hall, Copyright © 2006 Pearson Education, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

CHINESE SIMPLIFIED language edition published by PEARSON EDUCATION ASIA LTD., and PUBLISHING HOUSE OF ELECTRONICS INDUSTRY, Copyright © 2018.

本书中文简体字版专有出版权由 Pearson Education(培生教育出版集团)授予电子工业出版社，未经出版者预先书面许可，不得以任何方式复制或抄袭本书的任何部分。

本书贴有 Pearson Education(培生教育出版集团)激光防伪标签，无标签者不得销售。

版权贸易合同登记号 图字：01-2006-5237

图书在版编目(CIP)数据

模拟电路版图的艺术/(美)艾伦·黑斯廷斯(Alan Hastings)著；张为等译。—2版。

北京：电子工业出版社，2018.8

书名原文：The Art of Analog Layout, Second Edition

国外电子与通信教材系列

ISBN 978-7-121-34739-9

I. ①模… II. ①艾… ②张… III. ①模拟电路—电路设计—高等学校—教材 IV. ①TN710.02

中国版本图书馆 CIP 数据核字(2018)第 157899 号

策划编辑：杨 博

责任编辑：杨 博

印 刷：北京京师印务有限公司

装 订：北京京师印务有限公司

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1092 1/16 印张：34.5 字数：883 千字

版 次：2018 年 8 月第 1 版(原著第 2 版)

印 次：2018 年 8 月第 1 次印刷

定 价：119.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010)88254888，88258888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式：yangbo2@phei.com.cn。

译者序

集成电路已进入深亚微米和 SoC 时代。作为设计与制造的纽带，版图的地位至关重要。在各类集成电路中，模拟集成电路由于对器件特性的依赖性更强，所以其性能更大程度地受到版图因素的影响。正如作者所述，模拟版图设计更像是从事艺术创作而不仅是研究一门科学。

本书是模拟集成电路版图设计领域的一部力作，自第一版正式出版以来一直受到广大读者的普遍欢迎，这也是促成第二版和中译本出现的主要原因。作者 Alan Hastings 是业界权威，在版图设计领域享有崇高的声望。本书结构合理、内容丰富、特色鲜明，读者无须掌握过多的器件物理和半导体工艺知识即可对模拟集成电路版图设计的理论和方法有完整而深刻的认识。书中大量的实例和习题有助于动手和实践能力的培养。

进入 21 世纪以后，中国集成电路产业如雨后春笋般迅猛发展，集成电路各个环节的人才炙手可热。引进这样一部权威著作，无疑会对国内培养更多高水平模拟集成电路版图设计人才起到促进作用。原书作者也对第二版中译本的出现表示出极大关注。

本书由张为组织翻译，其中闫珍珍负责第 1 章和第 2 章的翻译工作；郝瑜霞负责第 3 章和第 4 章的翻译工作；吕波负责第 5 章的翻译工作；菅端端负责第 6 章的翻译工作；杨宇负责第 7 章的翻译工作；周永奇负责第 8 章和第 9 章的翻译工作；卜尔龙负责第 10 章和附录的翻译工作；冯煜晶负责第 11 章和第 12 章的翻译工作；李建恒负责第 13 章的翻译工作；任彤负责第 14 章的翻译工作。张为对全书内容进行了审校。此外，本书的翻译得到了天津大学电子信息工程学院领导、教师以及电子工业出版社外版教材事业部的大力支持与帮助。在此，对所有为这本书的出版提供了帮助的人们表示诚挚的感谢！

需要指出的是，有关集成电路版图和工艺的词汇及其译法尚无统一标准，特别是有关版图设计规则的内容，建议读者首先阅读附录 C，利用图例帮助理解，然后再开始正文的学习。由于译审者水平有限，译文中难免有不妥乃至错误之处，敬请读者不吝指正。

第二版前言

我最初撰写《模拟电路版图的艺术》一书的文稿时是用于一系列讲座的。很多人鼓励我将其出版。刚开始我有点犹豫，因为我认为读者非常有限。出版之后证明了我的担心是多余的。令我惊讶的是，《模拟电路版图的艺术》居然被翻译成了中文！

过去的几年时间提醒我第一版存在的局限性，并且促成了这次全面的修订。本书的每一章都经过了检查和校正，并且还加入了很多新内容和约 50 个新的图例。第二版介绍的新内容包括：

- 先进金属化系统
- 介质隔离
- MOS 晶体管的失效机制
- 集成电感
- MOS 安全工作区
- 非易失性存储器

在准备本书第二版期间，我从德州仪器的同事身上汲取了大量的经验和智慧。同时我还不断参阅 IEEE Xplore 网站的可用资源，尤其是 *IEEE Journal of Electron Devices* 上的文献。我要向所有帮助我理解或纠正了我很多错误的人们表示感谢。如此长时间、大强度的工作虽然无法使每件事都做到完美，但是第二版确实比第一版有了很大的进步。

Alan Hastings

印 刷：北京印刷工业出版社

发 行：北京印刷工业出版社

出版发行：电子工业出版社

北京海淀区中关村南路 173 号邮编：100080

开 本：787×1092 1/16 印张：34.5 字数：853 千字

版 次：2018 年 3 月第 1 次（原书第 2 版）

印 次：2018 年 3 月第 1 次印刷

定 价：119.00 元

凡购电子工业出版社图书有质量问题，请向购买书店咨询，并予以调换。如有本馆发行质量问题，请联系印刷电话：010-88254202、38718185。

质量投诉请发邮件至 zhong@phei.com.cn，盗版侵权举报请发邮件至 [本书各章联系方式：\[yangb23@phei.com.cn\]\(mailto:yangb23@phei.com.cn\)。](mailto:etjqq@phei.com.cn。</p></div>
<div data-bbox=)

第一版前言

集成电路只有在高倍放大下才会展露其真实面目。无论是覆盖在表面的错综复杂的微细连线，还是其下方同样复杂的掺杂硅结构，所有这些都是依据一套称为版图的设计图制作而成的。模拟和混合信号集成电路版图设计难以自动实现。每个多边形的形状及位置都要求对器件物理原理、半导体制造和电路理论有深入的理解。尽管已有 30 年的研究，然而很多内容仍不确定。有些信息隐藏在晦涩的期刊文献以及未发表的手稿当中。本书以专题的形式将这些信息进行了汇总，主要目的是提供给从事版图设计的人员使用，对于希望更好地理解电路与版图关系的电路设计者也很有价值。

本书针对的是广泛的读者群，其中一些人对高等数学和固体物理仅有有限的了解。书中的数学内容很少，而将重点放在区分所有变量以及采用最容易理解的单位上。读者只需掌握基础代数和初步的电子学知识即可。书中许多习题以读者可以使用版图编辑软件为前提，但是不具备这些资源的读者仍然可以借助纸和笔完成大量的习题。

全书总共包括 14 章和 5 个附录。前两章概述了器件物理和半导体工艺。这两章中没有数学推导，而是将重点放在简单的口语化解释及可视模型上。第 3 章介绍了 3 种基本工艺：标准双极工艺、硅栅 CMOS 工艺以及模拟 BiCMOS 工艺。讲述的重点是剖面图以及剖面图与实例器件传统版图视图的对应关系。第 4 章涵盖的内容是常见失效机制，重点是版图在确定可靠性中的作用。第 5 章和第 6 章介绍了电阻和电容的版图。第 7 章以电阻和电容为例介绍了匹配原则。第 8 章至第 10 章介绍了双极型器件的版图，而第 11 章和第 12 章介绍的是场效应晶体管的版图和匹配。第 13 章和第 14 章阐述了多个前沿问题，包括器件合并、保护环、ESD 保护结构以及布局规划。附录中包括缩写词汇表、有关米勒指数的讨论、用于完成习题的版图规则范例以及书中所用公式的推导等内容。

Alan Hastings

致谢

本书包含的信息是通过许多学者、工程师及技术人员的辛苦工作搜集而得的，但其中肯定还会由于许多人士的工作内容尚未发表，所以未能向他们表示感谢。我尽其所能参考了大量的基本发现和原理，但是在很多情况下却无法确定它们的出处。

我要向提供大量建议的 TI 同事表示感谢。尤其要感谢 Ken Bell, Walter Bucksch, Taylor Efland, Lou Hutter, Clif Jones, Alec Morton, Jeff Smith, Fred Trafton 和 Joe Trogolo, 他们为本书提供了非常重要的信息。同时还要感谢 Bob Borden, Nicolas Salamina 和 Ming Chiang 对我的鼓励，否则本书根本无法完成。

目 录

第1章 器件物理	1	2.4.1 扩散	42
1.1 半导体	1	2.4.2 扩散的其他效应	43
1.1.1 产生与复合	3	2.4.3 离子注入	45
1.1.2 非本征(杂质)半导体	5	2.5 硅淀积和刻蚀	46
1.1.3 扩散和漂移	7	2.5.1 外延	47
1.2 PN结	9	2.5.2 多晶硅淀积	48
1.2.1 耗尽区	9	2.5.3 介质隔离	49
1.2.2 PN结二极管	11	2.6 金属化	51
1.2.3 肖特基二极管	13	2.6.1 铝淀积及去除	52
1.2.4 齐纳二极管	14	2.6.2 难熔阻挡金属	53
1.2.5 欧姆接触	15	2.6.3 硅化	55
1.3 双极型晶体管	16	2.6.4 夹层氧化物、夹层氮化物和 保护层	56
1.3.1 Beta	18	2.6.5 铜金属化	58
1.3.2 I-V特性	19	2.7 组装	60
1.4 MOS晶体管	20	2.7.1 安装与键合	61
1.4.1 阈值电压	22	2.7.2 封装	63
1.4.2 I-V特性	23	2.8 小结	64
1.5 JFET晶体管	25	2.9 习题	64
1.6 小结	27	第3章 典型工艺	66
1.7 习题	28	3.1 标准双极工艺	66
第2章 半导体制造	30	3.1.1 本征特性	66
2.1 硅制造	30	3.1.2 制造顺序	67
2.1.1 晶体生长	30	3.1.3 可用器件	71
2.1.2 晶圆制造	31	3.1.4 工艺扩展	77
2.1.3 硅的晶体结构	32	3.2 多晶硅栅 CMOS工艺	80
2.2 光刻技术	33	3.2.1 本质特征	81
2.2.1 光刻胶	33	3.2.2 制造顺序	81
2.2.2 光掩模和掩模版	34	3.2.3 可用器件	87
2.2.3 光刻	35	3.2.4 工艺扩展	92
2.3 氧化物生长和去除	35	3.3 模拟 BiCMOS	96
2.3.1 氧化物生长和淀积	35	3.3.1 本质特征	96
2.3.2 氧化物去除	37	3.3.2 制造顺序	97
2.3.3 氧化物生长和去除的其他 效应	38	3.3.3 可用器件	102
2.3.4 硅的局部氧化(LOCOS)	40	3.3.4 工艺扩展	106
2.4 扩散和离子注入	41	3.4 小结	110

3.5	习题	110	5.5.8	NSD 和 PSD 电阻	179
第 4 章	失效机制	113	5.5.9	N 阱电阻	180
4.1	电过应力	113	5.5.10	薄膜电阻	181
4.1.1	静电漏放 (ESD)	113	5.6	调整电阻阻值	182
4.1.2	电迁徙	115	5.6.1	调节电阻 (Tweaking Resistor)	182
4.1.3	介质击穿	117	5.6.2	微调电阻	184
4.1.4	天线效应	119	5.7	小结	191
4.2	玷污	121	5.8	习题	191
4.2.1	干法腐蚀	122	第 6 章	电容和电感	193
4.2.2	可动离子玷污	123	6.1	电容	193
4.3	表面效应	125	6.1.1	电容的变化	198
4.3.1	热载流子注入	125	6.1.2	电容的寄生效应	201
4.3.2	齐纳蠕变	128	6.1.3	电容比较	202
4.3.3	雪崩诱发 β 衰减	130	6.2	电感	210
4.3.4	负偏置温度不稳定性	131	6.2.1	电感寄生效应	212
4.3.5	寄生沟道和电荷分散	132	6.2.2	电感的制作	214
4.4	寄生效应	139	6.3	小结	215
4.4.1	衬底去偏置	140	6.4	习题	216
4.4.2	少子注入	143	第 7 章	电阻和电容的匹配	218
4.4.3	衬底效应	153	7.1	失配的测量	218
4.5	小结	154	7.2	失配的原因	220
4.6	习题	155	7.2.1	随机变化	220
第 5 章	电阻	157	7.2.2	工艺偏差	223
5.1	电阻率和方块电阻 (薄层电阻)	157	7.2.3	互连寄生	224
5.2	电阻版图	159	7.2.4	版图移位	225
5.3	电阻变化	162	7.2.5	刻蚀速率的变化	227
5.3.1	工艺变化	162	7.2.6	光刻效应	229
5.3.2	温度变化	163	7.2.7	扩散相互作用	230
5.3.3	非线性	164	7.2.8	氢化	231
5.3.4	接触电阻	166	7.2.9	机械应力和封装漂移	232
5.4	电阻的寄生效应	167	7.2.10	应力梯度	234
5.5	不同电阻类型的比较	170	7.2.11	温度梯度和热电效应	242
5.5.1	基区电阻	170	7.2.12	静电影响	246
5.5.2	发射区电阻	171	7.3	器件匹配规则	253
5.5.3	基区埋层电阻	172	7.3.1	电阻匹配规则	253
5.5.4	高值薄层电阻	172	7.3.2	电容匹配规则	256
5.5.5	外延埋层电阻	175	7.4	小结	259
5.5.6	金属电阻	176	7.5	习题	259
5.5.7	多晶硅电阻	177	第 8 章	双极型晶体管	262
			8.1	双极型晶体管的工作原理	262

8.1.1	β 值下降	263	9.2.5	应力梯度	336
8.1.2	雪崩击穿	264	9.2.6	填充物诱生应力	327
8.1.3	热击穿和二次击穿	265	9.2.7	系统失配的其他因素	339
8.1.4	NPN 晶体管的饱和状态	267	9.3	双极型晶体管匹配设计规则	340
8.1.5	寄生 PNP 管的饱和态	270	9.3.1	纵向晶体管匹配规则	340
8.1.6	双极晶体管的寄生效应	272	9.3.2	横向晶体管匹配规则	343
8.2	标准双极型小信号晶体管	274	9.4	小结	345
8.2.1	标准双极型 NPN 晶体管	274	9.5	习题	345
8.2.2	标准双极工艺衬底 PNP 晶体管	279	第 10 章	二极管	349
8.2.3	标准双极型横向 PNP 晶体管	282	10.1	标准双极工艺二极管	349
8.2.4	高电压双极型晶体管	289	10.1.1	二极管连接形式的晶体管	349
8.2.5	超 β (Super-Beta) NPN 晶体管	291	10.1.2	齐纳二极管	351
8.3	CMOS 和 BiCMOS 工艺小信号双极型晶体管	292	10.1.3	肖特基二极管	357
8.3.1	CMOS 工艺 PNP 晶体管	292	10.1.4	功率二极管	361
8.3.2	浅阱 (Shallow-Well) 晶体管	295	10.2	CMOS 和 BiCMOS 工艺二极管	363
8.3.3	模拟 BiCMOS 双极型晶体管	297	10.2.1	CMOS 结型二极管	363
8.3.4	高速双极型晶体管	299	10.2.2	CMOS 和 BiCMOS 肖特基二极管	364
8.3.5	多晶硅发射极晶体管	301	10.3	匹配二极管	365
8.3.6	氧化隔离 (Oxide-Isolated) 晶体管	302	10.3.1	匹配 PN 结二极管	365
8.3.7	锗硅晶体管	305	10.3.2	匹配齐纳二极管	367
8.4	小结	306	10.3.3	匹配肖特基二极管	368
8.5	习题	307	10.4	小结	368
第 9 章	双极型晶体管的应用	309	10.5	习题	368
9.1	功率双极型晶体管	309	第 11 章	场效应晶体管	370
9.1.1	NPN 功率晶体管的失效机理	310	11.1	MOS 晶体管的工作原理	371
9.1.2	功率 NPN 晶体管的版图	316	11.1.1	MOS 晶体管建模	371
9.1.3	PNP 功率晶体管	323	11.1.2	晶体管的寄生参数	376
9.1.4	饱和和检测与限制	324	11.2	构造 CMOS 晶体管	384
9.2	双极型晶体管匹配	327	11.2.1	绘制 MOS 晶体管版图	384
9.2.1	随机变化	328	11.2.2	N 阱和 P 阱工艺	386
9.2.2	发射区简并	330	11.2.3	沟道终止注入	389
9.2.3	NBL 阴影	331	11.2.4	阈值调整注入	390
9.2.4	热梯度	332	11.2.5	按比例缩小晶体管	392
			11.2.6	不同的结构	395
			11.2.7	背栅接触	399
			11.3	浮栅晶体管	402
			11.3.1	浮栅晶体管的工作原理	403

11.3.2	单层多晶硅 EEPROM 存储器	406	的保护环	472	
11.4	JFET 晶体管	408	13.3	单层互连	474
11.4.1	JFET 建模	408	13.3.1	预布版和棒图	474
11.4.2	JFET 的版图	409	13.3.2	交叉布线技术	476
11.5	小结	412	13.3.3	隧道的类型	477
11.6	习题	412	13.4	构建焊盘环	479
第 12 章	MOS 晶体管的应用	415	13.4.1	划片线与对准标记	479
12.1	扩展电压晶体管	415	13.4.2	焊盘、微调焊盘和测试焊盘	480
12.1.1	LDD 和 DDD 晶体管	416	13.5	ESD 结构	483
12.1.2	扩展漏区晶体管	419	13.5.1	齐纳箝位	484
12.1.3	多层栅氧化 (multiple gate oxide)	421	13.5.2	两级齐纳箝位	485
12.2	功率 MOS 晶体管	423	13.5.3	缓冲齐纳箝位	487
12.2.1	MOS 安全工作区	424	13.5.4	V_{CES} 箝位	488
12.2.2	常规 MOS 功率晶体管	428	13.5.5	V_{ECS} 箝位	489
12.2.3	DMOS 晶体管	435	13.5.6	反向并联二极管箝位	490
12.3	MOS 晶体管的匹配	440	13.5.7	栅接地 NMOS 箝位	490
12.3.1	几何效应	441	13.5.8	CDM 箝位	492
12.3.2	扩散和刻蚀效应	444	13.5.9	横向 SCR 箝位	493
12.3.3	氢化作用	447	13.5.10	选择 ESD 结构	494
12.3.4	热效应和应力效应	449	13.6	习题	496
12.3.5	MOS 晶体管的共质心布局	450	第 14 章	组装管芯	500
12.4	MOS 晶体管的匹配规则	454	14.1	规划管芯	500
12.5	小结	457	14.1.1	单元面积估算	500
12.6	习题	457	14.1.2	管芯面积估算	503
第 13 章	一些专题	460	14.1.3	总利润率	505
13.1	合并器件	460	14.2	布局	506
13.1.1	有缺陷的器件合并	461	14.3	顶层互连	511
13.1.2	成功的器件合并	464	14.3.1	通道布线原理	511
13.1.3	低风险合并	466	14.3.2	特殊布线技术	513
13.1.4	中度风险合并器件	467	14.3.3	电迁徙	517
13.1.5	设计新型合并器件	468	14.3.4	减小应力效应	519
13.1.6	模拟 BiCMOS 中合并器件的作用	469	14.4	小结	520
13.2	保护环	469	14.5	习题	520
13.2.1	标准双极电子保护环	470	附录 A	缩写词汇表	523
13.2.2	标准双极空穴保护环	471	附录 B	立方晶体的米勒指数	527
13.2.3	CMOS 和 BiCMOS 设计中		附录 C	版图规则实例	529

第1章 器件物理

在1960年以前,大多数电子电路采用真空电子管完成放大和整流中的关键任务。普通量产的调幅收音机需要5支电子管,而一台彩色电视机则至少需要20支。真空管体积大、易碎并且价格昂贵,它们散发出大量的热,而且可靠性低。因此,只要电子学依赖于真空管,那么建立由成千上万支有源器件组成的系统几乎是不可能的。

1947年双极型晶体管(BJT)的出现标志着固态革命的开始。这种新型器件体积小、价格便宜、坚固且性能可靠。固态电路使便携式晶体管收音机、助听器、石英表、按键式电话、CD播放机和个人电脑等产品的出现成为可能。

固态器件由表面掺入杂质的晶体形成。这些杂质改变了晶体的电性能,使它能够放大或调制电信号。为了理解其工作原理必须掌握有关器件物理的知识。本章不仅包括器件物理的基本知识,此外还介绍了3种最重要的固态器件的工作原理:结型二极管、双极型晶体管和场效应管(FET)。在第2章将介绍这些器件以及其他固态器件的制造工艺。

1.1 半导体

在元素周期表中,元素的排列按照性质的相似性组成行和列。元素周期表左边的元素被称为金属,而右边的元素被称为非金属。金属通常是热和电的良导体。同时,它们具有可延展性和金属光泽。非金属不易导热导电,固态非金属易碎且缺乏金属光泽。周期表中间的一些元素(如硅和锗)的电学特性介于金属和非金属之间,这些元素被称为半导体。金属、半导体和非金属之间的差别源于各自原子中的电子排布方式。

每个原子由带正电的原子核及原子核周围的电子云组成。电子云中的电子数目等于原子核中的质子数目,也等于该元素的原子序数。因此,由于碳的原子序数为6,所以一个碳原子有6个电子。这些电子占据了一系列的壳层,这些壳层与洋葱的层状结构很相似。随着电子的增加,壳层由里向外被填充。最外层或价层可以不完全填充。占据最外层的电子被称为价电子。元素所拥有的价电子数目决定了其大部分的化学和电学特性。

元素周期表的每行都对应于一个壳层的填充情况。最左边的一列元素只有一个价电子,而最右边的元素则是满价层结构。价层被填满的原子具有特别稳定的结构。价层未被填满的原子通过交换或共用电子形成满价层结构。由于静电引力,交换或共用电子的原子间会形成化学键。根据价层填充的方法将生成3种类型的键。

金属键形成于金属元素原子之间,如钠。我们考虑大量钠原子靠得很近的情况。每个原子都有一个价电子围绕内壳层旋转,假设钠原子失掉了价电子。由于此时每个原子的价层都是满的,所以失掉的电子仍被带正电的钠原子所吸引,但却不被束缚。图1.1(A)所示是简化的钠晶体结构。静电力使钠原子具有规则的晶格结构。失掉的价电子能够在晶体里自由移动。由于存在大量的自由电子,从而使得金属钠成为极好的电导体,这也是元素产生金属光泽和高热传

导率的原因。其他金属也具有类似的晶体结构,它们都是靠金属键将大量的自由价电子和严格位于晶格格点的带电原子核结合在一起形成的^①。

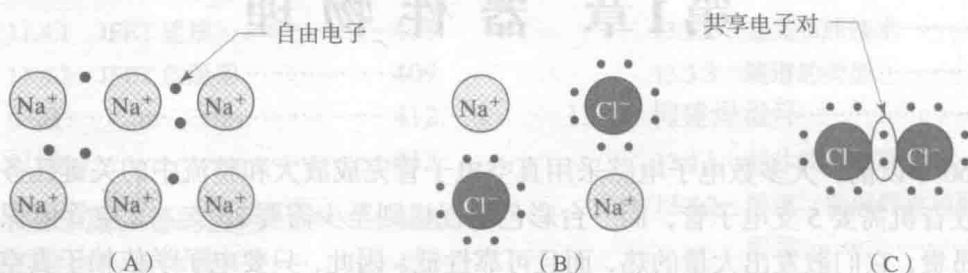


图 1.1 不同化学键简图: (A) 金属键形成的钠晶体; (B) 离子键形成氯化钠晶体; (C) 共价键结合的氯分子

离子键形成于金属原子和非金属原子之间。考虑钠原子和氯原子靠得很近的情况: 钠原子有一个价电子, 而氯原子恰好缺少一个电子从而不能形成满价层。钠原子可将一个电子给氯原子, 这样就意味着两个原子都能拥有填满的最外层。交换之后, 钠原子带正电, 氯原子带负电。这两个带电的原子 (或离子) 互相吸引。因而, 固态氯化钠由排布于规则晶格格点的氯离子和钠离子组成, 并形成晶体 [见图 1.1 (B)]。由于所有电子都被束缚在不同原子的壳层中, 因此晶体氯化钠是电的不良导体。

共价键存在于非金属原子之间。考虑两个靠得很近的氯原子。每个原子有 7 个价电子, 而充满价层需要 8 个电子。假设两个原子中每个原子都贡献一个价电子形成共用电子对。这样, 每个氯原子便获得了 8 个价电子: 自己的 6 个电子, 加上两个共用的电子。两个氯原子通过二者之间的共用电子对结合在一起形成分子 [见图 1.1 (C)]。共用电子对就形成了共价键。可以用缺少自由价电子来解释非金属不导电并且缺乏金属光泽的现象。因为电中性分子并不是强烈地互相吸引, 所以许多非金属在室温下通常为气体, 而不能浓缩为液体或者固体。

半导体原子之间也形成共价键。考虑一种典型的半导体 (硅原子) 的情况。每个原子有 4 个价电子, 还需要 4 个才能填满价层。理论上讲, 两个硅原子可以共享全部外层电子以获得满价层结构。但事实上这并不会发生, 因为若 8 个电子聚在一起就会强烈地相互排斥。实际上, 每个硅原子和周围的 4 个原子各形成一个共用电子对。这样, 价电子分散到 4 个不同的位置上, 相互之间的排斥就会达到最小。

图 1.2 显示了硅晶体的二维结构简图。每个小圆圈代表一个硅原子。在圆圈之间的直线代表了共用价电子对形成的共价键。每个硅原子有 8 个电子 (4 对共用电子对), 所以所有原子都是满价带结构。这些原子靠相互之间的共价键形成了分子网络。无数这样的晶格格点便代表了硅晶体的结构。整个晶体可看做是一个单分子, 因而晶体硅牢固坚硬, 并且有很高的熔点。由于所有的价电子都用于形成晶格结, 所以硅是一种不良导体。

理论上任何 IV 族元素都可形成同样的大分子晶体^②, 包括碳、硅、锗、锡和铅。碳以金刚石的形式出现时具有所有 IV 族元素中最强的键。金刚石正是以它的强度和硬度而闻名的。硅

① 一些金属用空穴而不是电子导电, 但本书中的结论仍然适用。

② 在元素周期表中, III, IV, V 和 VI 族元素位于长周期表的 III-B, IV-B, V-B 和 VI-B 列。II 族元素在 II-A 或 II-B 列。A/B 编号系统是历史的产物, 国际理论和应用化学联合会 (IUPAC) 已经建议放弃使用; 参见 J. Hudson 所著的 *The History of Chemistry* (New York: Chapman and Hall, 1992), pp.122-137。

和锗的键稍微弱一点,这是因为填满内壳层部分屏蔽了原子核与价电子之间的引力。由于拥有更多的内层壳层,所以锡和铅的共价键更弱一些,它们通常形成金属键晶体而非共价键大分子。在所有IV族元素中,只有硅和锗具有中等强度的价键,所以硅和锗是真正的半导体,而碳属于非金属,锡和铅则都属于金属。

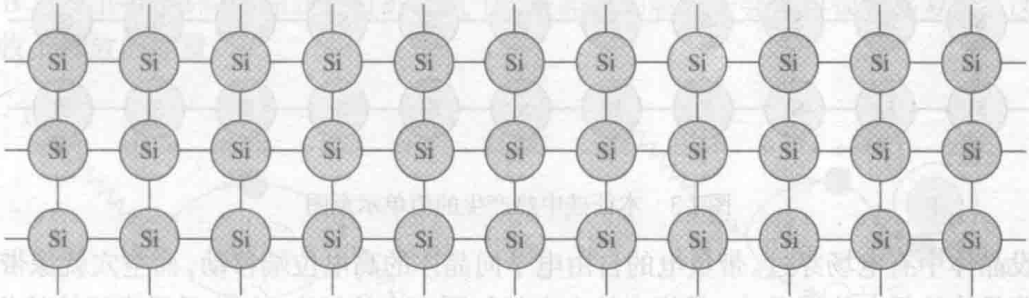


图 1.2 硅晶体的二维结构简图

1.1.1 产生与复合

IV族元素的导电能力随着原子序数的增加而增强。金刚石形式的碳是真正的绝缘体。硅和锗的导电能力强一些,但比金属材料(如锡和铅)仍然弱很多。由于导电能力适中,因而将硅和锗称为半导体。

导电意味着存在自由电子。半导体中至少有一部分价电子要脱离晶格参与导电。实验也确实证明了在纯硅和锗中有少量的可测量的自由电子浓度。这些自由电子的存在意味着存在某种机制提供了打破共价键所需的能量。热力学统计原理认为这种能量来自于晶格的无规则热运动。尽管一个电子的平均热能相对较小(25°C时大约为0.04 eV),但这些能量是随机分布的,所以某些电子就拥有更高的能量。价电子脱离晶格所需的能量称为带隙能量。带隙能量高的材料拥有牢固的共价键,因此拥有的自由电子数就少。而带隙能量低的材料会拥有更多的自由电子,从而具有更好的导电能力(见表1.1)。

表 1.1 IV族元素的一些特性

元素	原子数	熔点/°C	电导率/($\Omega \cdot \text{cm}$) ⁻¹	带隙能量(eV)
碳(金刚石结构)	6	3550	$\sim 10^{-16}$	5.2
硅	14	1410	$4 \cdot 10^{-6}$	1.1
锗	32	937	0.02	0.7
白锡	50	232	$9 \cdot 10^4$	0.1

当电子离开晶格时就产生了一个空位。原先满价层的原子现在缺少了一个价电子,因而带正电。图1.3所示是这种情况的简单图示。电离的原子如果能从邻近的原子获得一个电子,便可回到满价层状态。这个很容易做到,因为它还和邻近的3个原子共享电子。但这个电子空位却没有消除,它只不过是转移到了邻近的另一个原子中。随着空位在不同原子之间转移,就好像在晶格中移动一样。这个移动的电子空位便称为空穴。

① 硅、锗的带隙能量参见 B. G. Streetman 所著的 *Solid State Electronic Devices*, 2d ed (Englewood Cliffs, NJ: Prentice-Hall, 1980), p. 443。碳的带隙能量参见 N. B. Hannay 等所著的 *Semiconductors* (New York: Reinhold Publishing, 1959), p. 52。锡的电导率参见 R. C. Weast 等所著的 *CRC Handbook of Chemistry and Physics*, 62d ed (Boca Raton, FL: CRC Press, 1981), pp. F135-F136。其他值通过计算而得。熔点参见 Weast, pp. B4-B48。

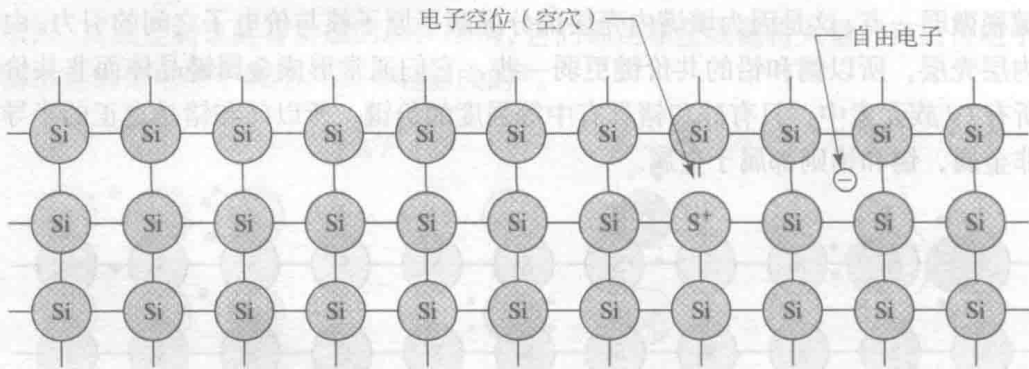


图 1.3 本征硅中热产生的简单示意图

假设晶体中有电场穿过。带负电的自由电子向晶体的高电位端移动，而空穴就像带正电的粒子朝着晶体的低电位端运动。晶格中的空穴就如同水中的气泡。气泡是没有液体的位置，空穴是没有价电子的位置。气泡向上运动是因为它周围的液体下沉，空穴向晶体的低电位端移动也是因为周围的电子移向晶体的高电位端。

空穴通常被当做亚原子微粒处理。一般来说，在解释空穴朝向晶体的低电位端运动时假设空穴带正电。同样，我们采用一个称为迁移率的量衡量空穴在晶体中的移动速率。空穴的迁移率低于电子，在体硅中，空穴和电子迁移率的典型值分别为 $480 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 和 $1350 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ ^①。空穴的低迁移率使之成为低效率的载流子，因此器件的性能取决于它所采用的载流子类型是空穴还是电子。

只要价电子离开晶格，便产生了一个自由电子和一个空穴。这两种粒子都在电场的作用下运动，电子朝正电势方向运动，产生电子流；而空穴朝负电势方向运动，产生空穴流。总电流等于电子流和空穴流之和。由于空穴和电子在传输电荷方面的作用，因而被称为载流子。

由于价电子离开晶格时同时产生了空穴，所以载流子通常是成对产生的。当晶格吸收能量时就会产生电子-空穴对。与热振动相同，光、辐射、电子轰击、快速热处理、机械摩擦以及很多其他方法都可以产生载流子。这里仅举一例，波长足够短的光就能够产生电子-空穴对。当晶格原子吸收一个光子后，出现的能量转移就可以打破共价键，从而产生一个自由电子和一个自由空穴。只有在光子具有足够可打破共价键的能量的情况下，光产生才会出现，这也就是要求光的波长要足够短的缘故。在大多数半导体中，可见光具有足够的能量来产生电子-空穴对。太阳能电池就是利用这种现象把太阳光转化为电流的。光电池和固态摄像探测器也利用了光产生原理。

正如载流子是成对产生的那样，它们也是成对复合的。载流子复合的真正机制取决于半导体的特性。在直接带隙半导体中，复合极其简单。当电子和空穴相撞时，电子便进入空穴中，同时被破坏了共价键得到修复。电子获得的能量以光子的形式辐射出去[见图 1.4(A)]。在适当的激励下，直接带隙半导体能够发光。发光二极管(LED)就是靠电子-空穴对的复合发光的。制作LED的半导体的带隙能量决定了LED的发光颜色。同样，用来制造荧光画和塑料的所谓磷光体也含有直接带隙半导体。磷光体一旦暴露在光中便会产生电子-空穴对。于是磷光体里逐渐积累了大量的电子和空穴，这些载流子缓慢的复合过程就引起了发光。

① Streetman, p. 443.

硅和锗是间接带隙半导体。在这些半导体中，电子和空穴的碰撞不会引发两载流子的复合。电子虽然会瞬间落入空穴中，但量子效应会阻止光子的产生。由于电子不能释放出过剩的能量，它又立刻从晶格中弹出，从而又形成电子-空穴对。在间接带隙半导体中，复合只发生在晶格的特殊位置中，这个位置被称为陷阱，在这里，缺陷或外来原子使晶格发生变形 [见图 1.4 (B)]。陷阱能够瞬间捕获经过的载流子，被捕获的载流子会变得很容易复合，这是因为陷阱吸收了释放的能量。

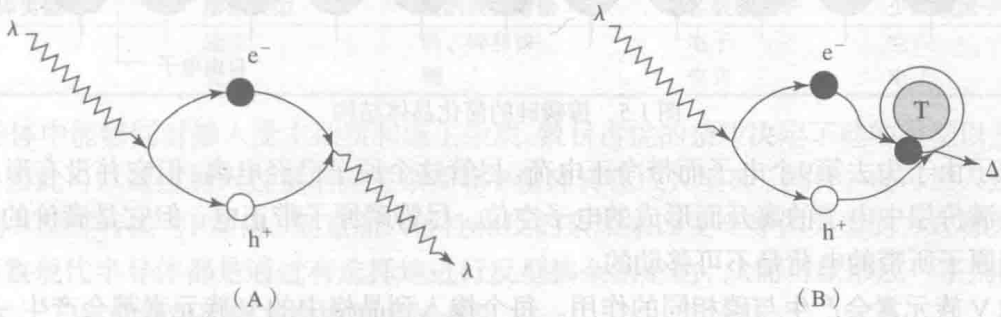


图 1.4 复合过程的示意图: (A) 直接复合, 光子 λ 产生空穴 h^+ 和电子 e^- , 它们碰撞后又放射出一个光子; (B) 间接复合, 载流子被陷阱 T 捕获, 在陷阱的位置上发生复合, 并放出热量 Δ

帮助载流子复合的陷阱称为复合中心。半导体中的复合中心越多, 载流子产生与复合之间的平均时间就越短。这个量称为载流子寿命, 它限定了半导体器件的开关速度。为了提高开关速度, 有时会刻意地向半导体中加入复合中心。金原子在硅中是非常有效的复合中心, 所以高速的二极管和晶体管通常由含有少量金元素的硅制成。金不是唯一能够形成复合中心的物质。许多过渡金属 (比如铁和镍) 都有相似的效果 (效果可能会弱一些)。一些晶格缺陷也可以作为复合中心。但固态器件必须采用纯度极高的单晶材料制作, 以确保具有器件正常工作所需的载流子寿命。

1.1.2 非本征 (杂质) 半导体

半导体的导电能力取决于它们的纯度。完全纯净的、或是本征半导体由于只有少量的由热运动产生的载流子, 因而具有较低的电导率。加入某些杂质能够极大地增加载流子的数目。这些掺杂的或非本征的半导体的导电能力接近于金属。轻掺杂的半导体只含有十亿分之几的杂质。即使是重掺杂的半导体, 其杂质含量也仅有百万分之几百, 这是由于硅中杂质的固溶度有限所造成的。因为半导体对杂质的极度敏感性, 所以想要制作真正的本征材料几乎是不可能的, 因此实际的半导体器件几乎都是由非本征材料制作的。

掺磷硅就是一种典型的非本征半导体。假设在硅晶体中加入了少量的磷。磷原子占据了原本属于硅原子的晶格 (见图 1.5)。磷属于 V 族元素, 有 5 个价电子。磷原子将其中的 4 个与周围原子共享。4 对共价电子对为磷原子提供了 8 个共享电子。这样, 加上一个未被共享的电子, 最后共有 9 个价电子。由于 8 个电子就可以填满价层, 因此没有空间提供给第 9 个电子。这个电子便被从磷原子中排斥出来, 自由地游荡于晶格结构中。所以掺入硅晶体中的每个磷原子都可以产生一个自由电子。

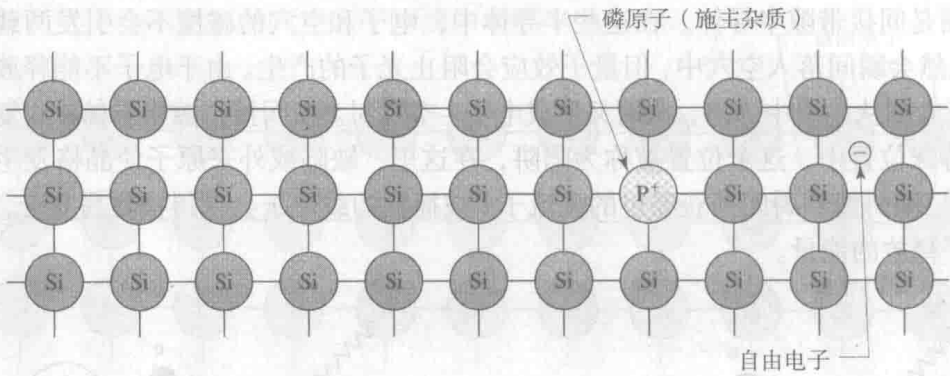


图 1.5 掺磷硅的简化晶体结构

磷原子由于失去第9个电子而带净正电荷。尽管这个原子已经电离,但它并没有形成空穴。空穴是由满价层中电子的离开而形成的电子空位。尽管磷原子带正电,但它是满价的。因此,电离的磷原子所带的电荷是不可移动的。

其他V族元素会产生与磷相同的作用。每个掺入到晶格中的V族元素都会产生一个额外的自由电子。以这种方式给半导体贡献电子的元素称为施主杂质。在半导体工艺中,砷、锑和磷被用做硅的施主杂质。

掺入大量施主杂质的半导体中数目处于优势地位的电子作为载流子。尽管仍存在一些由热运动产生的空穴,但事实上它们的数量由于过量电子的存在而减小。这是因为过量电子的出现增加了空穴捕获电子并与其复合的可能性。N型硅中大量的自由电子极大地增强了它的导电能力(极大地降低了它的电阻)。

掺入施主杂质的半导体称为N型半导体。重掺杂的N型硅记为N+,轻掺杂的记为N-。加号和减号代表了施主杂质的相对数量而非电荷。电子由于在N型硅中的数量很大而被称为多数载流子。同样,空穴在N型硅中称为少数载流子。严格来说,本征半导体中既没有多数载流子也没有少数载流子,因为两种载流子的数目是相等的。

掺硼硅形成了另一种形式的非本征(杂质)半导体。假设硅晶体结构中掺入了少量的硼原子(见图1.6)。硼是III族元素,具有3个价电子。硼原子试图与周围的4个原子共享价电子,但是由于它只有3个价电子,因而不能形成第4个键。这样,在硼原子周围只有7个价电子。于是电子空位形成了空穴。这个空穴可以移动并且很快离开了硼原子。一旦空穴离开,硼原子就会由于价层中存在一个过量电子而带负电。与磷的情况一样,这个电荷是不可移动的,并且对导电能力没有贡献。在硅中每加入一个硼原子就可以产生一个可移动的空穴。

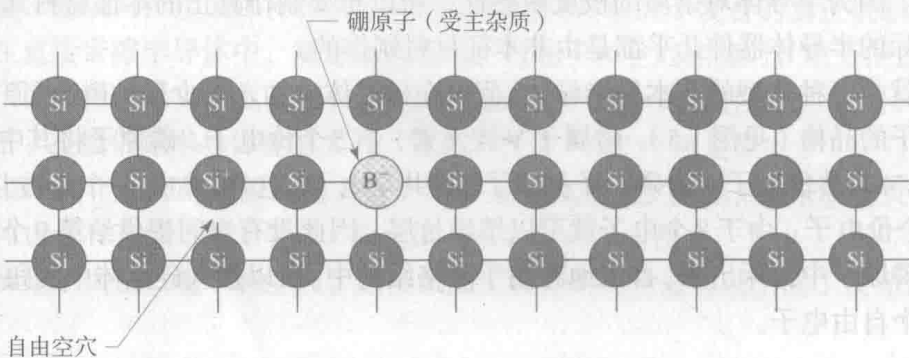


图 1.6 掺硼硅的简化晶体结构