



普通高等教育“十三五”规划教材
“十三五”江苏省高等学校重点教材

DSP技术原理与应用系统设计

胡剑凌 主 编
曹洪龙 邵 雷 耿相铭 副主编



非外借



科学出版社



普通高等教育“十三五”规划教材
“十三五”江苏省高等学校重点教材

DSP 技术原理与应用系统设计

主 编 胡剑凌

副主编 曹洪龙 邵 雷 耿相铭



科学出版社

北 京

内 容 简 介

本书主要介绍数字信号处理器(DSP)基本结构和数字信号处理系统应用、设计与优化方法。本书在介绍数字信号处理系统基本概念后,基于美国德州仪器(TI)公司 KeyStone 架构 C66x DSP 介绍 DSP 的 CPU 架构与指令、DSP 片上外设及其使用;以智能视频处理系统为例,介绍 C66x DSP 系统硬件平台设计技术,并重点对 C66x DSP 的应用系统开发进行详细介绍,包括基于 CCS 的软件开发初步、DSP 程序优化,基于 SYS/BIOS 的 DSP 软件开发、多核 DSP 软件开发,并结合实例给出 DSP 软件设计的基本要素和不同应用系统的软件框架。

本书可作为各类高等院校电子信息类、电气类、自动化类、生物医学工程类专业高年级本科生教材,也可作为相关专业的研究生教材,同时可供数字信号处理等工程领域的工程技术人员参考。

图书在版编目(CIP)数据

DSP 技术原理与应用系统设计/胡剑凌主编. —北京:科学出版社,2018.8
(普通高等教育“十三五”规划教材·“十三五”江苏省高等学校重点教材
(编号:2017-2-047))

ISBN 978-7-03-058227-0

I. ①D… II. ①胡… III. ①数字信号处理-高等学校-教材
IV. ①TN911.72

中国版本图书馆 CIP 数据核字(2018)第 153599 号

责任编辑:任 俊 张丽花 / 责任校对:郭瑞芝

责任印制:吴兆东 / 封面设计:迷底书装

科 学 出 版 社 出 版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

北京教图印刷有限公司 印刷

科学出版社发行 各地新华书店经销

*

2018 年 8 月第 一 版 开本:787×1092 1/16

2018 年 8 月第一次印刷 印张:20 1/2

字数:499 000

定价:69.00 元

(如有印装质量问题,我社负责调换)

前 言

自 2003 年出版关于 DSP 的《数字信号处理系统的应用和设计》教材以来, 转眼已经过去了 15 年。这期间曾不断地想要重写一本有关 DSP 系统应用与设计方面的教材, 但一直未能付诸实施。这其中既有信息技术发展太快的原因, 又有近些年 DSP 遇到 ARM、FPGA 等挑战的考虑, 但主要还是因为个人的懈怠, 总是以工作忙、没有时间为借口而一拖再拖。这次在梳理自己从事 DSP 相关教学、科研工作的基础上, 在同行和业界朋友的支持与鼓励下, 决定结合美国德州仪器 (Texas Instruments, TI) 公司最新的 KeyStone 架构 DSP 技术编写本书, 希望本书能服务相关专业的 DSP 教学并给相关领域的工程技术人员一点参考。

进入 21 世纪以来, 随着信息通信、传感技术、智能设备以及移动互联技术的不断进步, 现代社会进入了大数据和人工智能时代, 对数据有效挖掘和高效利用的需求不断推动着数字信号处理技术的更新和发展。在当今的数字化时代, 数字信号处理技术涉及人们生活和工业生产的方方面面, 包括数学、电子、通信、商务、航天、海洋、军事等领域, 而且与计算机系统、网络系统、故障诊断系统、医疗处理系统等互相关联。为了解决各领域越来越复杂的技术问题, 数字信号处理技术的复杂性及实现难度与日俱增, 从而对数字信号处理系统的实时性、计算能力、吞吐能力等也提出了更高的要求。

数字信号处理系统的解决方案一般基于 ASIC、DSP、MCU 以及 FPGA 等, DSP 和 MCU 由于其实现的灵活性和较高的性价比而成为诸多系统的首选。进入 21 世纪以来, 随着以 ARM 为代表的 MCU 的高速发展, 学术界一度出现 DSP 作为专用的数字信号处理器件是否需要继续发展和开展教学的争论。然而根据作者自身的科研经历以及所了解到的业界需求, 在高计算需求的应用系统中, 如智能视频处理、高速通信信号处理、雷达信号处理等, DSP 依然具有不可替代的作用, 因此高校依然很有必要培养 DSP 应用和开发的相关人才。

自 1982 年世界上第一款真正意义上的 DSP 芯片诞生以来, DSP 技术在架构、计算能力、工艺等各方面取得了长足的进展。TI 公司于 2010 年推出了基于 KeyStone 多核架构的 C66x DSP, 单核计算能力达到 40GMAC, 支持定、浮点一体化, 成为现在高性能 DSP 的典型代表, 并且其架构在近几年发展平稳, 在业界获得越来越多的认可, 因此本书选择以 TI 公司 KeyStone 架构的 C66x DSP 为例介绍 DSP 技术原理和应用系统设计。

本书第 1 章为绪论, 主要介绍数字信号处理系统的构成和 DSP 的特点, 并简要介绍 DSP 的发展历程及 DSP 的应用。第 2 章重点介绍 C66x CPU 架构和指令, 包括 C66x 的 CorePac、CPU 数据通道、流水线结构和中断与异常管理, 同时对 C66x 的指令集系统进行简单介绍。第 3 章介绍基于 CCS 的软件开发初步, 从 CCS 的特点和安装开始, 给出 CCS 软件开发流程及 CCS 软件调试的基本技术, 并以两个 UART 通信程序为例介绍应用程序的开发流程。第 4 章在第 3 章的基础上介绍 C66x DSP 程序优化技术。本书选择 C 程序设计语言, 介绍 DSP 程序优化的关键概念和优化流程, 介绍 CCS 编译选项及编译器反馈信息在程序优化中的应用, 重点对信号处理中广泛涉及的循环结构优化进行阐述。第 5 章重点介绍 C66x DSP, 包括时钟产生逻辑、外部存储器接口、定时器、I²C、SPI、UART 和 McBSP 等嵌入式 CPU 常见的

外设,也包括如 SRIO、HyperLink、PCIe 等高速外设,最后对 DSP 的高速数据引擎 EDMA 进行介绍。第 6 章以智能视频处理系统为例,介绍 C66x DSP 系统硬件平台设计的基本技术,包括电源设计、时钟设计、配置电路、外设电路设计以及布局、布线等。第 7 章介绍基于 SYS/BIOS 的 DSP 软件开发技术。SYS/BIOS 作为高端 DSP 软件编程的主要模式,介绍其基本概念、工程的配置和构建方法,重点对 SYS/BIOS 的多线程编程进行介绍,最后以多任务系统、网络通信系统、音频通信系统和视频通信系统为例给出基于 SYS/BIOS 应用系统设计的理念和软件框架。第 8 章介绍 C66x 多核 DSP 应用系统的开发技术,重点介绍核间通信、数据传输、共享资源管理和存储器管理等内容,并以信号滤波和图像处理两个例子给出基于 OpenMP 的多核 DSP 软件移植和设计方法。

本书的主要特点如下。

(1)注重 DSP 系统架构知识,既体现宏观与微观的整体性,又以宏观为主,强调 DSP 系统的资源配置和功能使用。作为全书的有机构成,对 DSP 架构和指令系统仅进行简要介绍。同时根据当前 DSP 软件开发的趋势,全书有关软件设计的介绍均采用 C 语言。

(2)注重 DSP 原理、应用和设计的融合,体现了 DSP 系统的学以致用。本书的重点为 DSP 系统的开发应用,因此本书花了四章篇幅介绍 DSP 软件的设计与优化,同时为了兼顾不同的开发需求,介绍了 DSP 硬件系统的设计技术。

(3)注重原理和实践相结合,围绕智能视频处理系统的设计需求,从基本软件设计、软件优化、硬件设计、基于 SYS/BIOS 的多线程设计、多核 DSP 软件设计几个方面结合实例层层推进 DSP 应用系统设计与开发的理念和技术。

作者希望通过本书反映出数字信号处理系统设计和应用开发的关键环节以及实践中的常用方法和调试手段,它不仅可以作为相关专业高年级本科生和研究生的教材,也同样适用于相关专业领域的研究人员和工程技术人员。根据作者的经验,本书内容的授课需要约 54 学时(包括实验),同时作者鼓励学生利用课外时间在实验的基础上完成一个关于信号处理方面的课程设计。

本书获江苏省 2017 年高等学校重点教材立项建设,同时本书的出版获 2017 年教育部-TI 产学研合作协同育人项目(编号:201701008018)、苏州大学“十三五”省品牌专业培育资助项目、苏州大学 2017 年高等教育教学改革研究课题重点招标项目资助。

苏州大学曹洪龙博士编写了本书的第 4、8 章;邵雷博士编写了本书第 5 章的 5.1~5.4 节和第 6 章;上海交通大学耿相铭老师编写了本书第 5 章的 5.5~5.8 节;本书其他章节的编写及全书的统稿由苏州大学胡剑凌博士完成。北京交通大学陈后金教授、东南大学孟桥教授对本书的编写提出了非常宝贵的框架性建议;德州仪器(上海)有限公司的王承宁博士、潘亚涛先生和王沁女士以及上海德研电子科技有限公司的陈宫先生提出了非常中肯的建议;张强庆、陈建荣、方健、李杨、施立鑫、李瑶天、王必成、伏斌、汤剑等在本书的绘图、示例程序编写、资料搜集和整理等各个方面都做了大量的工作,在此一并表示感谢。

限于作者的水平,不足之处在所难免,恳切希望读者给予批评指正。

胡剑凌

2018 年 5 月于苏州大学

E-mail: jihu@suda.edu.cn

目 录

第 1 章 绪论	1
1.1 数字信号处理系统的构成	1
1.1.1 大数据时代下的信号处理	1
1.1.2 数字信号处理系统基本框架	2
1.1.3 数字信号处理平台的要求	4
1.2 DSP 的特点	5
1.2.1 多总线哈佛结构	5
1.2.2 专用的硬件单元	6
1.2.3 面向信号处理的指令结构	7
1.2.4 高效的指令执行	7
1.3 DSP 的发展历程	8
1.3.1 DSP 发展历史	8
1.3.2 DSP 发展趋势	9
1.4 DSP 的应用	10
1.5 本章小结	10
思考题	11
第 2 章 C66x CPU 架构和指令	12
2.1 TMS320C66x DSP 介绍	12
2.1.1 TMS320C66x DSP 特点	12
2.1.2 TMS320C66x 系列比较	13
2.1.3 TMS320C6655/57 DSP 功能框图	14
2.2 TMS320C66x CorePac	15
2.2.1 L1P 缓存	16
2.2.2 L1D 缓存	16
2.2.3 L2 缓存	17
2.2.4 IDMA 控制器	18
2.2.5 CorePac 其他硬件单元	18
2.3 CPU 数据通道和控制	20
2.3.1 通用目的寄存器文件	20
2.3.2 功能单元	22
2.3.3 数据通道	22
2.3.4 控制寄存器文件	23
2.4 指令集系统	25

2.4.1	汇编指令语法	26
2.4.2	指令与功能单元的映射	27
2.4.3	寻址模式	30
2.4.4	指令的并行操作	31
2.4.5	指令的资源约束	32
2.5	流水线结构	33
2.5.1	取指阶段	33
2.5.2	译码阶段	34
2.5.3	执行阶段	35
2.5.4	流水线性能考虑	37
2.6	中断与异常管理	39
2.6.1	中断控制器	39
2.6.2	中断管理	43
2.6.3	异常管理	48
2.7	其他	50
2.7.1	软件流水循环缓存	50
2.7.2	CPU 权限	51
2.8	本章小结	52
	思考题	53
第 3 章	基于 CCS 的软件开发初步	55
3.1	CCS 7.2.0 介绍	55
3.1.1	CCS 集成开发环境简介	55
3.1.2	CCS v7 的新特性	56
3.1.3	CCS 的下载与安装	57
3.1.4	CCS v7 软件仿真工具安装	58
3.1.5	C665x PDK 的安装	60
3.2	CCS 软件开发流程	60
3.2.1	CCS 工程的建立	61
3.2.2	CCS 工程的编译	63
3.2.3	CCS 工程的下载和运行	64
3.3	CCS 调试初步	65
3.3.1	CCS 基本调试命令	66
3.3.2	离散傅里叶变换	66
3.3.3	DFT 的软件实现	67
3.3.4	链接命令文件	70
3.3.5	CCS 断点工具的使用	72
3.3.6	内存浏览器工具	75
3.3.7	Graph 图形显示工具	76

3.3.8 Profile 剖析工具	79
3.3.9 Image Analyzer 图像分析工具	81
3.4 简单应用程序开发实例	83
3.4.1 应用程序开发一般流程	83
3.4.2 UART 通信应用程序开发实例	84
3.5 本章小结	89
思考题	89
第 4 章 C66x DSP 程序优化技术	90
4.1 DSP 程序优化技术的关键概念	91
4.1.1 编译器优化	91
4.1.2 优化的代码资源	96
4.2 DSP 程序优化流程	99
4.3 编译选项	101
4.3.1 DSP 程序优化相关的编译选项	102
4.3.2 CCS 中编译器选项设置方法	104
4.4 基于编译器反馈信息的优化	105
4.4.1 编译器反馈信息生成和分析	105
4.4.2 CCS 中的性能优化建议	112
4.4.3 利用编译器反馈信息直接优化 DSP 程序的方法	113
4.5 循环优化	116
4.5.1 利用 restrict 关键字优化 DSP 程序实例	117
4.5.2 利用 MUST_ITERATE 指示伪指令优化 DSP 程序	119
4.5.3 优化嵌套循环	120
4.5.4 使用内嵌操作优化循环	121
4.5.5 优化循环中的控制代码	122
4.6 本章小结	127
思考题	127
第 5 章 C66x DSP 片上设备与应用	129
5.1 时钟产生逻辑	129
5.1.1 PLL 控制器工作原理	129
5.1.2 PLL 控制寄存器	130
5.1.3 TMS320C665x 的 PLL 模块	131
5.1.4 PLL 的初始化流程	132
5.2 外部存储器接口	134
5.2.1 EMIF16 模块	134
5.2.2 DDR3 存储控制器	138
5.3 低速片上设备	141
5.3.1 定时器	141

5.3.2	通用目的输入输出	148
5.3.3	I ² C 接口	149
5.3.4	SPI	153
5.3.5	UART 接口	155
5.3.6	多通道缓冲串行口	160
5.4	千兆以太网接口	168
5.4.1	千兆以太网接口结构	169
5.4.2	EMAC 的连接	172
5.5	高速片上设备	174
5.5.1	通用并行接口	174
5.5.2	串行快速输入输出接口	177
5.5.3	超链接 HyperLink 接口	182
5.5.4	高速外部设备互连总线	187
5.6	增强的 DMA 控制器	191
5.6.1	EDMA3 传输类型	192
5.6.2	EDMA3 结构	193
5.6.3	参数 RAM	195
5.6.4	EDMA3 操作	197
5.7	DSP 代码引导接口	199
5.7.1	复位类型和设备初始化	199
5.7.2	引导过程和格式	201
5.8	本章小结	202
	思考题	203
第 6 章	C66x DSP 系统硬件平台设计	205
6.1	C6655 DSP 系统硬件平台设计概述	205
6.1.1	智能视频处理系统构成	205
6.1.2	C6655-DEMO 结构框图	206
6.1.3	C6655-DEMO 电路设计	208
6.2	电源设计	209
6.2.1	DSPs 芯片电源电压要求分析	210
6.2.2	DSPs 芯片电源功率/电流要求分析	211
6.2.3	DSPs 芯片电源时序要求分析	213
6.2.4	C6655-DEMO 电源分析	213
6.2.5	C6655-DEMO 电源实现	215
6.3	时钟设计	216
6.4	设备配置和初始化	218
6.4.1	JTAG 接口电路	218
6.4.2	复位电路	220

6.4.3	C6655 上电配置	223
6.4.4	C6655 引导模式设置	224
6.5	外设电路设计	227
6.5.1	SPI Flash 电路设计	227
6.5.2	EMIF16 接口 Flash 电路设计	229
6.5.3	DDR 存储器电路设计	231
6.5.4	EEPROM 电路设计	233
6.5.5	UART 电路设计	234
6.5.6	千兆网电路设计	236
6.5.7	SRIO 接口电路设计	238
6.5.8	音频电路设计	239
6.6	电路布局布线实现	241
6.7	本章小结	243
	思考题	243
第 7 章	基于 SYS/BIOS 的 DSP 软件开发	244
7.1	SYS/BIOS 基础	244
7.1.1	SYS/BIOS 简介	244
7.1.2	SYS/BIOS 的下载与安装	245
7.1.3	TI-RTOS 与 XDCtools 简介	245
7.1.4	SYS/BIOS 软件包	246
7.2	SYS/BIOS 工程的配置与构建	246
7.2.1	SYS/BIOS 实例对象创建方式	247
7.2.2	配置文件的编写	248
7.2.3	基于 CCS 资源浏览器的 SYS/BIOS 工程构建	250
7.3	SYS/BIOS 的线程模块	251
7.3.1	SYS/BIOS 的启动流程	251
7.3.2	线程与优先级	251
7.3.3	线程类型的选择	253
7.3.4	线程的抢占	254
7.3.5	钩子及钩子函数	255
7.3.6	线程创建与钩子函数应用示例	257
7.4	SYS/BIOS 的线程间同步	262
7.4.1	信号量	262
7.4.2	事件	266
7.4.3	队列	269
7.5	基于 SYS/BIOS 的应用系统设计	270
7.5.1	基于定时中断的多任务系统设计	270
7.5.2	网络通信系统设计	276

7.5.3 音频处理系统设计	277
7.5.4 视频处理系统设计	279
7.6 本章小结	281
思考题	281
第 8 章 C66x 多核 DSP	282
8.1 应用程序从单核到多核的移植	282
8.1.1 并行处理模型	282
8.1.2 OpenMP 多核编程	284
8.2 任务并行机制的确定	288
8.3 核间通信	291
8.3.1 数据搬移	291
8.3.2 多核导航器中的数据搬移	293
8.3.3 通知与同步	294
8.3.4 多核导航器的通知方法	296
8.4 数据传输引擎	297
8.5 共享资源管理	299
8.6 存储器管理	300
8.6.1 设备的 CPU 视图	300
8.6.2 Cache 和预取注意事项	301
8.6.3 共享代码存储	302
8.6.4 外设驱动	303
8.6.5 数据存储和访问	304
8.7 DSP 代码和数据镜像	305
8.7.1 单镜像	305
8.7.2 多镜像	305
8.7.3 共享代码和数据的多镜像	305
8.7.4 设备引导	306
8.7.5 多核应用程序部署 (MAD) 工具包	306
8.8 基于 OpenMP 的多核应用程序设计	307
8.8.1 利用 CCS 创建基于 OpenMP 的多核应用程序	308
8.8.2 基于 OpenMP 的多路信号滤波应用程序实例	310
8.8.3 基于 OpenMP 的图像处理应用程序实例	310
8.9 本章小结	311
思考题	312
参考文献	313
附录 缩略词中英文对照	316

第 1 章 绪 论

进入 21 世纪以来,学科交叉融合加速,新兴学科不断涌现,前沿领域不断延伸,同时,信息通信、传感技术、智能设备等信息的发展,以及移动互联网的不断进步,推动现代社会进入了工业 4.0 时代和大数据时代。大数据时代下,数据的有效利用已成为全球关注的重点,而其中数字信号处理技术作为数据有效利用的主要和关键技术也在不断更新和发展。在当今的数字化时代,数字信号处理技术涉及人们生活和社会生产的方方面面,包括数学、电子、通信、商务、航天、海洋、军事等领域,而且与计算机系统、网络系统、故障诊断、医疗处理等互相关联。为了解决各领域越来越复杂的技术问题,数字信号处理技术的复杂性及实现难度也与日俱增,对数字信号处理系统(Digital Signal Processing system, DSPs)提出了更高的要求,进而在微电子技术的支撑下推动了数字信号处理系统的核心器件——数字信号处理器(Digital Signal Processor, DSP)的飞速发展。

1.1 数字信号处理系统的构成

1.1.1 大数据时代下的信号处理

21 世纪以来,经济飞速增长,计算机技术的迅猛发展使人类进入了数字化时代。所谓数字化就是许多复杂多变的信息转变为可以度量的数字、数据,再以这些数字、数据建立适当的数字化模型,最后把它们转变为一系列二进制代码,由处理器进行统一处理。数字化技术具有高灵活性、高集成度、高精度、抗干扰能力强、保密性强、通用性强等诸多模拟技术所不具备的优点,同时带来了数据量的爆炸式增长,并随着通信技术和传感技术的发展,引领人类进入了大数据时代。

在现代社会,每一天全世界会上传超过 5 亿张图片,每分钟有超过 20h 的视频被分享,还有各类语音、电子邮件以及关于人们自身数字信息的海量数据产生,这些数据的规模已远远超过 GB($1\text{GB}=1\times 10^9\text{B}$)或者 TB($1\text{TB}=1024\text{GB}$),而跃升到 PB($1\text{PB}=1024\text{TB}$)、EB($1\text{EB}=1024\text{PB}$)乃至 ZB($1\text{ZB}=1024\text{EB}$)级别。图 1.1 给出了全球数据总量的发展趋势。国际数据公司(IDC)的研究结果表明,2008 年全球产生的数据量约为 0.5ZB,2009 年的数据量为 0.8ZB,2010 年增长到 1.2ZB,2015 年的数据量高达 7.9ZB,相当于全球每人产生 900GB 以上的数据,而到 2020 年,全世界所产生的数据规模将达到 35ZB。全球知名咨询公司麦肯锡称:“数据,已经渗透到当今每一个行业和业务职能领域,成为重要的因素。人们对于海量数据的挖掘和运用,预示着新一波生成率增长和消费者盈余浪潮的到来。”

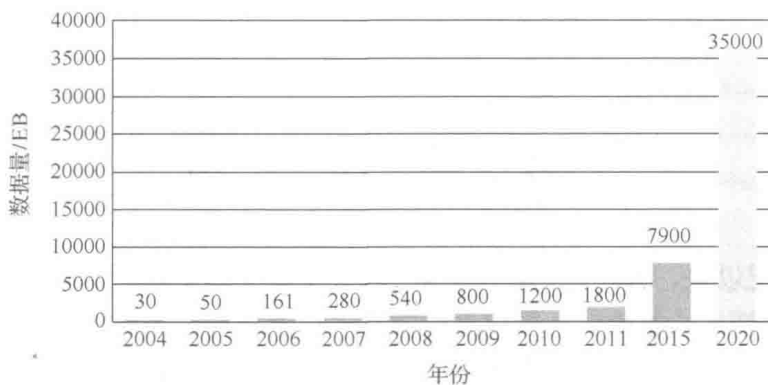


图 1.1 全球数据总量变化图

维克托·迈尔·舍恩伯格指出，大数据不用随机分析法这样的捷径，而采用所有数据进行分析处理。IBM 公司给出了大数据的 5V 特点，包括：volume(数据量大)、velocity(数据处理速度快)、variety(数据类型繁多)、value(数据价值密度低)、veracity(数据真实性高)。因而大数据的战略意义不在于掌握庞大的数据信息，而在于对这些含有意义的数据进行专业化处理。为此，数字化时代的核心为

- (1) 数据的采集；
- (2) 数据的传输；
- (3) 数据的存储；
- (4) 数据的处理。

其中数据的处理更是核心中的核心，其内容包括如数据分析与挖掘、数据展现与应用等方面；体现在信号领域，数字化时代的核心即为数字信号处理，包括数字信号处理理论研究和数字信号处理系统设计。

1.1.2 数字信号处理系统基本框架

数字信号处理研究是用数字方法对数字信号进行分析、变换、滤波、检测、调制、解调以及快速算法的一门技术学科，并已渗透到所有现代自然科学和社会科学领域。数字信号处理系统以数字信号处理理论为基础，结合各种电路技术实现对信号的加工和处理。一个数字信号处理系统的基本框架如图 1.2 所示。

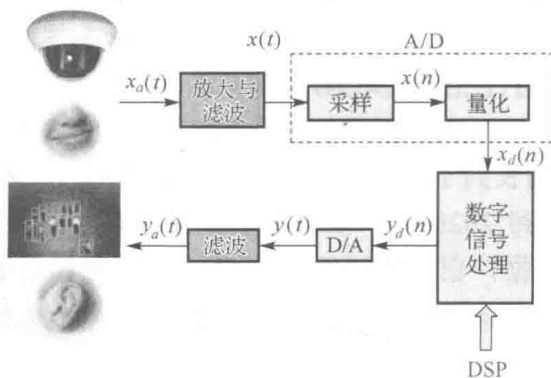


图 1.2 数字信号处理系统基本框架

自然世界中的很多原始信号为模拟信号，如图 1.3 所示的语音、视频信号等，为此，在进行数字信号处理之前首先需对模拟信号进行数字化，即模拟-数字转换(A/D 转换)。为保证 A/D 转换的可靠进行，在此之前一般需经过放大和滤波模块，其中放大电路的作用是适配输入信号和 A/D 转换模块的动态范围，而滤波的作用是滤除模拟信号中不需要的频率分量，保证后续的 A/D 转换满足奈奎斯特采样定理，以免产生频谱混叠，该滤波器一般称为抗混叠滤波器。抗混叠滤波器可以是低通滤波器，也可以是带通滤波器。A/D 转换包含两个步骤：采样和量化，采样过程实现信号在时间/空间上的离散化，而量化过程实现幅值的离散化。经过 A/D 转换后，原来具有无限时间/空间分辨率、无限精度的模拟信号变成了数字设备可以处理的有限时间/空间分辨率、有限精度的数字信号。数字信号处理(DSP)的任务是将 A/D 转换器送来的数字信号按照一定的算法进行处理，如滤波、傅里叶变换、模型参数提取、频谱分析等。根据处理任务的要求，DSP 可以由一个或多个数字信号处理器构成。信号经 DSP 处理后，可以数字方式输出。如果期望输出数字信号，则数字信号处理系统可以不包括图 1.3 中的最后两个模块；如果系统最后需要模拟输出，则 DSP 将处理后的数字信号送给其后的数字-模拟转换(D/A 转换)模块。经 D/A 转换后的信号往往含有各种高频成分，为此需在其后接一个重建滤波器以对信号进行平滑。

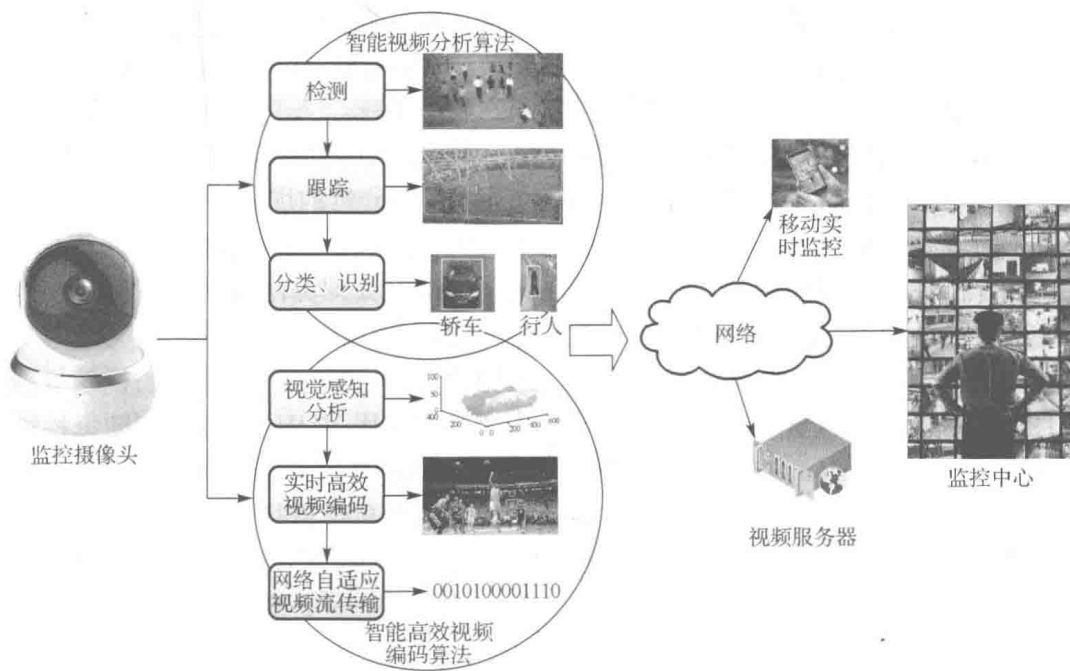


图 1.3 智能视频监控系统结构框图

图 1.3 所示的数字信号处理系统仅包含了一些最基本的模块。在实际的信号处理中，往往还需要附加其他的功能模块，如电源管理、存储器、人机界面、时序逻辑控制模块、通信模块等。

由图 1.3 可知，数字信号处理系统的核心是数字信号处理，根据数字信号处理实现平台的不同，数字信号处理系统可分为三大类。

(1) 指令集结构(ISA)系统。在由各种微处理器、数字信号处理器、单片机或其他专用指令集处理器等组成的信号处理系统中，都需要通过系统中的处理器所提供的指

令系统(或微代码)来描述各种算法,并在指令部件的控制下完成对各种可计算问题的求解。

(2)硬连线结构系统。主要是指由专用集成电路(ASIC)构成的系统,其基本特征是功能固定,通常用于完成特定的算法,这种系统适合实现功能固定和数据结构明确的计算问题。不足之处主要在于:设计周期长、成本高,且没有可编程性,可扩展性差。

(3)可重构系统。基本特征是系统中有一个或多个可重构器件(如 FPGA),可重构处理器之间或可重构处理器与 ISA 结构处理器之间通过互连结构构成一个完整的计算系统。可重构系统可实现高度的并行性,但开发难度较大、成本较高。

本书将要介绍的数字信号处理系统主要是以数字信号处理器为核心处理器件的指令集结构系统。

1.1.3 数字信号处理平台的要求

不同的应用需要不同的信号处理,从而需要设计不同的数字信号处理系统来完成相应的功能。图 1.3 给出了一个智能视频监控系统结构框图,这类系统大量地应用于智慧城市、安防等系统中。从图 1.3 可见,一个智能视频监控系统除包括前端的图像采集和后端的图像传输外,其核心的数字信号处理部分一般包括智能高效视频编码和智能视频分析。智能高效视频编码主要是为了解决视频数据的高效传输和存储。智能分析技术的具体应用主要包括事件检测与行为分析、高级视频移动侦测、物体追踪、人物面部识别、车辆识别和非法滞留等安防领域和一些非安全类的应用,如人数统计、人群控制和交通流量控制等。智能分析的应用可以提高报警精确度,减少漏分析或者误分析的现象,还可以缩短响应时间,防止潜在的威胁,也可以帮助人们在大量的数据中快速搜索有用的信息。为了不断提升编码效率和分析性能,视频编码和视频分析所采用的信号处理算法越来越复杂,而为了保证这些复杂信号处理算法的实时实现,对数字信号处理平台提出了哪些要求呢?

本文以一个目前常见的高清视频为例来进行简单的分析。假设输入的视频每秒钟产生 25 帧图像,每帧图像包含 1920×1080 像素,每个像素采用 YUV422 格式,则每秒钟的视频数据达到 $25 \times 1920 \times 1080 \times 2 = 103.68 \times 10^6 \text{B}$,约等于 100MB。首先信号处理平台需要具有每秒钟超过 100MB 的收发能力。假设数据收发以字节为单位进行,则处理平台对数据的响应时间必须小于 10ns,如果每个像素需要 100 条处理指令,那么处理平台至少需要具备每秒执行超过 5G 条指令的能力,由此可见,现代的数字信号处理技术对信号处理平台在以下方面提出了苛刻的要求。

- (1)强大的数据收发能力:以保证信号处理平台对大容量数据的可靠收发。
- (2)强大的数据吞吐能力:以保证信号处理平台内部各模块间数据的高速传输。
- (3)强大的数据计算能力:以满足日益复杂的信号处理算法。
- (4)高速的实时响应能力:以满足对外部各种请求的及时响应。

如 1.1.2 节中所述,可选的数字信号处理平台包括 ISA 系统、ASIC 系统和可重构系统,而其中的 ISA 系统因为其较高的灵活性、较低的开发难度、较好的性价比而在当前的信号处理系统中被广泛采用。其中的 ISA 系统包括各种微处理器、数字信号处理器、单片机等,而数字信号处理器因为其软硬件方面所具的适合信号处理的特点而成为大量数字信号处理系统首选的平台。当然,在实际的应用系统设计中,开发人员应根据具体的需求选择合适

的信号处理平台，同时，各大 DSP 厂家也提供了各系列、各型号的 DSP 器件以满足不同应用的需要。

1.2 DSP 的特点

在数字信号处理运算中，常见的相关函数计算、卷积运算、信号滤波和各种变换算法大多包含式(1.1)所示的乘加运算。通过分析可知，该计算过程包括以下操作：两个操作数的读取、1次乘法运算、1次加法运算、为下一次运算做准备的操作数存储地址的修改以及循环管理。为此，一个适合进行数字信号处理的信号处理平台或处理器应该从硬件结构和软件指令等方面提供对上述操作的高效、并行支持。

$$y = \sum_i a_i x_i \quad (1.1)$$

DSP 从设计之初就以优化式(1.1)的运算为目标展开，在总线结构、硬件单元、指令设计、指令执行等方面具有其自身的特点。

1.2.1 多总线哈佛结构

在大多数微处理器以及单片机中，一般采用传统的冯·诺依曼(John von Neumann)结构，图 1.4(a)给出了冯·诺依曼总线结构的示意图。如图 1.4(a)所示，冯·诺依曼结构包含地址和数据两组总线，这两组总线是由程序空间和数据空间共享的，因而程序取指和数据读写只能分时进行，从而在高速数据运算时容易造成瓶颈效应。与冯·诺依曼结构相区别的另一种总线结构为哈佛(Harvard)结构，如图 1.4(b)所示。在哈佛总线结构中，程序空间和数据空间相对独立，并且分别拥有各自的地址总线和数据总线，因而 CPU 可以在程序取指的同时，进行数据读写操作，从而加强了 CPU 并行工作的能力。因此，哈佛结构是现代 DSP 及各类高级处理器总线结构的一种基本形式。

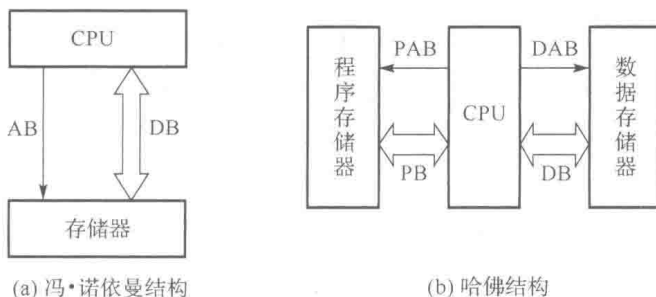


图 1.4 总线结构

从式(1.1)中可以看出，每次乘加运算 CPU 至少需读取两个操作数，为了保证在程序取指的同时，能同时获得多个操作数，DSP 在总线结构设计中往往采用多套数据总线结构或超宽总线结构，以极大地提高 DSP 的数据吞吐能力。

在图 1.4(b)所示的哈佛结构中，数据空间和程序空间相对独立，两者之间只能通过 CPU 进行通信，但是在一些应用中，实际可能需要数据空间和程序空间有相互访问的能力，例如，在 DSP 的一些循环指令运行时，程序总线处于空闲状态，为了提高 DSP 的访问能力，

此时希望能用程序总线来访问数据空间,为此提出了一种改进的哈佛结构,如图 1.5 所示。在改进的哈佛结构中,数据总线和程序总线之间增加了一个交互的桥,因此 DSP 可以在不需要读取程序时,利用程序总线来访问数据以提高效率。

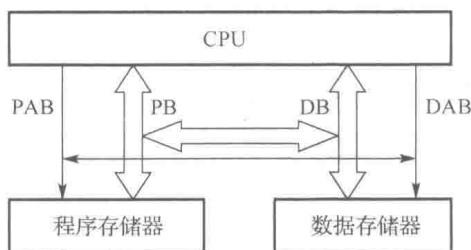


图 1.5 改进的哈佛结构

1.2.2 专用的硬件单元

1) 硬件乘法器

一个处理器能称为 DSP 的最基本条件之一是具有硬件乘法器以支持单周期乘法运算。早期定点 DSP 的硬件乘法器支持每周期 1 次 16 位×16 位定点乘法,浮点 DSP 的乘法器支持每周期 1 次单精度浮点乘法。随着 DSP 的发展,现在的定点 DSP 往往支持每周期多次 16 位×16 位定点乘法、32 位×32 位乘法,甚至 64 位×64 位乘法,浮点 DSP 支持双精度浮点乘法,也有 DSP 的乘法器可同时支持定点和浮点乘法,以方便信号处理算法的实现。

另外,针对信号处理中常见的乘加运算,一般 DSP 中的乘法器会和加法器结合,构成乘加器(MAC),极大地提升了 DSP 的信号处理能力,而一款 DSP 所支持的每秒 MAC 次数也成为 DSP 性能评估中的重要参数之一。

2) DMA 控制器

DSP 一般配置有独立的 DMA 控制逻辑电路,无须 CPU 介入就可以实现对存储器的快速直接访问。DMA 不仅支持 DSP 芯片内部各模块间的数据搬移,也支持 DSP 芯片内部和外部之间的数据搬移。DSP 的 DMA 控制器往往提供多条 DMA 通道,支持灵活的地址修改方式,支持 DMA 通道的级联,从而为 DSP 提供了强大的数据吞吐能力。

3) 中断控制器

DSP 的中断控制器支持复位中断、NMI、外部中断、内部中断、软件中断及异常中断等多种模式,支持用户对中断矢量表存储位置的灵活修改,支持中断源的选择和组合。DSP 中断控制器最显著的特点在于其响应速度,中断控制器一般在中断源的有效跳变沿即可检测到中断产生,并在之后的几个 CPU 时钟周期后即可进行中断响应,从而确保了 DSP 的高速实时响应能力。

4) 数据收发外设

DSP 往往提供丰富的片上外设以实现对各种外部设备的无缝连接,除具有常规的用于连接 A/D 和 D/A 转换器的支持 I²S 通信协议的 McBSP,支持与外部主机连接的 HPI、UART、SPI 等接口外,根据 DSP 的定位不同,不同系列和不同型号的 DSP 一般会提供不同的片上