

普通高等教育“十三五”规划教材

WEIJUYUANLIYUJIEKOUJISHU

微机原理与接口技术



赠教学课件

夏德宏 娄伟 赵凯瑞 主编



延边大学出版社

普通高等教育“十三五”规划教材

前言

微机原理与接口技术

主编 夏德宏 娄伟 赵凯瑞

延边大学出版社

定价：38.00元

图书在版编目(CIP)数据

微机原理与接口技术 / 夏德宏, 姜伟, 赵凯瑞主编

— 延吉 : 延边大学出版社, 2017.4

ISBN 978-7-5688-2338-8

I. ①微… II. ①夏… ②姜… ③赵… III. ①微型计算机-理论-高等学校-教材 ②微型计算机-接口-高等学校-教材 IV. ①TP36

中国版本图书馆 CIP 数据核字(2017)第 096729 号

微机原理与接口技术

主编:夏德宏 姜伟 赵凯瑞

责任编辑:刘艳辉

封面设计:曾宪春

出版发行:延边大学出版社

社址:吉林省延吉市公园路 977 号 邮编:133002

网址:<http://www.ydcbs.com>

E-mail:ydcbs@ydcbs.com

电话:0433-2732435

传真:0433-2732434

发行部电话:0433-2732442

传真:0433-2733266

印刷:北京市彩虹印刷有限责任公司

开本:787×1092 毫米 1/16

印张:14.5

字数:350 千字

版次:2017 年 9 月第 1 版

印次:2017 年 9 月第 1 次

ISBN 978-7-5688-2338-8

定价:38.00 元

前 言

从20世纪70年代末、80年代初开始,我国的高校开始面向各个专业的大学生开展计算机教育。特别是面向非计算机专业学生的计算机基础教育,牵涉的专业面广、人数众多,影响深远。高校开展计算机基础教育的状况将直接影响我国各行各业、各个领域计算机应用的发展水平。这是一项意义重大而且大有可为的工作,应该引起各方面的充分重视。

“微机原理与接口技术”是电气与电子信息类专业的核心课程,强调学生在学习微型计算机基本原理的基础上建立软硬件结合的思维方法和培养解决实际问题的能力,侧重微机应用系统的设计。由于本课程各部分前后交叉、联系密切,不易自学,因此宜采用整体到局部再到整体,循序渐进、适当循环提高的知识组织体系和教学实践方法。

从微机系统的组成来看,虽然存储器的容量增长迅速,外部设备越来越丰富,但是单元存储电路的工作过程、存储系统构建,以及相关接口的原理、方法均没有改变;CPU与外设进行信息传送的方式没有改变,代表微机重要技术之一的中断技术的工作原理和管理方式也没有改变。因此,以8088/8086 CPU构成的微型计算机可以说是现代微机技术的浓缩。本书经过精细加工而成,其主要特色如下:

(1)定位准确,内容先进。根据多年来对国内外计算机硬件技术及其相关教材发展演变的动态跟踪与改革趋势分析。

(2)选材精练,篇幅适中。贯彻“少而精”的原则,文字流畅,深入浅出,有利于教师将微机硬件知识的精华在有限时间里教给学生。

由于作者水平的限制,加上时间仓促,书中的疏漏和不足在所难免,恳请专家学者及读者提出宝贵的意见和建议,以便于我们今后修改完善。

编 者

目 录

第一章 微型计算机基础知识	1
第一节 计算机的基本结构和工作原理	1
第二节 微型计算机系统	2
第三节 微型计算机的发展历程与应用	4
第四节 微型计算机的基本特点与主要性能指标	7
第五节 计算机内部数据的表示方法	8
第二章 微处理器系统结构与技术	20
第一节 CISC 与 RISC 技术	20
第二节 典型的 16 位微处理器的系统结构	21
第三节 8086/8088 系统的最小/最大工作方式	30
第四节 8086/8088 的存储器与 I/O 组织	34
第五节 80x86 微处理器	39
第六节 Pentium 微处理器	43
第七节 Pentium 系列及相关技术的发展	45
第八节 多处理器计算机系统概述	51
第九节 嵌入式计算机系统的应用与发展	54
第三章 80x86 微处理器指令系统	58
第一节 寻址方式	58
第二节 指令系统	63
第三节 32 位微处理器指令系统	79
第四章 汇编语言程序设计	81
第一节 程序设计语言概述	81
第二节 8086/8088 汇编源程序	82
第三节 8086/8088 汇编语言的数据项与表达式	84
第四节 8086/8088 汇编语言的伪指令	87

第五节 8086/8088 汇编语言程序设计基本方法	94
第五章 存储器系统	102
第一节 概述	102
第二节 随机存取存储器 RAM	103
第三节 只读存储器 ROM	107
第四节 CPU 与存储器的连接	111
第五节 高速缓冲存储器与虚拟存储器	116
第六章 微型计算机的主板及其 I/O 接口	121
第一节 主板概述	121
第二节 主板的基本结构	121
第三节 主板的多功能外围芯片组	122
第四节 主板设计要中的一些技术特点	125
第五节 主板上的插座、插槽与外部接口	127
第六节 主板的 BIOS 与 CMOS	133
第七章 中断技术	137
第一节 中断概述	137
第二节 实模式的中断处理	141
第三节 保护模式的中断处理	143
第四节 可编程中断控制器 8259	149
第五节 高级可编程中断控制器 APIC	162
第八章 接口技术	172
第一节 接口设计技术概述	172
第二节 可编程并行接口	174
第三节 串行通信接口	193
参考文献	226

第五章 存储器系统

第一节 概 述

一、存储器系统的一般概念

存储器系统与存储器是两个不同的概念。在现代计算机中通常有多种用途的存储器件,如内存、高速缓存(Cache)、磁盘、可移动硬盘、磁带、光盘等。它们的工作速度、存储容量、单位容量价格、工作方式以及制造材料等各方面都不尽相同。存储器系统的概念是:将两个或两个以上速度、容量和价格各不相同的存储器用软件、硬件或软硬件相结合的方法连接起来,成为一个系统。这个系统从程序员的角度看,它是一个存储器整体。

存储器是计算机系统的记忆部件,用来存放程序和各种数据信息,根据微处理器的控制指令将这些程序或数据提供给计算机使用。在计算机开始工作以后,存储器还要为其他部件提供信息,同时保存中间结果和最终结果。

存储器是微型机的一个重要组成部分,一般分为内存储器和外存储器。内存储器也称为主存,它和微处理器一起构成了微型机的主机部分。CPU 可以通过系统总线直接访问内存,因此其工作速度很快。一般地,计算机系统中的内存容量总是有限的,远远不能满足用户存放数据的需求,并且内存不能长时间地保存数据,断电后信息就会丢失。所以,通常的计算机系统都要配置大容量的且能长期保存数据的存储器,即外存储器,又称为辅助存储器,是计算机的外部设备。

二、半导体存储器及其分类

从第三代计算机开始,内存储器就采用性能优良的半导体存储器。半导体存储器体积小、容量大、价格低、速度快,在计算机中得到了广泛的应用,也是目前微型计算机中最主要的存储器。

半导体存储器种类繁多,从使用功能上可以划分成两大类:一是随机存取存储器(Random Access Memory, RAM),也称读写存储器;二是只读存储器(Read Only Memory, ROM)。RAM 中的内容既可以读也可以写,但里面存储的信息断电就消失。RAM 主要是用来存放一些和系统进行实时通信的输入输出数据、中间结果以及和外存交换的信息。ROM 中的信息是只能读不能写,但断电后信息不消失,在计算机重新加电后,原有的内容仍可以读出来。因此 ROM 一般用来存放一些固定的程序和数据。

半导体存储器的分类,如(图 5-1)所示。



图 5-1 半导体存储器的分类

(一) 随机存取存储器

随机存取存储器按照其制造工艺可分为双极型 RAM 和动态金属氧化物(MOS)RAM。

1. 双极型半导体 RAM

双极型 RAM 具有存取速度快、集成度低、功耗大、成本高的特点。但它以晶体管的触发器作为基本存储电路,故管子较多。所以在存取速度要求比较高的微型机中,常使用双极型 RAM。

2. 动态金属氧化物(MOS)RAM

MOS 型 RAM 制造工艺简单、集成度高、功耗低、价格便宜,在半导体存储器件中占有重要地位。按照芯片内部基本存储电路结构的不同,它又可分为静态 RAM(即 SRAM)和动态 RAM(即 DRAM)两类。

静态 RAM 一般用双稳触发器作为基本存储电路,采用 NMOS 电路,集成度较高。动态 RAM 采用的元件比静态的 RAM 少,集成度更高,功耗更小,但它靠电容存储电荷来记录信息,因而总是存在泄漏电荷的情况,故要求附加刷新电路周期性地刷新电容上的电荷(即将存储单元中的内容读出再写入)。典型的大约每隔 2ms 刷新一次。

(二) 只读存储器

只读存储器中一旦有了信息,就不会在掉电时丢失。但其中的信息只能读出来,而不能用一般的方法将信息写入。它又可分为如下几种:

1. 掩模式 ROM

厂家在制造集成电路芯片的最后,对用户定做的掩模 ROM 进行编程,一旦做好,信息就固化其中,不能改变。

2. 可编程 ROM(PROM)

芯片在出厂时并没有固化信息,允许用户一次性写入,以后就不可更改了。

3. 可擦除的 PROM(EPROM)

可以进行多次擦除和重写的 PROM。其写入的操作由专用的设备完成。写入的速度较慢,但由于它可以多次改写,所以特别适合用于科研工作。

4. 电可擦除的 PROM(EEPROM)

使用特定电信号进行擦除的 PROM,可以在线操作,因此很方便。但写入时电压要求较高,写入的速度也非常慢,总的写入次数也有限,把 EEPROM 作为 RAM 使用是不合适的。

第二节 随机存取存储器 RAM

通常计算机内存中的大部分是由随机存取存储器组成的。内存按地址访问,给出地址即可以得到相应内存单元里的信息,CPU 可以随机地访问任何内存单元的信息。而且,目前所采用的存储芯片的访问时间与所访问的存储单元的位置并没有什么关系,完全由芯片设计和生产技术以及芯片之间的互联技术决定。这种访问时间不依赖所访问的地址的访问方式称为

随机访问方式。

一、静态随机存取存储器 SRAM

(一) 基本的存储电路

静态 RAM 存储电路是由两个增强型的 NMOS 反相器 VT_1 和 VT_2 交叉耦合而成的触发器,通过控制这些触发器的选中来实现存储原理,如(图 5-2)所示。

当行选线 X 输出为高电平时, VT_5 、 VT_6 管导通,触发器就和数据线相通了。当这个电路被选中时,相应的列选线 Y 译码输出也是高电平,则 VT_7 、 VT_8 管也是导通的,于是 D 和 $\bar{D}$ 就与输入输出电路 I/O 以及 $\bar{I/O}$ (这是指存储器外部的数据线)相通。

写入时,写入信号从 I/O 以及 $\bar{I/O}$ 线输入,当写“1”时, I/O 线为“1”,而 $\bar{I/O}$ 为“0”。I/O 线上的高电平通过 VT_7 管、 D 线、 VT_5 管送到 A 点,而 $\bar{I/O}$ 线上的低电平经 VT_8 管、 $\bar{D}$ 、 VT_6 送到 B 点,这样就强迫 VT_2 管导通, VT_1 管截止,相当于把输入电荷存储在 VT_1 和 VT_2 管的栅极。

当输入信号以及地址选择信号消失后, VT_5 、 VT_6 、 VT_7 、 VT_8 都截止,由于存储单元有电源和两个负载管,可以不断地向栅极补充电荷,所以靠两个反相器交叉控制,只要不掉电就能保持写入信号“1”,而不用刷新。若要写入“0”,则 I/O 线为“0”, $\bar{I/O}$ 线为“1”,使 VT_1 导通,而 VT_2 截止,这样写入的“0”信号可以保持住,一直到写入新的信号为止。

读出时,只要某一电路被选中,相应的 VT_5 、 VT_6 导通, A 点和 B 点与位线 D 和 $\bar{D}$ 相通,且 VT_7 、 VT_8 也导通,故存储电路的信号被送至 I/O 线以及 $\bar{I/O}$ 线上。读出时可以把 I/O 以及 $\bar{I/O}$ 接到一个差动放大器,由其电流方向即可判定存储单元的信息是“1”还是“0”,也可以只有一个输出端接到外部,以其有无电流通过来判定所存储的信息。

(二) 典型的静态 RAM 芯片——Intel 6116

常用的典型 SRAM 芯片 Intel 6116 的引脚及功能框图,如(图 5-3)所示。

Intel 6116 芯片的容量为 2K×8 位,有 2048 个存储单元,需 11 根地址线,7 根用于行地址译码输入,4 根用于列地址译码输入,每列线控制 8 位,从而形成了 128×128 个存储阵列,即存储体中有 16384 个存储单元。Intel 6116 的控制线有 3 条:片选 $\overline{CS}$ 、输出允许 $\overline{OE}$ 和读写控制 $\overline{WE}$ 。

Intel 6116 存储器芯片的工作过程如下:

读出时,地址输入线 $A_{10} \sim A_0$ 送来的地址信号经译码器送到行、列地址译码器,经译码后选中一个存储单元(其中有 8 个存储位),由 $\overline{CS}$ 、 $\overline{OE}$ 、 $\overline{WE}$ 构成读出逻辑($\overline{CS}=0$, $\overline{OE}=0$, $\overline{WE}=1$)打开右面的 8 个三态门,被选中单元的 8 位数据经 I/O 电路和三态门送到 $D_7 \sim D_0$ 输出。

写入时,地址选中某一存储单元的方法和读出时相同,不过这时 $\overline{CS}=0$ 、 $\overline{OE}=1$ 、 $\overline{WE}=0$ 。打开左边的三态门,从 $D_7 \sim D_0$ 端输入的数据经三态门的输入控制电路送到 I/O 电路,从而写到

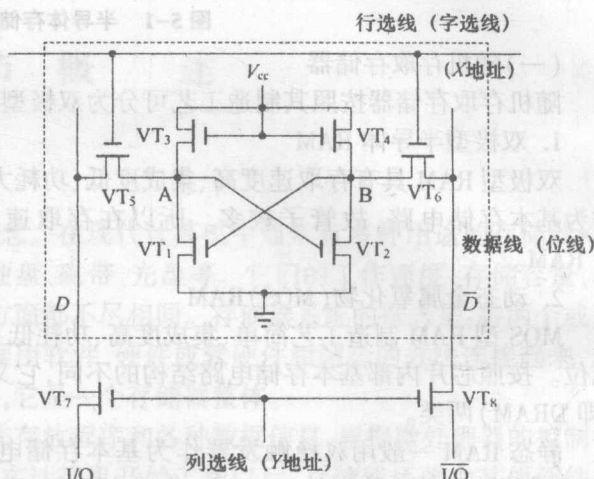


图 5-2 六管静态 RAM 基本存储电路

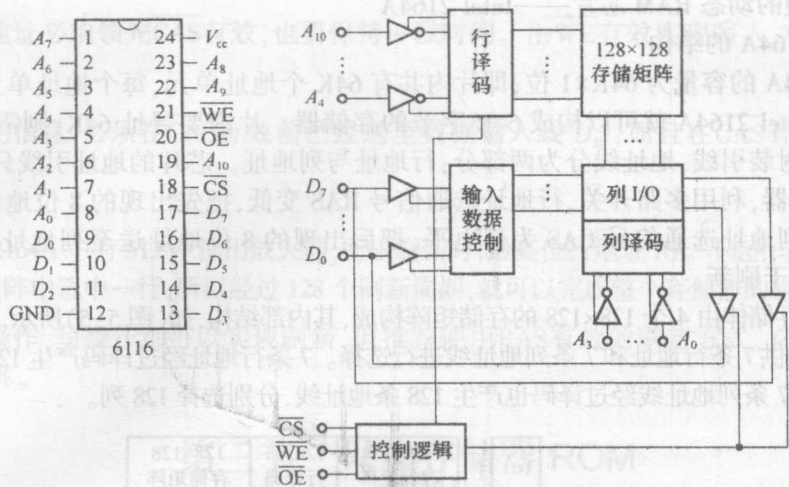


图 5-3 6116 引脚及功能框图

存储单元的 8 个存储位中。

当没有读写操作时, $\overline{CS}=1$, 即片选处于无效状态, 输入输出三态门呈高阻状态, 从而使存储器芯片与系统总线脱离。

二、动态随机存取存储器: DRAM

(一) 单管动态存储电路

动态 RAM 利用 MOS 管栅极和源极之间的寄生电容 C 存储电荷的原理来存储信息。如图 (图 5-4) 所示, 电容 C 上有电荷表示存储的二进制信息是“1”, 无电荷表示“0”。 $\overline{C}$ 是数据线的分布电容, 一般 C 小于 $\overline{C}$ 。因此每个数据读出后, C 上的电荷经 $\overline{C}$ 释放, 信息被破坏, 所以每位数据读出后, 要重新恢复 C 上的电荷量, 称为刷新。在写入时, 字选线 X 为“1”, VT_1 管导通, 写入的信息通过数据线 D 存入电容 C 中。读出时, 字选线 X 为“1”, 存储在 C 电容上的电荷通过 VT_1 输出到数据线上, 根据数据线上有无电流可得知存储的信息是“1”还是“0”。

动态 RAM 相对于静态 RAM 来说电路简单, 集成度高, 功耗小, 但缺点是需要附加刷新电路, 电路较复杂。动态 RAM 一般用于组成大容量的 RAM 存储器。

(二) 动态 RAM 的刷新

动态 RAM 是靠电容存储电荷来保存信息的, 由于电容会泄漏放电, 所以, 为保持电容中的电荷不丢失, 必须对动态 RAM 不断进行读出和再写入, 以使放电泄漏的电荷得到补充。

温度上升时, 电容的放电速度也会加快, 所以两次刷新的时间间隔是随温度而变化的, 一般为 $1 \sim 100\text{ms}$, 在 70°C 时, 一般的刷新间隔为 2ms 。而读/写操作的随机性, 不能保证内存中所有的 RAM 单元都在 2ms 中可以通过正常的读/写操作来刷新, 因此依靠专门的存储器刷新周期来系统地完成动态 RAM 的刷新。

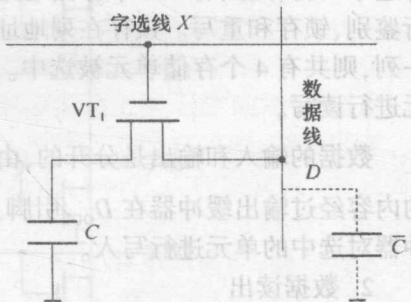


图 5-4 单管动态存储电路

(三)典型的动态 RAM 芯片——Intel 2164A

1. Intel 2164A 的结构

芯片 2164A 的容量为 64K×1 位,即片内共有 64K 个地址单元,每个地址单元存放一位数据。用 8 片 Intel 2164A 就可以构成 64K 字节的存储器。片内要寻址 64K,则需要 16 条地址线,为了减少封装引线,地址线分为两部分:行地址与列地址。芯片的地址引线只要 8 条,内部设有地址锁存器,利用多路开关,行地址选通信号 RAS 变低,把先出现的 8 位地址送至行地址锁存器,然后列地址选通信号 CAS 为低电平,把后出现的 8 位地址送至列地址锁存器。这 8 条地址线也用于刷新。

2164A 的存储体由 4 个 128×128 的存储矩阵构成,其内部结构,如(图 5-5)所示。每个 128×128 的存储矩阵,提供 7 条行地址和 7 条列地址线进行选择。7 条行地址经过译码产生 128 条地址线,分别选择 128 行;7 条列地址线经过译码也产生 128 条地址线,分别选择 128 列。

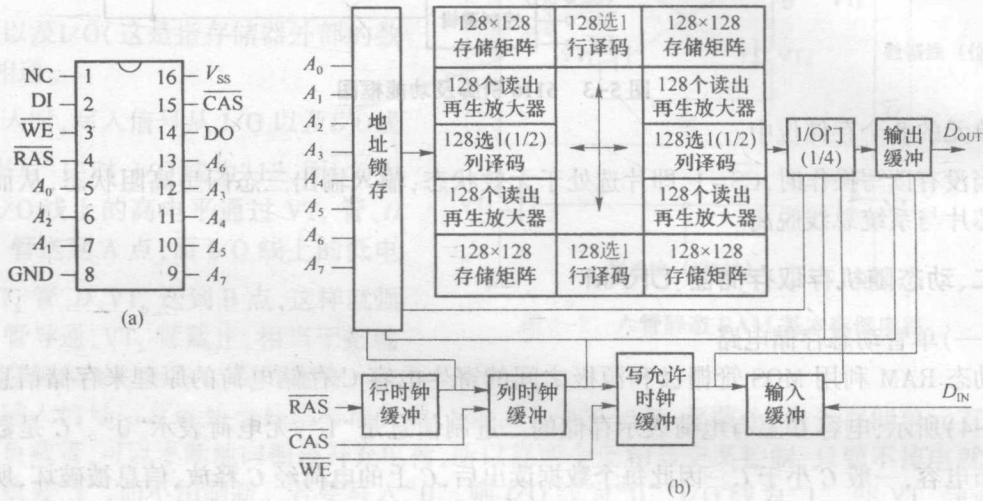


图 5-5 2164 引脚及结构示意图

锁存在行地址锁存器中的 7 位行地址 RA₆~RA₀ 同时加到 4 个存储矩阵上,在每个矩阵中都选中一行,则共有 512 个存储电路被选中,它们存放的信息被选通至 512 个读出放大器,进行鉴别、锁存和重写。锁存在列地址锁存器中的 7 位列地址 CA₆~CA₀ 在每个存储矩阵中选中一列,则共有 4 个存储单元被选中。最后经过 I/O 门(1/4)电路选中一个单元,可以对这个单元进行读写。

数据的输入和输出是分开的,由 WE 信号控制读写。当 WE 为高时,实现读出,选中的单元的内容经过输出缓冲器在 D_{OUT} 引脚上读出。当 WE 为低电平时, D_{IN} 引脚上的信号经过输入缓冲器对选中的单元进行写入。

2. 数据读出

数据读出的过程是从行地址选通信号 RAS 变低开始的。为了能使行地址可靠锁存,通常希望行地址能先于 RAS 信号有效。同样,为了保证列地址的可靠锁存,列地址先于 CAS 信号。

要从指定单元读出信息,必须 RAS 有效后 CAS 有效。

信息的读写取决于控制信号 WE。为实现读出, WE 信号必须在 CAS 有效之前变为高电平。

3. 数据写入

要选定写入的单元, RAS 和 CAS 必须都有效,而且行地址必须领先 RAS 有效,并且要保持一

段时间。列地址必须领先CAS有效,也要保持一段时间。由 $\overline{WE}$ 有效实现写入, $\overline{WE}$ 信号必须领先CAS有效。

要写入的信息,必须在CAS有效前已经送至数据输入线 D_{IN} ,而且在CAS有效后必须保持一段时间。

4. 刷新

在 Intel 2164A 中有 512 个读出放大器,所以刷新时,最高位行地址 RA_7 不起作用,由 $RA_6 \sim RA_0$ 在 4 个存储矩阵中选中一行,所以经过 128 个刷新周期,就可以完成整个存储体的刷新。

虽然读操作、写操作都可以实现刷新,但推荐使用RAS有效的刷新方式,它比别的周期功耗可降低 20%。

第三节 只读存储器 ROM

只读存储器 ROM 是一种非易失性的半导体存储器件。其中所存放的信息可长期保存,掉电也不会丢失,常被用来保存固定的程序和数据。在一般工作状态下,ROM 中的信息只能读出,不能写入。对可编程的 ROM 芯片,可用特殊方法将信息写入,该过程也被称为“编程”。对可擦除的 ROM 芯片,可采用特殊方法将原来信息擦除,以便再次编程。

一、掩膜式 ROM

掩膜式 ROM 一般由生产厂家根据用户的要求而定制,适合于批量生产和使用。(图 5-6)所示是一个简单的 4×4 位的 MOS ROM,采用字译码方式,两位地址输入,经译码后,输出四条选择线,每一条选中一个字,位线输出即为这个字的各位。在图示的存储矩阵中,有的列没有连管子,这是在制造时由二次光刻板的掩膜所决定的,所以称其为掩膜式 ROM。

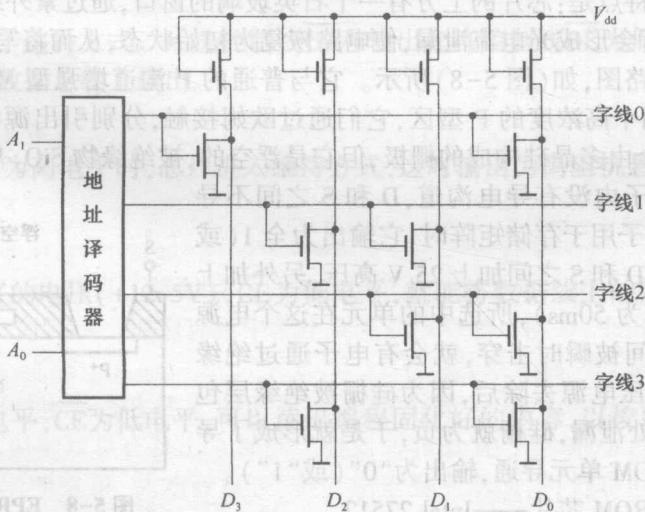


图 5-6 掩膜式 ROM 结构示意图

在(图 5-6)中,若地址信号为 00,选中第一条字线,则它的输出为高电平。若有管子与其相连,如 D_0 和 D_3 ,则相应的 MOS 管导电,输出为“0”;而 D_1 和 D_2 ,没有管子与字线 0 相连,则输出为“1”(实际上,输出到数据总线上的是“1”还是“0”,取决于在输出线上有无反相)。因此当某一字线被选中时,连有管子的位线输出为“0”(或“1”);而没有管子相连的位线输出

为“1”(或“0”)。存储矩阵的内容取决于制造工艺,而一旦制造好以后,用户无法改变。

由此可以看出 ROM 的一个特性:ROM 所存储的信息不是易失的,在电源断开后又加电时,存储的信息不变。

二、可编程 PROM

为了便于用户根据自己的需要来确定 ROM 中的内容,出现了可编程的只读存储器,简称为 PROM。它可以由用户自己编程。

(图 5-7)为一种双极型 PROM 的基本存储结构。图中晶体管发射极与数据位线间连有熔丝,所以称这种 PROM 为熔丝式 PROM。

出厂时,所有存储单元的熔丝都是完好的。编程时,通过字线选中某个晶体管。若准备写入 1,则向位线送高电平,此时管子截止,熔丝将被保留;若准备写入 0,则向位线送低电平,此时管子导通,控制电流是熔丝烧断。换句话说,所有存储单元出厂时均存放信息 1,一旦写入 0 使熔丝烧断,就不可能再恢复。所以,用户只可对它进行一次编程。

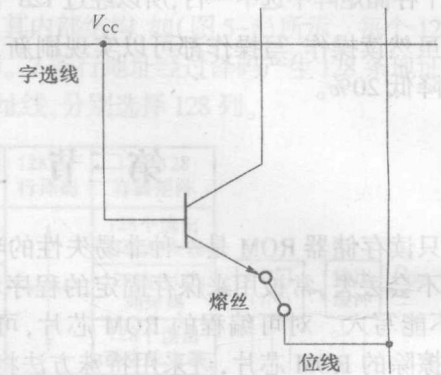


图 5-7 熔丝式 PROM

三、可擦写 EPROM

(一)基本存储电路

用户可以对 PROM 进行编程,但对它只能修改一次。为了便于用户根据自己需要来确定 ROM 的存储内容,开发出了 EPROM 芯片。

EPROM 芯片的特点是:芯片的上方有一个石英玻璃的窗口,通过紫外线照射,芯片电路中的浮空晶栅上的电荷会形成光电流泄漏,使电路恢复为初始状态,从而将写入的信号擦去。

EPROM 芯片电路图,如(图 5-8)所示。它与普通的 P 沟道增强型 MOS 电路相似,在 N 型的基片上安置了两个高浓度的 P 型区,它们通过欧姆接触,分别引出源极(S)和漏极(D),在 S 和 D 之间有一个由多晶硅构成的栅极,但它是浮空的,被绝缘物 SiO₂ 所包围。出厂时,硅栅上没有电荷,则管子内没有导电沟道,D 和 S 之间不导电。当把 EPROM 管子用于存储矩阵时,它输出为全 1(或 0)。要写入时,则在 D 和 S 之间加上 25 V 高压,另外加上编程脉冲(其宽度约为 50ms),所选中的单元在这个电源的作用下,D 和 S 之间被瞬时击穿,就会有电子通过绝缘层注入到硅栅,当高压电源去除后,因为硅栅被绝缘层包围,故注入的电子无处泄漏,硅栅就为负,于是就形成了导电沟道,从而使 EPROM 单元导通,输出为“0”(或“1”)。

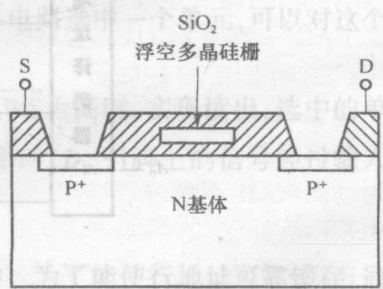


图 5-8 EPROM 芯片电路图

(二)典型的 EPROM 芯片——Intel 27512

随着超大规模集成电路技术的发展,高集成度的 EPROM 使用已很普遍。下面以 Intel 27512 为例介绍一下它的主要特点。

Intel 27512 是 64K×8 的 EPROM 芯片,28 脚双列直插式封装,地址线为 16 条 A₁₅~A₀,数据线 8 条 O₇~O₀,带有三态输出缓冲,读出时只需单一的+5V 电源。Intel 27512 的内部结构,如(图 5-9)所示。

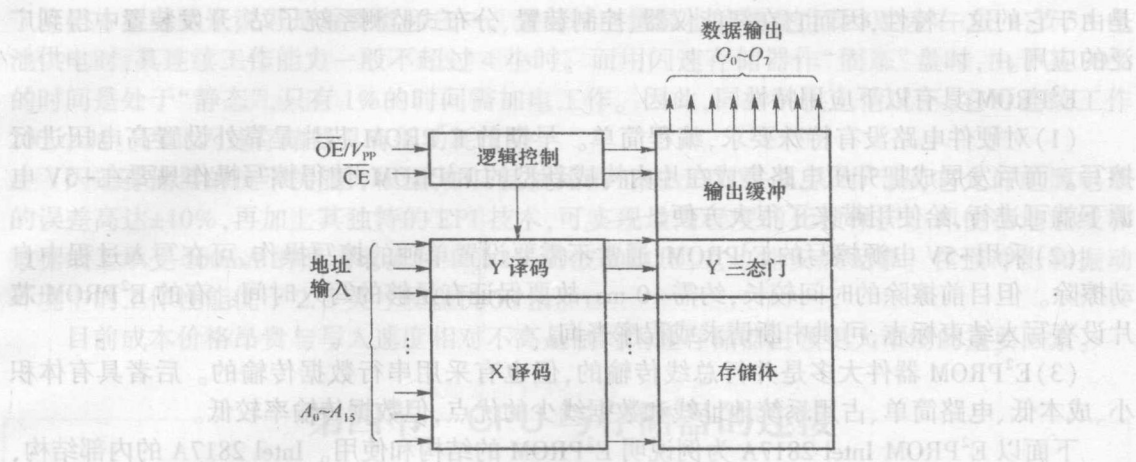


图 5-9 Intel 27512 的内部结构

Intel 27512 有 5 种工作方式,如(表 5-1)所示。

表 5-1 Intel 27512 工作方式选择表

工作模式	CE	OE/V _{pp}	V _{cc}	O ₇ ~O ₀
读	0V	0V	+5V	数据输出
维持	+5V	任意	+5V	高阻
编程	0V	+12.5V	+5V	数据输入
编程校验	0V	0V	+5V	数据输出
编程禁止	+5V	+12.5V	+5V	高阻

1. 读方式

一般使用时就处于这种方式。片选控制线CE和输出允许控制线OE为低电平,就可以将指定地址单元的内容从数据总线上读出。

2. 维持方式

当片选控制线CE为高电平时,芯片进入维持方式,这时输出为高阻抗悬浮状态,不占用数据总线。

3. 编程方式

在V_{pp}端加固定好的电压(+12.5V),CE为低电平,就能将数据线上的数据固化到指定的地址单元中去。

4. 校验方式

在V_{pp}端保持低电平,CE为低电平,可以读出编程固化好的内容,以校验写入的内容是否正确。

5. 编程禁止方式

当V_{pp}为+12.5V时,CE为高电平,编程禁止,输出总线呈高阻状态。

四、电擦写 E²PROM

E²PROM 是 20 世纪 80 年代初问世的产品,近年来得到人们的广泛重视和应用。E²PROM 的主要特点是能在系统中进行在线读写,并在断电的情况下使保存的数据信息不会丢失。正

是由于它的这一特性,因而它在智能仪器、控制装置、分布式监测系统子站、开发装置中得到广泛的应用。

E²PROM 具有以下应用特性:

(1)对硬件电路没有特殊要求,编程简单。早期的 E²PROM 芯片是靠外设置高电压进行擦写。而后发展成把升压电路集成在片内构成新型的 E²PROM,使得擦写操作只要在+5V 电源下就可进行,给使用带来了很大方便。

(2)采用+5V 电源擦写的 E²PROM,通常不需要设置单独的擦写操作,可在写入过程中自动擦除。但目前擦除的时间较长,约需 10 ms,故要保证有足够的写入时间。有的 E²PROM 芯片设有写入结束标志,可供中断请求或程序查询。

(3)E²PROM 器件大多是并行总线传输的,但也有采用串行数据传输的。后者具有体积小、成本低、电路简单、占用系统地址线 and 数据线少的优点,但数据传输率较低。

下面以 E²PROM Intel 2817A 为例说明 E²PROM 的结构和使用。Intel 2817A 的内部结构,如(图 5-10)所示。

E²PROM Intel 2817A 容量为 2K×8,采用单一的+5 V 电源,写入时自动擦除原内容,最大读取时间为 200 ns。Intel 2817A 的字节写入时间较长,比 CPU 指令执行时间慢几个数量级。Intel 2817A 通过其内含的硬件接口逻辑、写操作所需的电压发生部件以及写操作相配合的自擦除自定时等部件来解决写入时的同步问题。芯片上有一个准备就绪/忙控制信号端 RDY/BUSY,在写



图 5-10 2817A 的内部结构

入期间 RDY/BUSY 为低电平,写入完成为高电平。CPU 可以用查询方式获知写入操作是否完成,或者采用中断方式,一旦字节写入完毕,便由 RDY/BUSY 端向 CPU 发出中断请求来通知 CPU 写入完成。

五、闪存存储器

闪存存储器(Flash Memory)是一种新型非挥发性存储器。目前,它已广泛应用在 Pentium 及其以上级别的主板中,在超小型专用便携式电脑中也有应用。由闪存存储器取代 ROM 及特种专用微型硬盘已成为一种发展趋势。

闪存存储器芯片借用了 EPROM 结构简单,又吸收了 E²PROM 电擦除的特点。不但具备 RAM 的高速性,而且还兼有 ROM 的非挥发性。同时它还具有可以整块芯片电擦除、耗电低、集成度高、体积小、可靠性高、无须后备电池支持、可重新改写、重复使用性好(至少可反复使用 10 万次以上)等优点。闪速存储器的读出时间仅为 70~160ns,比普通外部存储器快 50~200 倍。平均写入速度低于 0.1s。使用它不仅能有效解决外部存储器和内存之间速度上存在的瓶颈问题,而且能保证有极高的读出速度。

闪速存储器使用先进的 CMOS 制造工艺,最大工作电流只有 20mA,备用状态下的最大电流不过 100μA。而典型的 EPROM,写入时高电平为 75mA,低电平为 30mA。如此低的功耗对

于笔记本型电脑来说可是重要指标之一。目前耗电量最小的硬盘也要 3W 左右,用 4 节 5A 电池供电时,其连续工作能力一般不超过 4 小时。而用闪速存储器作“固态”盘时,由于其 99% 的时间是处于“静态”,只有 1% 的时间需加电工作。因此,同样的供电情况下,它可连续工作 200 小时。因此闪速存储器具有低功耗优势。

由于闪速存储器的抗干扰能力很强,如广泛使用的 Intel ETOX-III 系列产品,它允许电源电压的误差高达 $\pm 10\%$,再加上其独特的 EPI 技术,可实现最高程度的死锁保护。即使在地址线和数据线上承受 100mA 的涌动电流和 $V_{cc} \pm 1V$ 的波动电压,它也能安然无事。在强冲击和振动环境中的工作性能优于 2.5 英寸硬盘机 50 倍。

目前成本价格昂贵与写入速度相对不高是制约闪速存储器占领更大市场的重要因素。

第四节 CPU 与存储器的连接

CPU 与存储器之间的信息交换是通过数据总线、控制总线和地址总线进行的。当 CPU 需要信息时,先由地址总线给出存放信息的起始地址的地址信号,然后通过控制总线发出一个“读”信号。这些信号被送到存储器,存储器中所指定的起始地址及其后的一串单元中所存储的信息经过“读出”被送到数据总线。CPU 就可以由数据总线得到所需要的数据了。写入操作与此类似,CPU 把要写入的数据以及写入位置的开始地址分别送入数据总线和地址总线,并在控制总线发出一个“写”信号,数据即被写入指定内存单元。

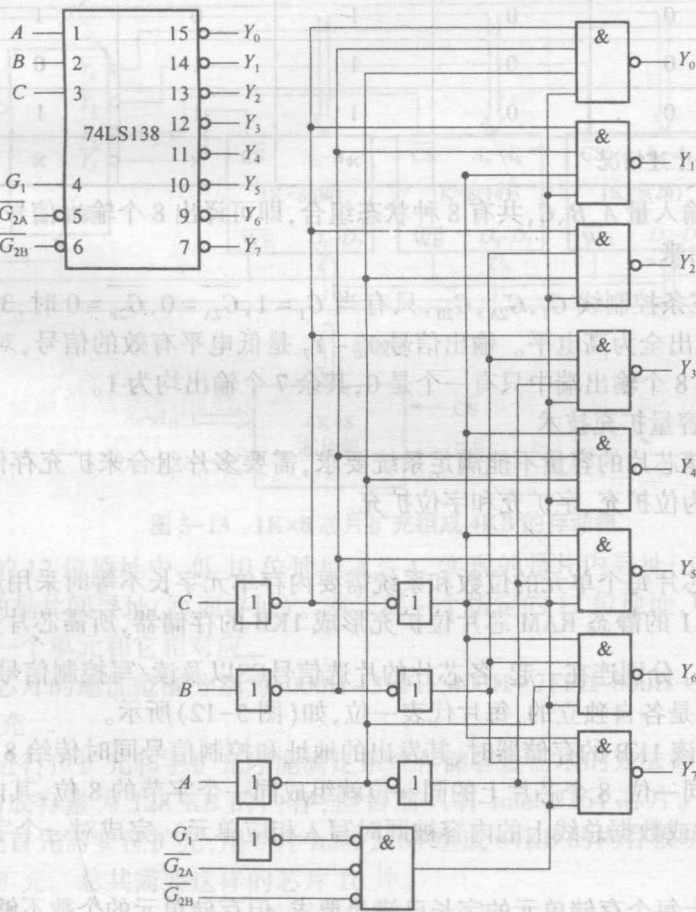


图 5-11 3-8 译码器 74LS138 芯片

可见,CPU 与存储器连接时,地址总线、数据总线和控制总线都要连接。因此连接时应注意 CPU 与存储器之间速度的匹配问题。如果存储器速度跟不上,就会影响整个系统的性能。还有就是在连接前要确定内存容量的大小,然后通过译码器实现地址分配。

(一)地址译码器 74LS138

使用一个存储芯片或芯片组组成的存储器,其地址单元很有限,一般不能满足需要。因此存储器是由多个存储芯片或芯片组组成,在这种情况下,必须进行寻址。用译码器对多余的高位地址线进行译码,其输出分别连接不同芯片的片选端,选通不同的芯片。其特点是不会产生地址空间的重叠,避免空间分散。

如(图 5-11)所示是常用的地址译码器 74LS138,其真值表,如(表 5-2)所示。

表 5-2 274LS138 的真值表

G_1	G_{2A}	G_{2B}	C	B	A	选中
1	0	0	0	0	0	Y_0
1	0	0	0	0	1	Y_1
1	0	0	0	1	0	Y_2
1	0	0	0	1	1	Y_3
1	0	0	1	0	0	Y_4
1	0	0	1	0	1	Y_5
1	0	0	1	1	0	Y_6
1	0	0	1	1	1	Y_7
不是上述情况			×	×	×	未工作

由于有三个输入量 A 、 B 、 C ,共有 8 种状态组合,即可译出 8 个输出信号 $Y_0 \sim Y_7$,这也是 3-8 译码器名字的由来。

74LS138 有三条控制线 $G_1, \overline{G_{2A}}, \overline{G_{2B}}$,只有当 $G_1 = 1, \overline{G_{2A}} = 0, \overline{G_{2B}} = 0$ 时,3-8 译码器才能工作,否则译码器输出全为高电平。输出信号 $Y_0 \sim Y_7$ 是低电平有效的信号,对应于 CBA 的任何一种组合输入,其 8 个输出端中只有一个是 0,其余 7 个输出均为 1。

(二)存储器容量扩充技术

通常单片存储芯片的容量不能满足系统要求,需要多片组合来扩充存储器的容量。存储器的扩充又可分为位扩充、字扩充和字位扩充。

1. 位扩充

当实际存储芯片每个单元的位数和系统需要内存单元字长不等时采用这种方法。

例如,用 $1K \times 1$ 的静态 RAM 芯片位扩充形成 $1KB$ 的存储器,所需芯片数为 8。这 8 片芯片的地址线 $A_0 \sim A_9$ 分别连在一起,各芯片的片选信号 $\overline{CS}$ 以及读/写控制信号 $\overline{WE}$ 也都分别连在一起,只有数据线是各自独立的,每片代表一位,如(图 5-12)所示。

当 CPU 访问该 $1KB$ 的存储器时,其发出的地址和控制信号同时传给 8 个芯片,选中每个芯片某个单元的同位,8 个芯片上的同位就组成同一个字节的 8 位,其内容被同时读至数据总线的相应位(或数据总线上的内容被同时写入相应单元),完成对一个字节的读/写操作。

2. 字扩充

当存储芯片上每个存储单元的字长已满足要求,但存储单元的个数不够时,需要增加存储