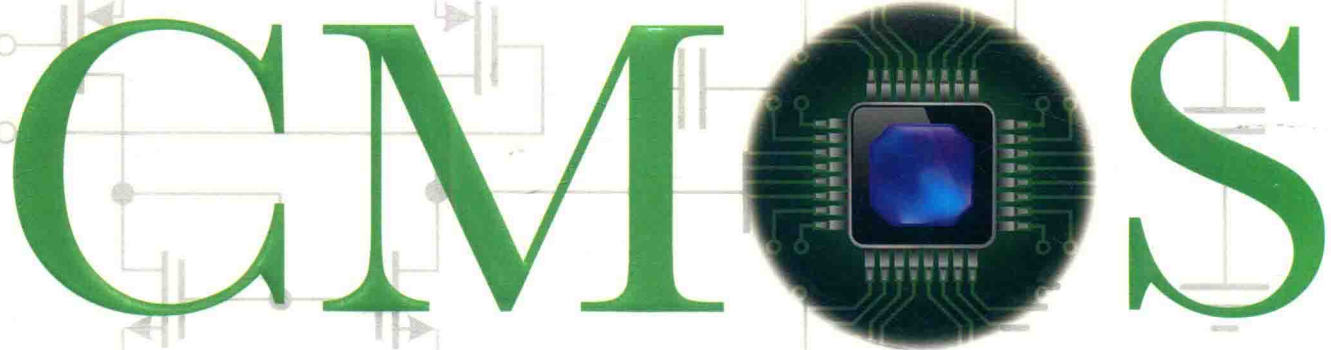




# 深入浅出学习 CMOS模拟集成电路

邹志革 编著

Head First Analog  
CMOS Integrated Circuits

本书所有案例均可配合华大九天公司的EDA平台进行仿真学习



机械工业出版社  
CHINA MACHINE PRESS

本书所有案例均可配合华大九天公司的 EDA 平台进行仿真学习。需要使用华大九天 EDA 平台的读者，请以高校名义集体申请临时使用权。联系方式：info@empyrean-tech.com

# 深入浅出学习 CMOS 模拟集成电路

邹志革 编著



机械工业出版社

本书从 CMOS 集成电路中精选出 101 个知识点和典型电路,深入浅出地讲解了模拟集成电路的原理、设计方法和仿真方法,并采用北京华大九天软件有限公司的 Aether 全流程 EDA 平台完成了所有电路的仿真。为引导读者思考电路的工作原理,以及引导读者思考为了改善电路性能指标而如何改变电路的某些参数,本书在每个仿真电路后设置了若干个思考题。为方便读者自行仿真并验证这些问题,本书还提供了仿真电路图、关键仿真命令、仿真波形。仿真命令与常见的 Spice 仿真工具完全兼容,也便于读者使用非华大九天软件进行仿真。

全书分为 8 章,内容基本涵盖了国内普通高校模拟集成电路课程教学大纲的要求。第 1 章讲述 MOS 器件物理;第 2 章讲述单管放大器;第 3 章讲述差分放大器;第 4 章讲述电流源和电流镜;第 5 章讲述放大器的频率特性;第 6 章讲述二级放大器;第 7 章讲述基准电压源和电流源;第 8 章讲述了一个实际带隙基准源电路的设计和完整仿真。

本书可作为模拟集成电路经典教材的补充阅读材料和参考书,也可直接作为大学本科教材。(编辑信箱:jinaemp@163.com)

## 图书在版编目(CIP)数据

深入浅出学习 CMOS 模拟集成电路/邹志革编著. —北京:机械工业出版社, 2018.6

ISBN 978-7-111-59275-4

I. ①深… II. ①邹… III. ①CMOS 电路-高等学校-教材 IV. ①TN432

中国版本图书馆 CIP 数据核字(2018)第 038868 号

机械工业出版社(北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:吉玲 责任编辑:吉玲 王荣 王小东

责任校对:陈越 封面设计:张静

责任印制:张博

三河市宏达印刷有限公司印刷

2018 年 6 月第 1 版第 1 次印刷

184mm×260mm·18 印张·438 千字

标准书号:ISBN 978-7-111-59275-4

定价:43.00 元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

服务咨询热线:010-88379833

读者购书热线:010-88379649

网络服务

机工官网:www.cmpbook.com

机工官博:weibo.com/cmp1952

教育服务网:www.cmpedu.com

金书网:www.golden-book.com

封面无防伪标均为盗版

# 前言

目前,在模拟集成电路设计的教学中,国内高校使用的教材以国外引进为主。最常用的是美国 Razavi 教授的《Design of Analog CMOS Integrated Circuits》、Phillip E. Allen 教授的《CMOS Analog Circuit Design》、Paul R. Gray 教授的《Analysis and Design of Analog Integrated Circuits》或者其中文翻译版。这些教材系统性地介绍了模拟集成电路中的基本概念和相关知识,是全球公认的模拟集成电路领域最经典的三本教材。

国内也出现了不少模拟集成电路方面的参考书和教材,也有指导学生开展集成电路实践教学的参考书,但这类书更多的是纯粹介绍 EDA 工具。既能有效结合基础的理论教学,又能高效指导电路仿真的教材还很少见。本书从 CMOS 集成电路中精炼出 101 个知识点和典型电路,深入浅出地讲解了这些电路的原理、设计方法和仿真方法,并采用北京华大九天软件有限公司的 Aether 全流程 EDA 平台完成了所有电路的仿真。为了便于学生学习时将原理图与仿真图进行对照,原理图中的 MOS 管器件符号保留了仿真图中的画法。为引导读者思考电路的工作原理,以及引导读者思考为了改善电路性能指标而如何改变电路的某些参数,本书在每个仿真电路后设置了若干个思考题。为方便读者自行仿真并验证这些问题,本书还提供了仿真电路图、关键仿真命令、仿真波形。特别地,本书引导读者修改电路中的部分参数,观看仿真结果的变化,并和之前的仿真结果进行比较,更加有利于初学者掌握电路的基本原理。这对于无法完全用理论公式推导来指导设计的模拟集成电路而言,显得尤其有意义。

全书共 8 章,基本涵盖了国内普通高校模拟集成电路课程教学大纲的要求。第 1 章讲述 MOS 器件物理;第 2 章讲述单管放大器;第 3 章讲述差分放大器;第 4 章讲述电流源和电流镜;第 5 章讲述放大器的频率特性;第 6 章讲述二级放大器;第 7 章讲述基准电压源和电流源;第 8 章讲述一个实际的带隙基准源电路的设计和仿真。本书可作为前述经典教材的补充阅读材料和参考书,也可直接作为大学本科教材。

本书由华中科技大学光学与电子信息学院微电子工程系、华中科技大学武汉(国际)微电子学院超大规模集成电路与系统研究中心的邹志革副教授编著。华中科技大学武汉(国际)微电子学院执行院长邹雪城教授对本书的编写给予了非常多的关心和帮助,在全书思路、内容安排上都给出了诸多有益建议。硕士生徐文韬、古真、吴文海等人参与了书中案例的仿真和全书的核校工作。全书采用了北京华大九天软件有限公司的 Aether 全流程 EDA 平台,感谢总经理刘伟平先生、副总经理杨晓东先生及公司技术团队对本书的支持。在此对他们一并表示衷心的感谢!

当然,模拟集成电路博大精深,而且还在不断发展,新技术、新方法、新问题层出不穷,加之作者水平有限,书中难免出现不妥或者错误,真诚希望广大读者能批评指正,在此表示衷心感谢!

邹志革  
于喻家山下

# 目 录

## 前言

## 第 1 章 MOS 器件物理 ..... 1

- 1.1 MOS 管的  $I/V$  特性 ..... 1
- 1.2 MOS 管的跨导 ..... 4
- 1.3 源极跟随器中的衬底偏置效益 ..... 6
- 1.4 沟长调制效应与小信号输出电阻 ..... 9
- 1.5 沟长与沟长调制效应 ..... 10
- 1.6 MOS 器件电容 ..... 12
- 1.7 工艺角 ..... 14
- 1.8 跨导效率 ..... 17
- 1.9 MOS 管的特征频率 ..... 19
- 1.10 MOS 管的本征增益 ..... 21
- 1.11 传输门 ..... 23
- 1.12 MOS 管的并联与串联 ..... 25

## 第 2 章 单管放大器 ..... 29

- 2.1 电阻负载共源极放大器 ..... 29
- 2.2 电流源负载共源极放大器 ..... 34
- 2.3 二极管连接 MOS 管负载的共源极放大器 ..... 36
- 2.4 共源极放大器的线性度 ..... 39
- 2.5 带源极负反馈的共源极放大器 ..... 42
- 2.6 源极负反馈共源极放大器的跨导 ..... 44
- 2.7 电阻负载共源极放大器的 PSRR ..... 47
- 2.8 电流源负载共源极放大器的 PSRR ..... 51
- 2.9 源极跟随器的输入输出特性 ..... 53
- 2.10 源极跟随器的增益 ..... 55
- 2.11 源极跟随器的电平转移功能 ..... 57
- 2.12 用作缓冲器的源极跟随器 ..... 59
- 2.13 共栅极放大器的输入输出特性 ..... 62
- 2.14 共源共栅放大器的大信号特性 ..... 65
- 2.15 共源共栅极的输出电阻 ..... 67
- 2.16 共源共栅放大器的增益 ..... 69
- 2.17 共源共栅放大器的输出电压摆幅 ..... 71
- 2.18 套筒式和折叠式共源共栅放大器的差异 ..... 73
- 2.19 共源共栅放大器的 PSRR ..... 76

- 2.20 基于跨导效率的放大器设计方法 ..... 79

- 2.21 反相器作为放大器 ..... 81

- 2.22 理想电流源负载的源极负反馈放大器 ..... 84

## 第 3 章 差分放大器 ..... 86

- 3.1 电阻负载全差分放大器的共模输入范围 ..... 86
- 3.2 差分放大器的差模大信号特性 ..... 88
- 3.3 全平衡差分放大器的差模增益 ..... 90
- 3.4 全平衡差分放大器的共模响应 ..... 93
- 3.5 基本差分对电阻失配时的共模响应 ..... 96
- 3.6 差分放大器的 CMRR ..... 98
- 3.7 全差分放大器的 PSRR ..... 101
- 3.8 全差分放大器的输出共模电平 ..... 104
- 3.9 交叉互连负载的差分放大器 ..... 107

## 第 4 章 电流源和电流镜 ..... 111

- 4.1 基本电流镜 ..... 111
- 4.2 共源共栅电流源 ..... 113
- 4.3 共源共栅电流源的输出电压余度 ..... 116
- 4.4 一种低压共源共栅电流源 ..... 119
- 4.5 一种改进的低压共源共栅电流源 ..... 121
- 4.6 有源电流镜负载差分放大器差动特性 ..... 123
- 4.7 有源电流镜负载差分放大器的共模输入范围 ..... 127
- 4.8 有源电流镜负载差分放大器的 CMRR ..... 129
- 4.9 有源电流镜负载差分放大器的 PSRR ..... 131
- 4.10 差分放大器的压摆率 ..... 134

## 第 5 章 放大器的频率特性 ..... 137

- 5.1 共源极放大器的频率响应 ..... 137
- 5.2 源极跟随器阶跃响应的减幅振荡 ..... 142
- 5.3 共源共栅极中的密勒效应 ..... 145
- 5.4 共源共栅放大器的频率响应 ..... 147

|                            |     |                            |     |
|----------------------------|-----|----------------------------|-----|
| 5.5 全差分放大器差模增益的频率特性        | 149 | 7.8 $\Delta V_{BE}$ 的温度特性  | 223 |
| 5.6 全差分放大器共模增益的频率特性        | 152 | 7.9 带隙基准源电路构成              | 224 |
| 5.7 采用电容中和技术消除密勒效应         | 154 | 7.10 Widlar 电流源            | 228 |
| 5.8 有源电流镜负载差分放大器的零极点分布     | 157 | 7.11 Wilson 电流镜            | 229 |
| 5.9 放大器的增益带宽积              | 160 | 7.12 Yongda 电流源            | 231 |
| 5.10 考虑频率特性的放大器宏模型         | 163 | 7.13 另外一种带启动电路的自偏置电流源      | 233 |
| 5.11 反馈系统的增益带宽积            | 168 | 第 8 章 带隙基准源设计举例            | 237 |
| 第 6 章 二级放大器                | 172 | 8.1 带隙基准源设计实例              | 237 |
| 6.1 二级放大器的增益带宽积            | 172 | 8.2 带隙基准源软启动电路设计实例         | 243 |
| 6.2 全差分二级放大器的频率响应          | 174 | 8.3 带隙基准源在工艺角下的电源调整率       | 246 |
| 6.3 全差分二级放大器中的零点           | 178 | 8.4 带隙基准源在温度变化时的电源调整率      | 250 |
| 6.4 典型的二级放大器               | 181 | 8.5 带隙基准源的静态电流             | 251 |
| 6.5 二级放大器的共模输入范围           | 185 | 8.6 带隙基准源的温度特性             | 253 |
| 6.6 二级放大器的输出电压范围           | 187 | 8.7 带隙基准源输出偏置电流的温度特性       | 254 |
| 6.7 二级放大器的增益及单位增益带宽        | 189 | 8.8 带隙基准源交流特性仿真            | 256 |
| 6.8 二级放大器的共模抑制比            | 191 | 8.9 带隙基准源的电源抑制比            | 259 |
| 6.9 二级放大器的 PSRR            | 193 | 8.10 带隙基准源的启动时间            | 261 |
| 6.10 二级放大器转换速率 SR 和建立时间的仿真 | 197 | 8.11 带隙基准源的快速启动电路          | 262 |
| 6.11 放大器的功耗仿真              | 199 | 附录 华大九天 Aether 平台简约操作指南    | 266 |
| 6.12 谐波总失真表示的非线性失真         | 199 | A.1 华大九天数模混合设计解决方案简介       | 266 |
| 6.13 运算放大器的失调电压            | 202 | A.2 EDA 平台安装               | 266 |
| 6.14 反馈系统的开环、闭环和环路增益       | 204 | A.3 电路图设计 (Aether) 平台操作    | 268 |
| 第 7 章 基准电压源和电流源            | 208 | A.4 仿真界面介绍                 | 271 |
| 7.1 基于阈值电压的偏置电流源           | 208 | A.5 Aether MDE 波形查看方法      | 277 |
| 7.2 基于阈值电压的自偏置电流源          | 210 | A.6 Aether 版图设计环境 Argus 介绍 | 278 |
| 7.3 简易自偏置电流源               | 212 | 参考文献                       | 279 |
| 7.4 自偏置电流源的启动问题            | 214 |                            |     |
| 7.5 基于 $V_{BE}$ 的自偏置电流源    | 217 |                            |     |
| 7.6 恒定跨导的偏置电路              | 219 |                            |     |
| 7.7 PN 结的温度特性              | 221 |                            |     |

# 第1章

## MOS器件物理

### 1.1 MOS 管的 $I/V$ 特性

#### 1.1.1 特性描述

图 1-1 所示为常见 CMOS 工艺 (P 型衬底 N 型阱, 简称 P 衬 N 阱) 中的 NMOS 管, 若存在 0.1V 的漏源电压  $V_{DS}$ , 我们考虑栅源电压  $V_G$  从 0 上升到电源电压的情况。

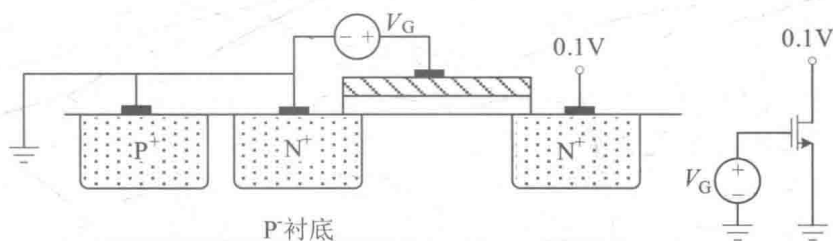


图 1-1 由栅源电压控制的 NMOS 管

由于栅和衬底形成一个电容, 当  $V_G$  逐渐升高时, P 型衬底中的空穴被赶离栅极下方区域而留下负离子, 以镜像栅极上的电荷, 从而形成如图 1-2 所示的由负离子组成的耗尽层。耗尽层是指 PN 结中在漂移运动和扩散作用的双重影响下, 载流子数量非常少的一个高电阻区域。例如, P 型区域本来的多子为空穴, 少子为电子, 是能导电的区域, 通过外加电场使该区域变成耗尽层后, P 型区域中的空穴被电子填充 (即空穴被耗尽), 从而不存在自由电子或者空穴。因此, 耗尽层是高阻态。

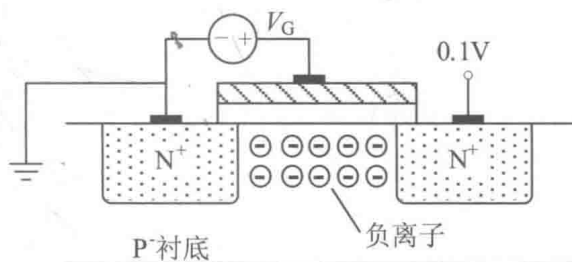


图 1-2 形成耗尽层的 NMOS 管

随着  $V_G$  的进一步增加, 氧化物与硅界面处的电势以及耗尽层宽度也会增加, 形成了类似于两个电容串联的结构。这两个电容分别是栅氧化层电容  $C_{ox}$  和耗尽层电容  $C_{dep}$ , 如图 1-3 所示。

当  $V_G$  再升高, 使得界面电势达到一个足够高的值后, P 型衬底和有源区中的电子被吸

引到靠近栅极，以镜像栅极上方的正电荷。因而在栅氧层下方形成了一个载流子沟道（即电子存在的区域），从而源和漏之间“导通”。这个过程如图 1-4 所示，形成的导电沟道被称为“反型层”。反型层的命名来源是，原来该区域（P 型衬底）存在的多数载流子是空穴，现在变化为特性相反的电子了，从而该区域叫“反型层”。

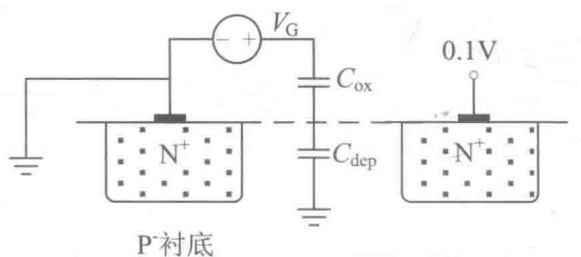


图 1-3 开始形成反型层的 NMOS 管

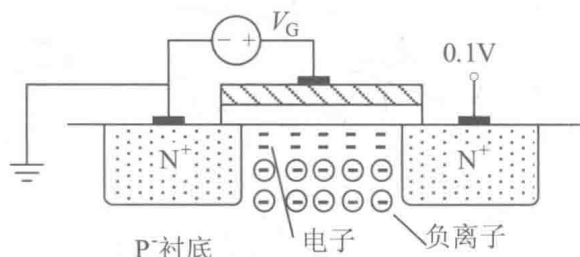


图 1-4 形成反型层的 NMOS 管

刚刚形成反型层的栅源电压叫“阈值电压（ $V_{TH}$ ）”。一般地，当栅源电压比阈值电压高时，MOS 管栅极下方才能形成叫作“反型层”的导通沟道，MOS 管导通。对于一个确定的 MOS 工艺，其 MOS 管阈值电压相对固定。

栅源电压高出阈值电压的部分，称之为“过驱动电压（Over-Drive Voltage）” $V_{OD}$ ，即定义为

$$V_{OD} = V_{GS} - V_{TH} \quad (1-1)$$

定义过驱动电压的原因是，栅源电压只有高过阈值电压的部分才会直接影响 MOS 管的电流，具体见式（1-2）和式（1-3）。这两个公式中，均出现了  $V_{GS} - V_{TH}$  项。

当 NMOS 管的栅源电压  $V_{GS}$  大于阈值电压  $V_{TH}$  后，MOS 管处于导通状态。我们回顾一下不同漏源电压下 MOS 管的导通情况。

当  $V_{DS}$  电压比较低时，MOS 管工作在晶体管区（我们有时也称 MOS 管工作在线性区），其漏源电流与栅源电压和漏源电压均有关系。MOS 管工作在晶体管区的  $I/V$  特性为

$$I_D = \mu_n C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{TH}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (1-2)$$

随着  $V_{DS}$  的增加，如果  $V_{DS}$  略大于  $V_{GS} - V_{TH}$ ，反型层将在漏端终止，我们称感应产生的导通沟道在漏端“夹断”。当  $V_{DS} > V_{GS} - V_{TH}$  时，沟道不再连接，沟道的平均横向电场不再依赖于漏源电压，而是依赖于沟道上的电压  $V_{GS} - V_{TH}$ 。此时，MOS 管的漏源电流不再与漏源电压有关系，这种现象被称为夹断，MOS 管进入饱和区（我们有时也称 MOS 管工作在有源区）。MOS 管工作在饱和区的  $I/V$  特性为

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (1-3)$$

式（1-2）和式（1-3）是描述 MOS 工作特性最基本的公式，也是最简单的公式，我们称之为 MOS 管的一级模型。

本节将仿真某个特定尺寸 NMOS 管的  $I/V$  特性曲线，采用的仿真环境为北京华大九天软件有限公司的 Aether 平台，该平台与国际流行的 Cadence 公司的全定制 IC 设计平台具有很好的兼容性。仿真电路图如图 1-5 所示。为真实起见，本书选用了华润上华  $0.18\mu\text{m}$  CMOS 工艺模型。该模型为 49 级模型，复杂程度远超上述的一级模型。

为了同时观察  $V_{DS}$  对电流的影响, 以及  $V_{GS}$  对电流的影响, 可以同时  $V_{DS}$  和  $V_{GS}$  进行直流扫描。

读者可以发现, 虽然仿真使用了更加复杂的 49 级模型, 但仿真波形很好地体现了一级模型式 (1-2) 表示的抛物线特性, 以及式 (1-3) 表示的水平直线特性。

晶体管区的抛物线远离顶点 (位于  $V_{DS} = V_{GS} - V_{TH}$  处) 处, 可以近似为直线。

这表示: 一个二端口器件 (漏端和源端), 其电流与电压呈线性关系, 则对外表现为一个线性电阻。饱和区为一条与横轴几乎无关的水平直线, 表示该二端口器件为一个电流源。只是, 该电流源受栅源电压控制, 是一个“受控电流源”。

### 1.1.2 仿真波形

仿真波形如图 1-6 所示。仿真波形的查看可参考附录 A.5 节提到的办法。

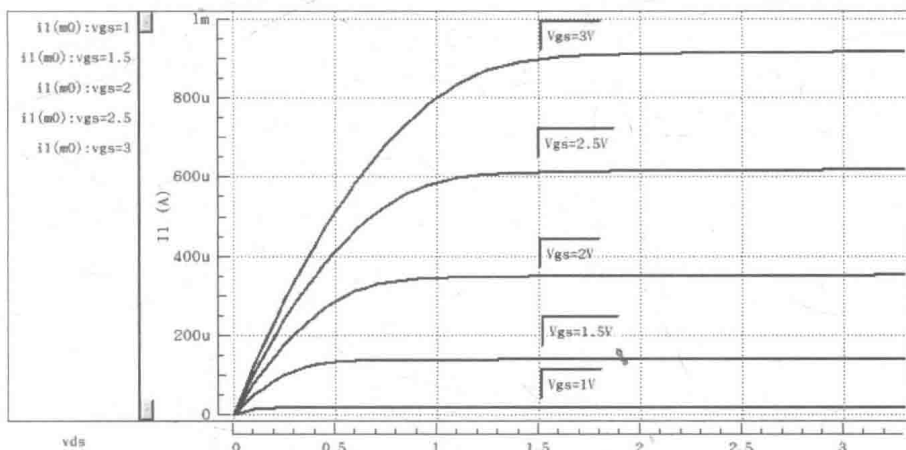


图 1-6 仿真波形

为满足不同读者对不同仿真平台的需求, 此处给出基于 Hspice 格式的关键仿真命令:

```
VVd1 net2 0 DC vds
```

```
VVg1 net1 0 DC vgs
```

```
m0 net2 net1 0 0 mn33 L=1u W=4u M=1
```

```
.lib "/.../spice_model/hm1816m020233rfv12.lib" tt
```

```
.param vds='1'
```

```
.param vgs='1'
```

```
.op
```

```
.dc vds 0 3.3 0.05 sweep vgs 1 3 0.5
```

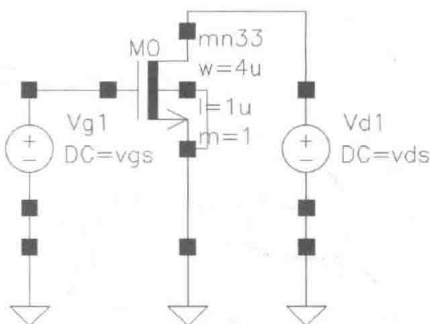


图 1-5 MOS 管的  $I/V$  特性曲线仿真电路图

```
.temp 27
.probe DC i1(m0)
.end
```

### 1.1.3 互动与思考

读者可以自行调整 MOS 管参数，观察  $I/V$  特性曲线的变化趋势。

请读者思考：

- 1) 在  $I/V$  特性曲线上如何区分 MOS 管工作在哪个区？
- 2) 仿真中，如果 MOS 管的尺寸设置比该工艺的特征尺寸还小（例如，选用工艺为 180nm 工艺，但我们要仿真的 MOS 管沟道长度小于 180nm），将会怎样？
- 3) 如果将 NMOS 管更换为 PMOS 管，则波形会如何变化？
- 4) 当  $V_{GS} < V_{TH}$  时，MOS 管真的截止了吗？

## 1.2 MOS 管的跨导

### 1.2.1 特性描述

MOS 管是一个将输入的栅极电压转换为漏源电流的器件。如果一个 MOS 管能监测到输入栅极电压的微弱变化，并转变为显著的漏源电流作为输出，我们称该 MOS 具有较高的“灵敏度”。在将输入电压的变化转换为输出电流时，我们还希望该输出电流尽可能与输出电压无关。为此，工作在饱和区的 MOS 管，其输出电流基本不随输出电压的变化而变化，可以很好地起到上述“电压转换为电流”的作用。为评价 MOS 管的这个特性，定义 MOS 管的“跨导”  $g_m$ ，即为输出电流的变化与输入电压的变化的比值，即

$$g_m = \frac{i_d}{v_{gs}} = \frac{\partial I_D}{\partial V_{GS}} \bigg|_{V_{DS} \text{ 恒定}} \quad (1-4)$$

将饱和区的  $I/V$  特性式 (1-3) 代入式 (1-4)，可得到跨导表达式的如下三种变形：

$$\begin{aligned} g_m &= \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH}) = \mu_n C_{ox} \frac{W}{L} V_{OD} \\ &= \sqrt{\mu_n C_{ox} \frac{W}{L} I_D} = \frac{2I_D}{V_{OD}} \end{aligned} \quad (1-5)$$

式 (1-5) 表明，跨导  $g_m$  有多种不同的表达式。在不同情况下，选择不同的表达式，可以得到  $g_m$  与相关变量之间的关系。

例如，由  $g_m = \mu_n C_{ox} \frac{W}{L} V_{OD}$  可知，在 MOS 管尺寸一定的情况下，其跨导  $g_m$  与过驱动电压  $V_{OD}$  成正比。又比如，在 MOS 管尺寸一定的情况下，其跨导与 MOS 管漏源电流的二次方根成正比，这是因为，MOS 管漏源电流与过驱动电压的二次方成正比。还有一种情况，若 MOS 管漏源电流恒定，则其跨导与过驱动电压成反比。如何能保证 MOS 管过驱动电压变化时能让漏源电流恒定呢？方法是改变 MOS 管的  $W/L$ 。这种情况无法做到连续的调节，但在电路设计中通常可以这样考虑。比如，有时候我们需要在电流恒定的时候减小 MOS 管的过

驱动电压，方法是选择更大的  $W/L$ 。

本节将仿真 MOS 管的跨导，观察其相对于栅源电压（过驱动电压）的关系，以及其相对于漏源电流的关系。仿真电路图如图 1-7 所示。

### 1.2.2 仿真波形

仿真波形如图 1-8 所示。

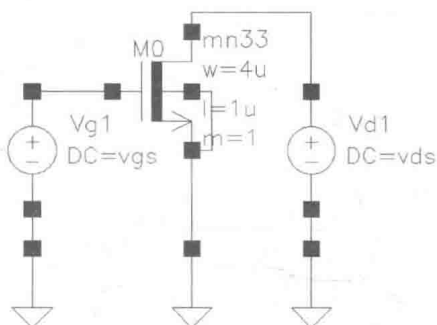


图 1-7 MOS 管跨导的仿真电路图

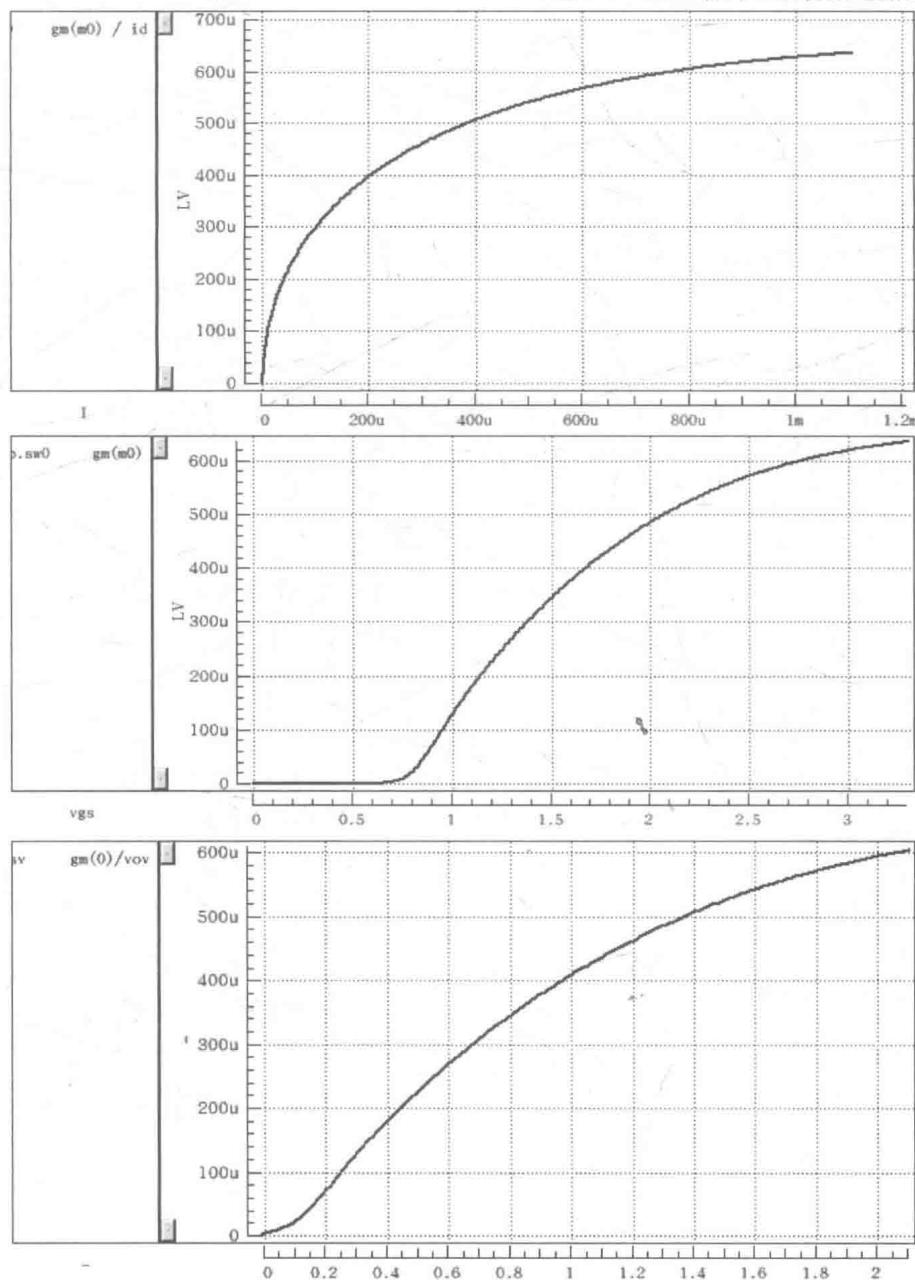


图 1-8 仿真波形

附 Hspice 关键仿真命令：

```
VVd1 net2 0 DC vds
VVg1 net1 0 DC vgs
m0 net2 net1 0 0 mn33 L=1u W=4u M=1

.lib "/.../spice_model/hm1816m020233rfv12.lib" tt
.param vds='3.3'
.param vgs='1'
.param vthr='0.7'
.op
.dc vgs 0 3.3 0.01
.temp 27
.probe DC Id=i(m0) gm(gm(m0) vthr=vth(m0) vov=par("vgs-vthr")
.end
```

### 1.2.3 互动与思考

读者可以改变 MOS 管的  $W/L$ ，观察上述波形的变化情况。

请读者思考：

- 1) 在什么情况下，可以在改变过驱动电压的情况下依然保证 MOS 管电流恒定？如何从电路上实现？
- 2) 跨导是 MOS 管最重要的参数之一，能保证其相对恒定吗？
- 3) 式 (1-5) 表示的跨导中，其中一个表达式显示跨导与过驱动电压成正比，另外一个表达式显示跨导与过驱动电压成反比。请问这个矛盾如何解释？

## 1.3 源极跟随器中的衬底偏置效益

### 1.3.1 特性描述

很多应用中，MOS 管的源和衬底接相同的电位，即  $V_{SB} = 0$ 。然而，对于常见的 P 衬 N 阱标准 CMOS 工艺而言，NMOS 管是在 P 型衬底上实现的。所有的 P 衬均接最低电位 GND，即所有 NMOS 管的衬底 B 极接 GND，而 MOS 管的源极 S 则可能高于 GND。当  $V_{SB} > 0$  时，源极周围的耗尽区增加，耗尽区产生了越来越多的负电荷，会“抵制”从源端过来的电子，这需要更大的  $V_{GS}$  来补偿这个效应。这个效应通常被归纳为对  $V_{TH}$  的影响，被称为“衬底偏置效应”，也被称为“体效应”或“背栅效应（即衬底可以等效为另外一个可以对 MOS 管的电流进行控制的栅极，只是控制能力相对于真正的栅极要弱很多）”，此时阈值电压变为

$$V_{TH} = V_{TH0} + \gamma (\sqrt{2\Phi_F + V_{SB}} - \sqrt{2\Phi_F}) \quad (1-6)$$

式中， $V_{TH0}$  为不存在衬底偏置效应时的阈值电压； $\Phi_F$  为费米能势； $\gamma$  为 MOS 管体效应系数。

不考虑工艺角和温度带来的偏差，如果忽略衬底偏置效应，或者令 MOS 管的  $V_{SB} = 0$ ，

则 MOS 管的阈值电压恒定。在图 1-9a 所示的电路中, 流过  $M_1$  的电流为  $I_1$ 。通过外加输入电压保证  $M_1$  工作在饱和区, 且  $I_1$  恒定, 则根据式 (1-3) 可知  $M_1$  的过驱动电压为恒定值, 即  $V_{GS} (=V_{in}-V_{out})$  也为固定值。

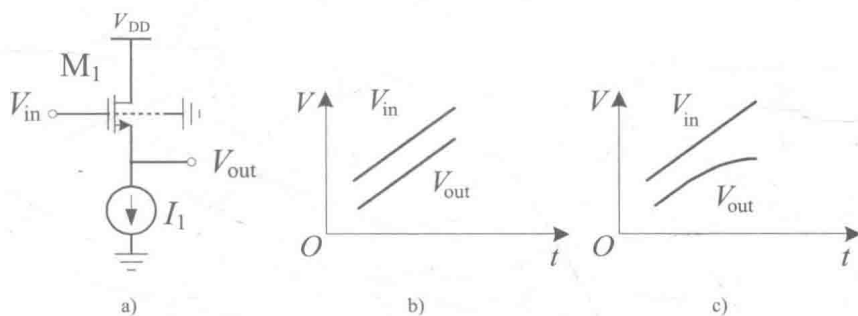


图 1-9 源极跟随器及其输入输出关系

a) 源极跟随器 b) 理想源极跟随器的输入输出关系  
c) 考虑衬底偏置效应的输入输出关系曲线

图 1-9 的电路也叫源极跟随器, 通常用作电平转换电路。我们希望, 该电路的输出与输入信号始终维持恒定的差值。在不存在衬底偏置效应的情况下, 如图 1-9b 所示, 能很好地实现该工作。

然而, MOS 管的衬底接地, 由于其源端电压变化 (永远大于 0), 则产生衬底偏置效应, 导致阈值电压发生变化。随着输出电压  $V_{out}$  的增加,  $V_{SB}$  也增加, 从而导致阈值电压增加。虽然  $M_1$  的过驱动电压保持恒定, 但  $V_{out}$  与  $V_{in}$  的差值 (即  $V_{GS}$ ) 将变化, 如图 1-9c 所示。

提醒读者注意: 对于普通的 P 衬 N 阱 CMOS 工艺, 由于所有 P 衬均接相同的最低电位, 即 B 端只能接固定的最低电位 GND, 只要 S 端不是最低电位, 则衬底偏置效应是一定存在的。而 PMOS 管做在 N 阱中, 不同的阱可以设置不同的阱电位, 从而可以通过设计不同的阱电位而避免衬底偏置效应。除此之外, 还有双阱 CMOS 工艺, 即 NMOS 管和 PMOS 管均做在不同的阱内, 则也可以通过设置不同的阱电位来避免衬底偏置效应。

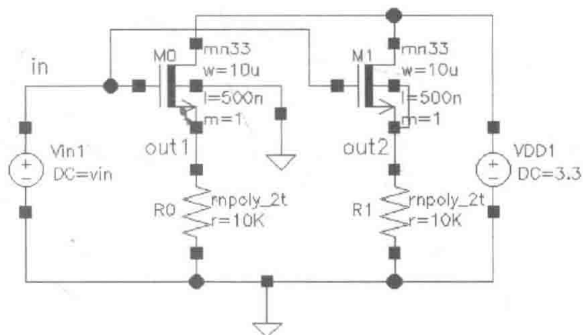


图 1-10 MOS 管衬底偏置效应仿真电路图

本节将要验证 MOS 管衬底偏置效应, 以及该效应对源极跟随器的影响, 仿真电路图如图 1-10 所示。注意: 我们选择两个整数作为该电路中两个电阻的电阻值, 但实际设计电路时, 要选择整数的  $W$  和  $L$ , 而不是电阻值。本书前 7 章均进行类似处理。

### 1.3.2 仿真波形

仿真波形如图 1-11 所示。

附 Hspice 关键仿真命令:

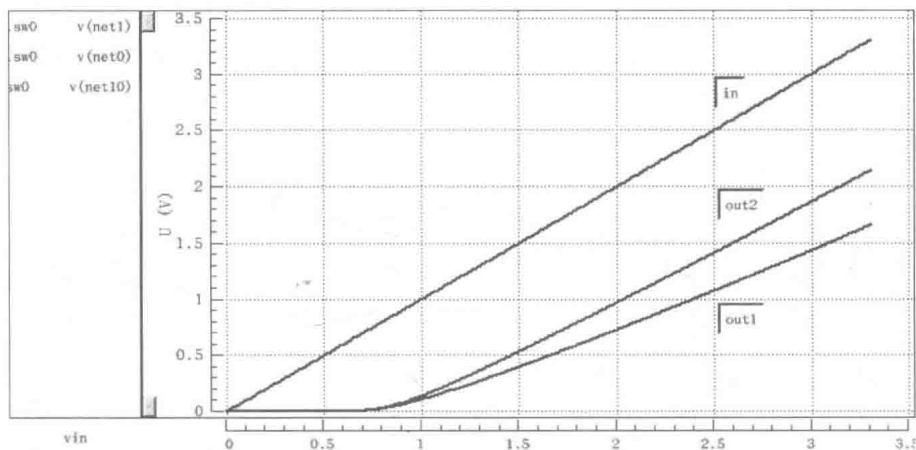


图 1-11 仿真波形

```
.SUBCKT rnpoly_2t_0 MINUS PLUS segW=180n segL=5u m=1
... (略)
.ENDS rnpoly_2t_0

VDD1 net6 0 DC 3.3
Vvin1 in 0 DC vin
m1 net6 in out2 out2 mn33 L=500n W=10u M=1
m0 net6 in out1 0 mn33 L=500n W=10u M=1
XR1 0 out2 rnpoly_2t_0 m=1 segW=180n segL=54.965u
XR0 0 out1 rnpoly_2t_0 m=1 segW=180n segL=54.965u

.lib "/.../spice_model/hm1816m020233rfv12.lib" tt
.lib "/.../spice_model/hm1816m020233rfv12.lib" restypical
.param vin='1.5'
.op
.dc vin 0 3.3 0.01
.temp 27
.probe DC v(in) v(out1) v(out2)
.end
```

### 1.3.3 互动与思考

读者可以调整  $I_1$ 、 $V_{in}$  直流部分、 $W/L$ 、双阱工艺下的  $V_B$  等参数来观察衬底偏置效应的变化。

请读者思考：

- 1) 在本节的源极跟随器电路中，如何能尽可能好地让输出电压跟随输入电压变化而变化？
- 2) 相对于用 NMOS 管构成源极跟随器，用 PMOS 管构成的源极跟随器有哪些优势和劣势？

## 1.4 沟长调制效应与小信号输出电阻

### 1.4.1 特性描述

事实上,夹断区的有效沟道长度变化时,漏源电流  $I_D$  随  $V_{DS}$  变化而改变,而非一个固定值,该效应被称作沟长调制效应。考虑了沟长调制效应后, MOS 管的  $I/V$  特性应由式 (1-3) 修正为

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (1-7)$$

式中,  $\lambda$  为 MOS 管的沟长调制系数。从而,当 MOS 管工作在饱和区时,随着  $V_{DS}$  的增加,漏源电流是线性增加的。

MOS 管的沟长调制效应也可以理解为,当 MOS 管工作在饱和区时,其  $I/V$  特性曲线不再平行于横轴,而是相对于横轴有一定的斜率(即为  $\lambda$ )。由于沟长调制效应引起的  $I/V$  特性曲线斜率,使 MOS 管表现出一定的小信号输出电阻  $r_o$ ,换句话说,如果忽略 MOS 管的沟长调制效应,则其  $I/V$  特性曲线在饱和区部分平行于  $x$  轴,对外表现的小信号输出电阻  $r_o$  为无穷大。饱和区部分  $I/V$  特性曲线的斜率即为小信号输出电阻,其表达式为

$$r_o = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{\partial I_{DS} / \partial V_{DS}} \quad (1-8)$$

代入式 (1-7) 可得

$$r_o = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \lambda} \approx \frac{1}{\lambda I_D} \quad (1-9)$$

本节将仿真得到 MOS 管的  $I/V$  特性曲线,仿真电路图如图 1-12 所示。对饱和区的  $I/V$  特性曲线求斜率(斜率为  $\lambda$ ),再求倒数,即为 MOS 管的小信号输出电阻  $r_o$ ,也可以使用仿真结果中的  $gds$  来计算  $r_o$ 。

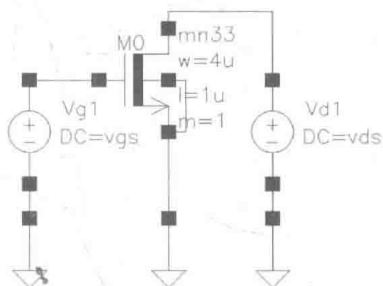


图 1-12 MOS 管  $I/V$  特性曲线和  $r_o$  仿真电路图

### 1.4.2 仿真波形

仿真波形如图 1-13 所示。

附 Hspice 关键仿真命令:

```
VVd1 net2 0 DC vds
```

```
VVg1 net1 0 DC vgs
```

```
m0 net2 net1 0 0 mn33 L=1u W=4u M=1
```

```
.lib "/.../spice_model/hm1816m020233rfv12.lib" tt
```

```
.param vds='3.3'
```

```
.param vgs='1.5'
```

```
.op
```

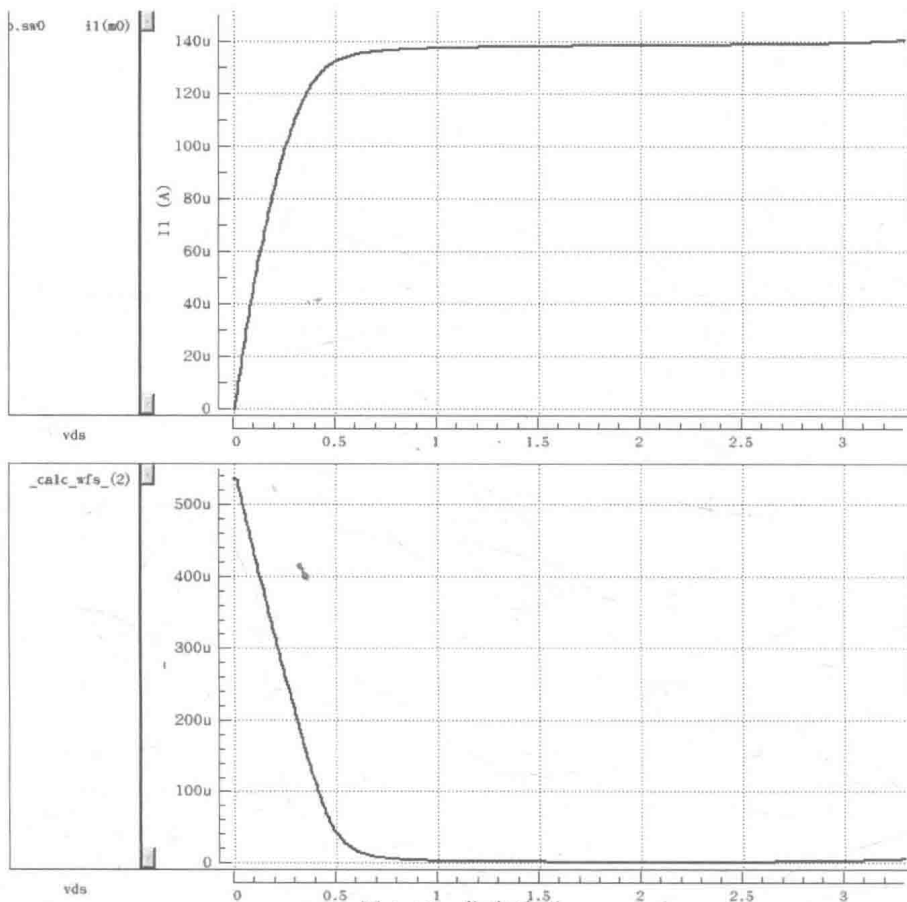


图 1-13 仿真波形

```
.dc vds 0 3.3 0.01
.temp 27
.probe DC id=i(M0) gds=gds(M0) ro=par("1/gds")
.end
```

### 1.4.3 互动与思考

读者可以改变  $V_{GS}$ 、 $W/L$ 、 $L$ ，观察  $I/V$  特性曲线的变化规律。

在饱和区段， $I/V$  特性曲线的斜率的倒数代表着该点的小信号输出电阻。读者可以思考：

- 1) 如何提高 MOS 管的小信号输出电阻值？
- 2) MOS 管的小信号输出电阻与 MOS 管沟长  $L$  是否有关系？
- 3) MOS 管的  $W$  是否影响其小信号输出电阻值？
- 4) MOS 管的偏置状态出现变化，是否会影响其小信号输出电阻值？

## 1.5 沟长与沟长调制效应

### 1.5.1 特性描述

MOS 管的沟长调制系数  $\lambda$  并非定值，而是与沟道长度  $L$  成反比，即  $\lambda \propto \frac{1}{L}$ 。同一种工

艺下,晶体管的沟道长度越短,  $\lambda$  越大,沟长调制效应越明显,晶体管工作在饱和区时的漏源电流受漏源电压的影响越大。

在实际的 MOS 管中,由于漏极耗尽层中的电场分布非常复杂,导致计算  $\lambda$  困难,最管用的方法是通过仿真 MOS 管在不同  $L$  情况下的  $I/V$  特性曲线,从曲线中提取  $\lambda$  值。

实际的计算和仿真中,  $\lambda$  的计算非常复杂,我们此处只是这样简单的定义,在手工简单分析中已经够用了。本节中,我们将要仿真 MOS 管的沟长调制效应,观察不同  $L$  下的  $\lambda$  以及对应的  $r_o$ 。仿真电路图如图 1-14 所示。

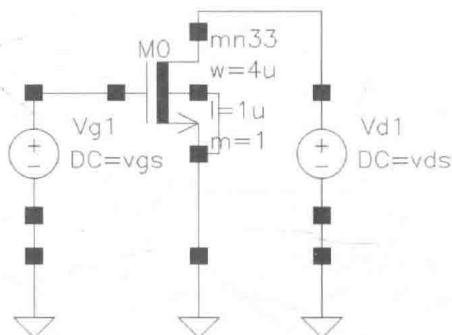


图 1-14 MOS 管  $\lambda$  和  $r_o$  仿真电路图

### 1.5.2 仿真波形

仿真波形如图 1-15 所示。

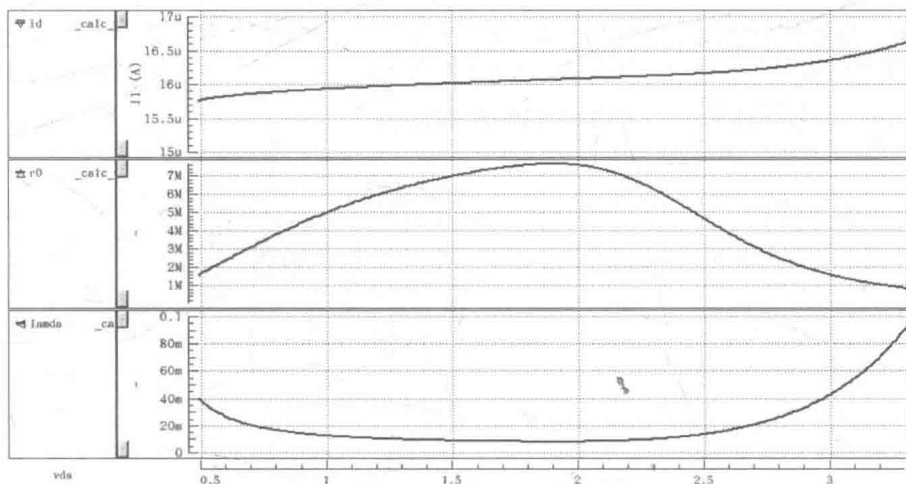


图 1-15 仿真波形

附 Hspice 关键仿真命令:

```
VVd1 net2 0 DC vds
```

```
VVg1 net1 0 DC vgs
```

```
m0 net2 net1 0 0 mn33 L=1u W=4u M=1
```

```
.lib "/.../spice_model/hm1816m020233rfv12.lib" tt
```

```
.param vds='3.3'
```

```
.param vgs='1'
```

```
.op
```

```
.dc vds 0 3.3 0.01
```

```
.temp 27
```