



国家级实验教学示范中心联席会计算机学科规划教材
教育部高等学校计算机类专业教学指导委员会推荐教材
面向“工程教育认证”计算机系列课程规划教材
教育部产学合作协同育人项目

数字逻辑与组成原理 实践教程

◎ 张冬冬 王力生 郭玉臣 编著



清华大学出版社





国家级实验教学示范中心联席会计算机学科规划教材
教育部高等学校计算机类专业教学指导委员会推荐教材
面向“工程教育认证”计算机系列课程规划教材
教育部产学合作协同育人项目

数字逻辑与组成原理 实践教程

◎ 张冬冬 王力生 郭玉臣 编著



清华大学出版社
北京

内 容 简 介

本书基于同济大学“贯通式”计算机硬件课程实践教学改革经验撰写。在实验设计中,将“数字逻辑”和“计算机组成原理”两门课程的教学和实验有机地贯通起来,自底向上进行了一体化的实验设计。本书采用图文并茂的方式,使读者在了解数字系统设计过程及 MIPS CPU 设计原理的基础上,能够由浅入深地掌握逻辑电路原理图绘制、Verilog 硬件描述语言编程、Xilinx FPGA 开发板的调试和仿真工具的熟练使用,并能依照书中的实验设置,配合“数字逻辑”及“计算机组成原理”理论内容,从 CPU 基本部件实验做起,逐步实现自己的 CPU 设计和调试,从而提高读者解决复杂计算机工程问题的能力。

本书可以作为高等院校“数字逻辑”和“计算机组成原理”课程的实践教材,也可作为相关技术人员的培训教材或自学参考书。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

数字逻辑与组成原理实践教程/张冬冬,王力生,郭玉臣编著. —北京:清华大学出版社,2018
(面向“工程教育认证”计算机系列课程规划教材)
ISBN 978-7-302-48834-7

I. ①数… II. ①张… ②王… ③郭… III. ①数字逻辑—高等学校—教材 IV. ①TP302.2

中国版本图书馆 CIP 数据核字(2017)第 284233 号

责任编辑:付弘宇 赵晓宁

封面设计:刘 键

责任校对:时翠兰

责任印制:李红英

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座

邮 编:100084

社 总 机:010-62770175

邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课件下载: <http://www.tup.com.cn>, 010-62795954

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:21

字 数:511 千字

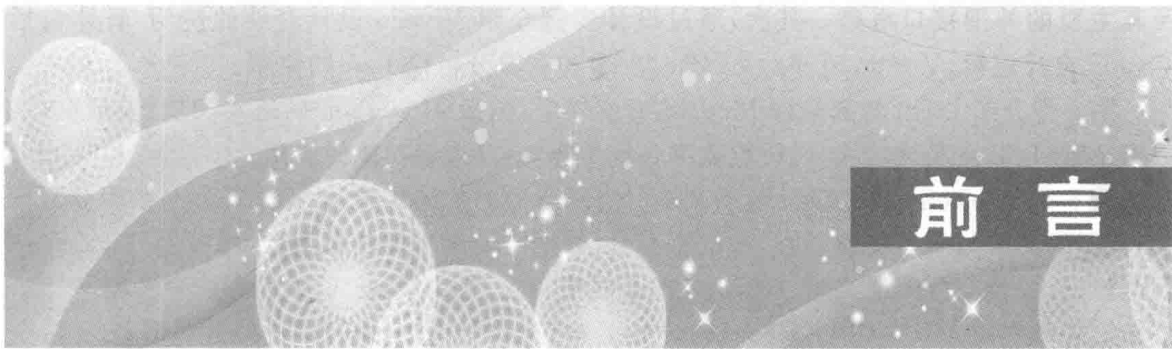
版 次:2018 年 8 月第 1 版

印 次:2018 年 8 月第 1 次印刷

印 数:1~1500

定 价:49.00 元

产品编号:076004-01



前言

计算机专业是工程性和实践性很强的专业,工程人才培养相关的两个重要因素是:数学与科学原理的学习、工程专业知识的应用。计算机专业培养的学生既要有科学家探索未知的能力,又要有工程师解决实际问题的能力。本书总结了同济大学计算机科学与技术系开展计算机硬件类课程教学改革的经验,将计算机专业基础课“数字逻辑”和“计算机组成原理”两门课程的教学和实践有机地结合起来,改变原有各门课程自成体系,实验主要以插箱实验为主,学生硬件设计及开发能力欠缺的情况。教学过程调整“数字逻辑”课程重理论轻实践、电子理论及逻辑原理并重的教学方法,侧重逻辑原理及其硬件描述语言实践,提高设计性实验比重,培养学生自主思考与独立完成硬件设计的能力。在设计实验时,充分考虑两门课程的关联性,由浅入深、由易到难将这两门课程的教学和实践内容进行统一设计,并给出了 CPU 完整的测试方法。“数字逻辑”实验的成果要为“计算机组成原理”实验提供必要的部件实验基础。在此基础上,学生逐步设计完成 31 条 MIPS 指令 CPU 和 54 条 MIPS 指令 CPU。两门课程实验基于 Xilinx FPGA 开发板统一接口,实验所用技术有机衔接,通过这种方法对学生进行工程化的训练,力图使计算机系学生从“使用别人的计算机”到“设计自己的计算机”、从“设计自己的计算机”到“使用自己的计算机”,以帮助本科生更深入地理解“系统”层面的各类计算机学科专业知识、增强面向产业界的实践能力、设计能力、创新能力和解决实际问题的能力。

本书在整体介绍数字系统设计过程之后,对本书中实验所用软件的安装和相关功能的使用进行了详细的介绍,又介绍了硬件描述语言 Verilog HDL 的相关语法,最后介绍了 MIPS CPU 的相关知识。基于上述知识的讲解,本书设计了由浅入深的“数字逻辑”实验和“计算机组成原理”实验,使学生可以循序渐进地进行数字系统设计学习和实践,加强学生对于理论知识的理解。每章内容如下。

第 1 章总体介绍基于可编程逻辑的数字系统设计,其中包括可编程逻辑的设计步骤和本书中数字电路设计实验所用软件的环境配置,使读者对数字系统设计有一个初步的了解。

第 2 章介绍数字逻辑模拟器 Logisim 的基础知识,包括 Logisim 的功能介绍和使用入门。

第 3 章介绍硬件描述语言 Verilog HDL 的相关知识,其中包括 Verilog HDL 门级描述相关语法、数据流级描述相关语法、行为级描述相关语法、Verilog HDL 测试平台和状态机这 5 个部分,使读者对使用 Verilog HDL 进行数字电路设计有更深入的认识。

第 4 章分为两部分,首先介绍 Xilinx FPGA 器件 Nexys 4 DDR Artix-7 FPGA 开发板



及其主要的外围接口电路。其次,通过设计实例介绍 Vivado 设计套件的使用,具体包括 Vivado 设计流程、Vivado 时序约束、IP 核封装和逻辑分析仪 ILA 的使用。

第 5 章介绍 HDL 仿真软件 ModelSim 的使用,包括 ModelSim 的基本功能、波形窗口、数据流窗口、断点调试功能、代码覆盖率查看功能、内存查看功能的使用。

第 6 章介绍数字逻辑实验,包括基本门电路与数据扩展实验、数据选择器与数据分配器实验、译码器与编码器实验、桶形移位器实验、数据比较器与加法器实验、触发器与 PC 寄存器实验、计数器与分频器实验、RAM 与寄存器堆实验、行为级 ALU 实验和综合实验。

第 7 章介绍 MIPS CPU 基础及设计相关知识,包括 MIPS CPU 的概述、MIPS32 指令系统、MIPS 单周期及多周期 CPU 设计方法和测试方法。

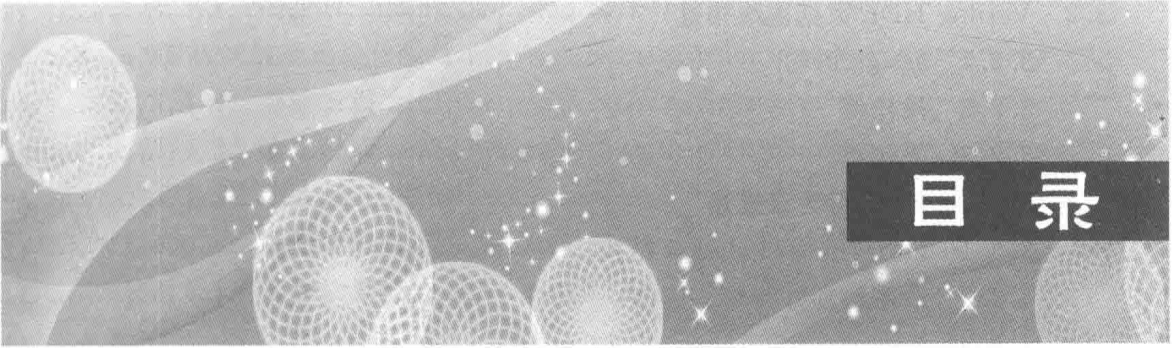
第 8 章介绍计算机组成原理实验,包括 MIPS 指令汇编程序设计实验、32 位乘法器实验、32 位除法器实验、31 条 MIPS 指令单周期 CPU 设计实验、中断处理实验、54 条 MIPS 指令 CPU 设计实验和综合应用实验。

我们在“数字逻辑”实验和“计算机组成原理”实验的改革过程中,得到了北京航空航天大学计算机学院马殿富教授、曹庆华教授、高小鹏教授,东南大学计算机科学与工程学院翟玉庆教授、杨全胜教授、王晓蔚教授,浙江大学计算机科学与技术学院陈文智教授、施青松教授,杭州电子科技大学计算机学院严义教授、包健教授,兰州交通大学党建武教授、李玉龙教授等的大力支持,在此表示真诚的感谢!此外,在教学改革实施过程中,我们还获得了教育部-美国 DIGILENT(迪芝伦)科技有限公司产学研合作协同育人项目、教育部-Xilinx 产学研合作专业综合改革项目的支持,在此一并表示感谢!

同时,在本教学实验改革过程中还得到了很多学生和朋友的帮助,在此谨列出他们的姓名并致谢意(按姓氏拼音序):陈晨、段晓景、董喆、高名兴、黄仁智、黄玮琦、蒋凌超、林梦迪、卢杉、彭田、钱鹏飞、阮剑鸿、史亮、童杰、王菲、王田、王煜、魏薇、许一帆、徐振垒、余智铭、周航。

作 者

2018 年 3 月



目 录

第 1 章 基于可编程逻辑的数字系统设计概述	1
1.1 可编程逻辑设计步骤	1
1.1.1 设计输入	1
1.1.2 编译状态	2
1.1.3 功能模拟	2
1.1.4 综合	2
1.1.5 实现	2
1.1.6 时序模拟	2
1.1.7 下载	3
1.2 数字电路设计实验环境配置	3
1.2.1 Logisim 安装	3
1.2.2 ModelSim 安装配置	3
1.2.3 Vivado 安装配置	5
第 2 章 Logisim 基础知识	18
2.1 Logisim 基本功能介绍	18
2.2 Logisim 使用入门	23
第 3 章 Verilog HDL 基础	28
3.1 Verilog HDL 门级描述	28
3.1.1 模块定义	28
3.1.2 端口声明	29
3.1.3 门级调用	30
3.1.4 模块的实例化	32
3.1.5 内部连线声明	34
3.1.6 层次化设计	34



3.2	Verilog HDL 数据流级描述	35
3.2.1	assign 语句	35
3.2.2	操作符	37
3.2.3	操作数	38
3.3	Verilog HDL 行为级描述	42
3.3.1	initial 结构和 always 结构	42
3.3.2	顺序块和并行块	44
3.3.3	if 语句	47
3.3.4	case 语句	48
3.3.5	循环语句	49
3.3.6	过程赋值语句	52
3.3.7	任务与函数	53
3.3.8	设计的可综合性	56
3.4	Verilog HDL 测试平台描述	60
3.4.1	基本的 TestBench 结构	61
3.4.2	激励信号描述	62
3.4.3	编译指令	64
3.4.4	测试相关的系统任务和系统函数	67
3.5	状态机描述	74
3.5.1	状态机类型	74
3.5.2	状态机表示方法	74
3.5.3	状态机的 Verilog HDL 描述方法	76
3.5.4	状态机设计实例——上升沿检测器	78
第 4 章	Xilinx FPGA 开发板及软件工具	84
4.1	Xilinx FPGA 开发板	84
4.1.1	Nexys 4 DDR 开发板介绍	84
4.1.2	主要外围接口电路介绍	85
4.2	Vivado 设计流程	88
4.2.1	新建工程	90
4.2.2	设计文件输入	92
4.2.3	功能仿真	102
4.2.4	设计综合	105
4.2.5	工程实现	106
4.3	Vivado 时序约束	108
4.3.1	时钟约束简介	109
4.3.2	添加时钟约束	109

4.3.3	Report Timing Summary 时序分析	114
4.4	IP 核封装及模块化设计	119
4.4.1	创建工程	119
4.4.2	输入设计	122
4.4.3	IP 封装	127
4.4.4	添加用户自定义 IP	134
4.4.5	模块化设计	136
4.5	Vivado 逻辑分析仪 ILA 的使用	146
4.5.1	创建工程	147
4.5.2	添加源文件和约束文件	147
4.5.3	综合	150
4.5.4	Mark Debug	152
4.5.5	Set up Debug	153
4.5.6	生成 Bit 文件	154
4.5.7	下载	154
4.5.8	Hardware Debug	155
第 5 章	ModelSim 仿真及调试工具	161
5.1	基本使用	161
5.1.1	用户操作界面简介	161
5.1.2	新建 ModelSim 库	163
5.1.3	新建工程	163
5.2	波形窗口使用	166
5.2.1	波形调整	166
5.2.2	保存波形文件	167
5.3	数据流窗口使用	167
5.4	断点调试	170
5.4.1	查看代码文件	170
5.4.2	设置断点	170
5.4.3	重新仿真	170
5.4.4	查看信号	171
5.4.5	单步调试	172
5.5	代码覆盖率查看	173
5.5.1	代码覆盖率窗口的调出	173
5.5.2	代码覆盖率窗口的查看与分析	174
5.5.3	代码覆盖率报告	178
5.5.4	根据代码覆盖率修改测试代码	180



5.6 内存查看	182
5.6.1 内存查看窗口调出	182
5.6.2 指定地址单元/数据查看	183
5.6.3 存储器数据导出导入	184
5.6.4 存储器数据修改	184
第6章 数字逻辑实验设计	187
6.1 基本门电路与数据扩展描述实验	187
6.2 数据选择器与数据分配器实验	194
6.3 译码器与编码器实验	196
6.4 桶形移位器实验	200
6.5 数据比较器与加法器实验	203
6.6 触发器与PC寄存器实验	207
6.7 计数器与分频器实验	210
6.8 RAM与寄存器堆实验	212
6.9 行为级ALU实验	215
6.10 数字逻辑综合实验	218
第7章 MIPS CPU基础及设计	219
7.1 MIPS CPU概述	219
7.1.1 概述	219
7.1.2 基本架构及编程模型	220
7.1.3 CP0	222
7.1.4 MIPS CPU中断机制	225
7.1.5 MARS汇编器	227
7.2 MIPS32指令系统介绍	229
7.2.1 指令格式及类型	229
7.2.2 指令的寻址	230
7.3 MIPS 31条指令介绍	231
7.4 MIPS 23条扩展指令介绍	242
7.5 CPU设计方法	249
7.5.1 单周期CPU设计	249
7.5.2 多周期CPU设计	269
7.6 CPU的测试	284
7.6.1 前仿真测试	284
7.6.2 后仿真测试	298
7.6.3 下板测试	298

第 8 章 计算机组成原理实验设计	304
8.1 MIPS 汇编编程实验	304
8.2 32 位乘法器实验	306
8.3 32 位除法器实验	309
8.4 31 条指令单周期 CPU 设计实验	312
8.5 中断处理实验	314
8.6 54 条指令 CPU 设计实验	318
8.7 54 条指令 CPU 综合应用实验	319
附录 A Verilog 快速参考指南	321
参考文献	324

基于可编程逻辑的数字系统设计概述

本章首先介绍可编程逻辑设计的步骤,使读者对数字系统设计有初步的了解。然后重点对本实践教材所用软件的安装及配置进行详细的说明,具体包括:Logisim、ModelSim 和 Vivado 的安装及配置,以及 Vivado 和 ModelSim 联合仿真所需进行的关联设置。

1.1 可编程逻辑设计步骤

可编程逻辑设计包含若干步骤,其设计流程如图 1.1 所示。

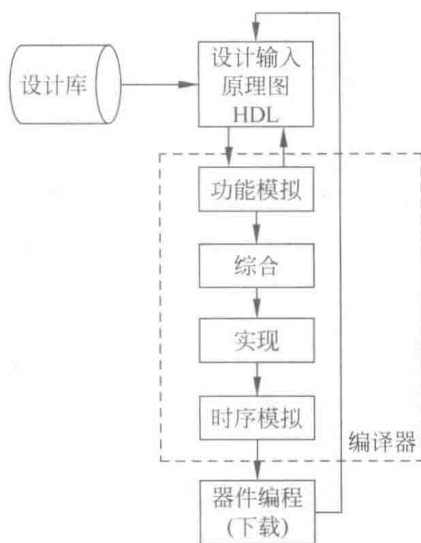


图 1.1 可编程逻辑设计流程图

1.1.1 设计输入

设计输入是与器件无关的,它是编程的第一步。所设计的电路必须以文本方式或原理图方式输入到计算机。文本方式的输入使用 VHDL、Verilog 等任何一种硬件描述语言完成,由可编程逻辑器件制造商提供它们的软件包,本书中采用 Verilog 完成设计。原理图方式的输入允许从图形资源库中取出所需要的逻辑功能单元,放置在计算机屏幕上,然后按设计要求连接它们。两种输入方式相比较,文本方式具有更大的通用性,适用于非常复杂的逻辑电路设计。原理图输入方式直观简单,但受屏幕限制,难以进行复杂的逻辑设计。

1.1.2 编译状态

一旦输入了一个设计,就进入编译状态。编译器是一个程序,这个程序能控制设计流程,并将源代码翻译成能够为目标器件进行逻辑测试或下载的目标代码。源代码在设计输入处产生,目标代码是实际设计在可编程器件上实现的最终代码,它一定是二进制代码。

1.1.3 功能模拟

输入且被编辑的逻辑设计,必须通过软件进行模拟,以确认逻辑电路是否实现预期的功能。模拟可以确保特定的输入集产生正确的输出。实现这个功能并与器件无关的软件,通常被称为波形编辑器。要修改模拟结果显示的错误,需要返回到设计入口,并做出适当修改。波形编辑器允许选择想要测试的节点(输入和输出)。选择输入输出名字,伴随着一个符号或其他能标志一个输入输出的标识,出现在波形编辑器屏幕上。在开始模拟后,通过产生的输出波形判断设计是否正确,若产生不正确的输出波形,则显示出逻辑功能的缺陷,需要检查修正最初的设计。本书实验中主要采用 ModelSim 进行功能模拟,具体过程将在后续章节中详细介绍。

1.1.4 综合

一旦设计输入到计算机中,并经功能模拟验证了逻辑操作正确性以后,编译器自动遍历下面几个阶段,为设计下载到目标器件做准备。门的数量最小化,用能够完成同样功能但更有效的其他逻辑元件取代已有的逻辑元件,删除任何不必要的逻辑,最后从综合阶段输出的是一个描述逻辑电路优化后版本的网表。网表由综合软件生成,它基本上是一个描述元件和它们相互连接的连接表。本书实验中的综合、实现、时序模拟和下载步骤均通过 Xilinx 公司发布的新一代的 Vivado 设计套件完成,具体过程将在后续章节中详细介绍。

1.1.5 实现

在实现阶段,通过网表描述的逻辑结构与被编程的指定器件相映射,使设计和器件自身体系结构、引脚配置的特定目标器件相适应。实现过程被称作设置和选径,也称为适配,输出的结果称作位流,用二进制码串表示。为了完成设计的实现阶段,必须了解软件特定的器件和引脚信息。所有可能用到的目标器件的完整数据,通常保存在软件库中。

1.1.6 时序模拟

时序模拟发生在实现之后和下载目标器件之前。时序模拟是为了确保以设计频率工作时没有传输延迟或其他影响全局操作的时序问题。当通过了功能模拟之后,从逻辑的观点看,电路已经可以正常工作了,但仍然需要进行时序模拟排除时序问题的影响。开发软件利用特定目标器件的信息,例如门的传输延迟,去实现设计的时序模拟,但对于功能模拟,是不需要选定目标器件的。

1.1.7 下载

一旦功能模拟和时序模拟顺利通过,就可以启动下载流程。这意味着用于某种特定可编程器件的位流已经产生,可以下载到器件上,并且可以在电路上进行测试,即在硬件上实现了软件设计。一些可编程器件必须在开发板上安装一种特殊的设备即编程器。ISP 器件不需编程器,可以直接在目标板上进行。有些 FPGA 器件是易失性的,断电情况下会丢失内容,在这种情况下,位流数据必须保存在存储器中,并在每次重启或断电之后重新加载到器件中。

1.2 数字电路设计实验环境配置

1.2.1 Logisim 安装

Logisim 是一款用于帮助学生设计和模拟数字逻辑电路的免费辅助教学软件。运用 Logisim 提供的工具,不仅可以设计相应的数字逻辑电路,还可模拟电路运行,验证电路设计的正确性。使用 Logisim,大型复杂的数字逻辑电路设计不再复杂。采用从底向上分层设计的思路,学生先设计实现小部件,验证通过后,再将小部件放到大设计中去。如此,设计和模拟完整的 CPU 也不是问题。从 <http://www.cburch.com/logisim/> 网站可以免费下载 Logisim 软件。下载后无须安装,直接运行 exe 文件即可使用。

1.2.2 ModelSim 安装配置

ModelSim 是 Mentor 公司开发的一款业界优秀的 HDL 仿真软件,它能提供友好的仿真环境,是业界唯一的单内核支持 VHDL 和 Verilog 混合仿真的仿真器,是 FPGA/ASIC 设计的首选仿真软件。ModelSim 具有多个版本,最新版为 10.5。在大版本的基础上还有小版本,小版本以小写英文字母作为主要区分,例如,ModelSim 10.4 版就有 10.4a、10.4b、10.4c 几个不同的版本。除去大版本和小版本,还有 SE、DE、PE 三个不同的版本。本书使用的是 ModelSim PE 10.4c 版本,其下载安装过程如下。

访问 <https://www.mentor.com/products/fpga/download/modelsim-pe-simulator-download>(ModelSim 官网),下载 ModelSim PE 安装包,如图 1.2 所示。

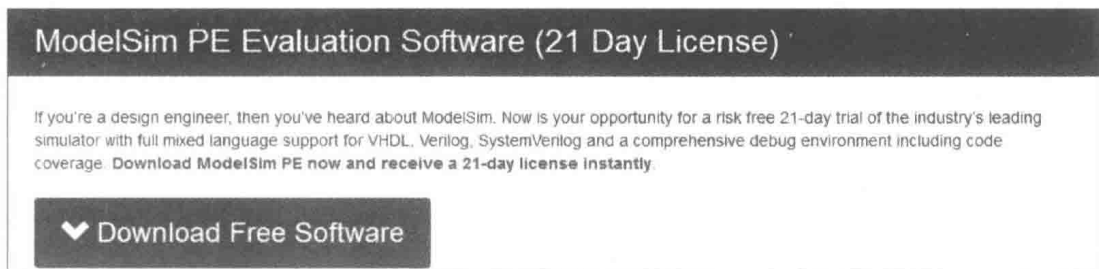


图 1.2 ModelSim PE 安装包下载示意图

- (1) 关闭防火墙软件,执行安装程序,单击“下一步”按钮,如图 1.3 所示。
- (2) 进入安装界面,此处可更改默认的安装路径,如图 1.4 所示。

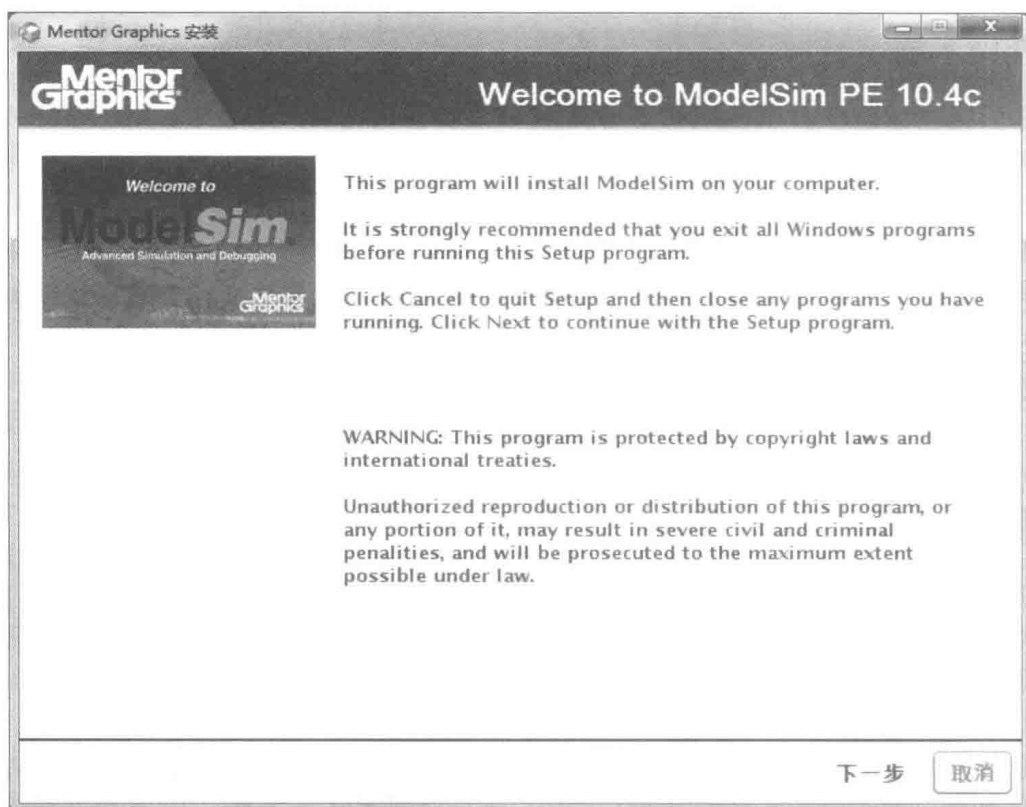


图 1.3 安装界面



图 1.4 安装路径选择页面

(3) 系统提示安装路径不存在,是否建立新的安装路径,单击“是”按钮,如图 1.5 所示。

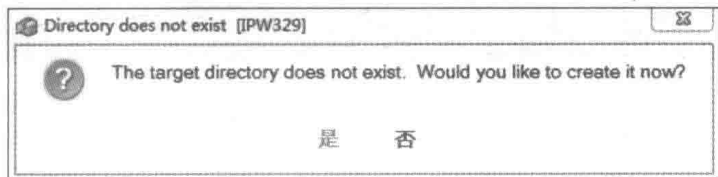


图 1.5 新路径创建对话框

(4) 单击“同意”按钮,同意安装说明,如图 1.6 所示。



图 1.6 安装说明确认页面

(5) 安装中,如图 1.7 所示。

(6) 询问是否在桌面生成快捷方式,以及是否将 ModelSim 执行程序加入系统路径时,单击“是”按钮,如图 1.8 和图 1.9 所示。

(7) 安装 Key Driver,单击“是”按钮(Windows 10 系统中单击“否”按钮),如图 1.10 所示。

(8) 安装完毕,询问是否重启,单击“否”按钮,安装完 License 之后再重启,如图 1.11 所示。

1.2.3 Vivado 安装配置

Vivado 设计套件,是 FPGA 厂商 Xilinx 公司于 2012 年发布的集成设计环境。包括高度集成的设计环境和新一代从系统到 IC 级的工具。Vivado 工具把各类可编程技术结合在一起,能够扩展多达一亿个等效 ASIC 门的设计。



图 1.7 安装进度页面

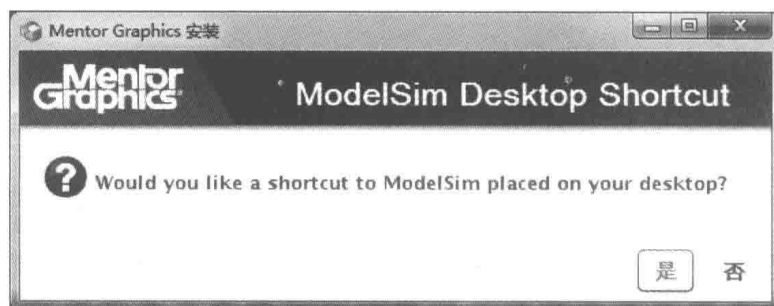


图 1.8 添加快捷方式确认对话框

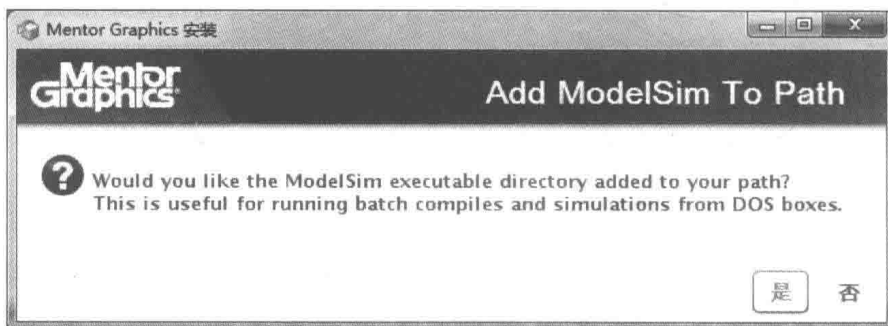


图 1.9 加入系统路径确认对话框

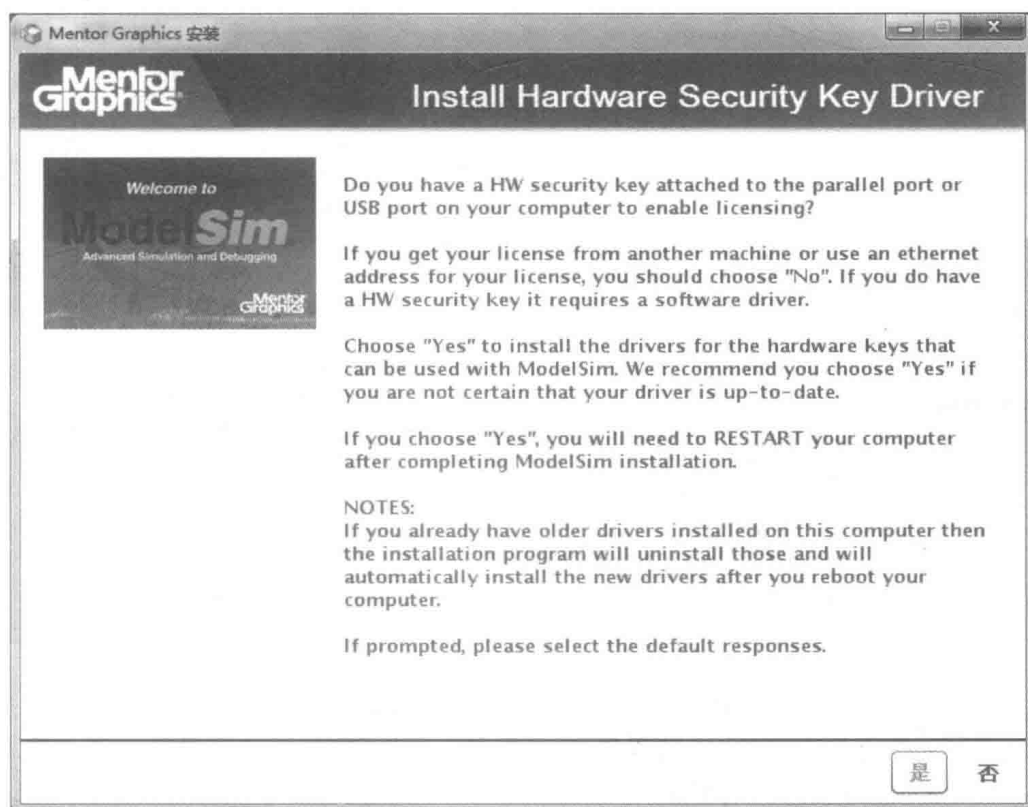


图 1.10 Key Driver 安装确认对话框

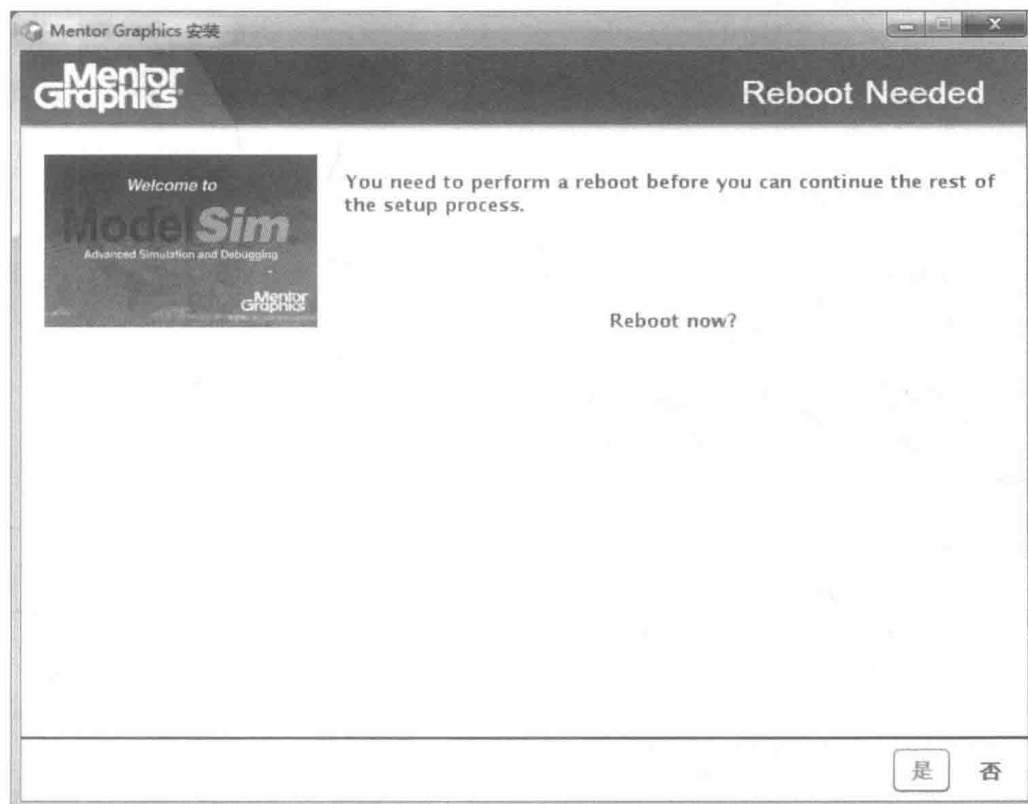


图 1.11 重启确认对话框