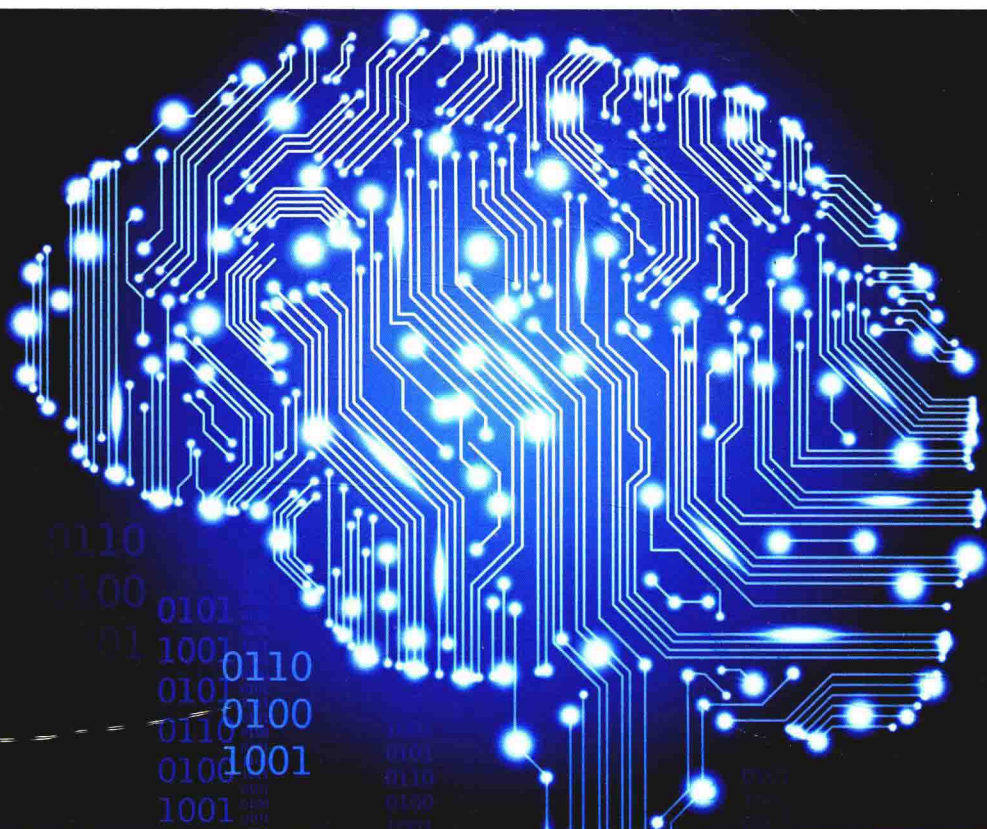


高等院校电子信息科学与工程规划教材

EDA技术与 VHDL

(第5版)

潘松 黄继业 编著



清华大学出版社

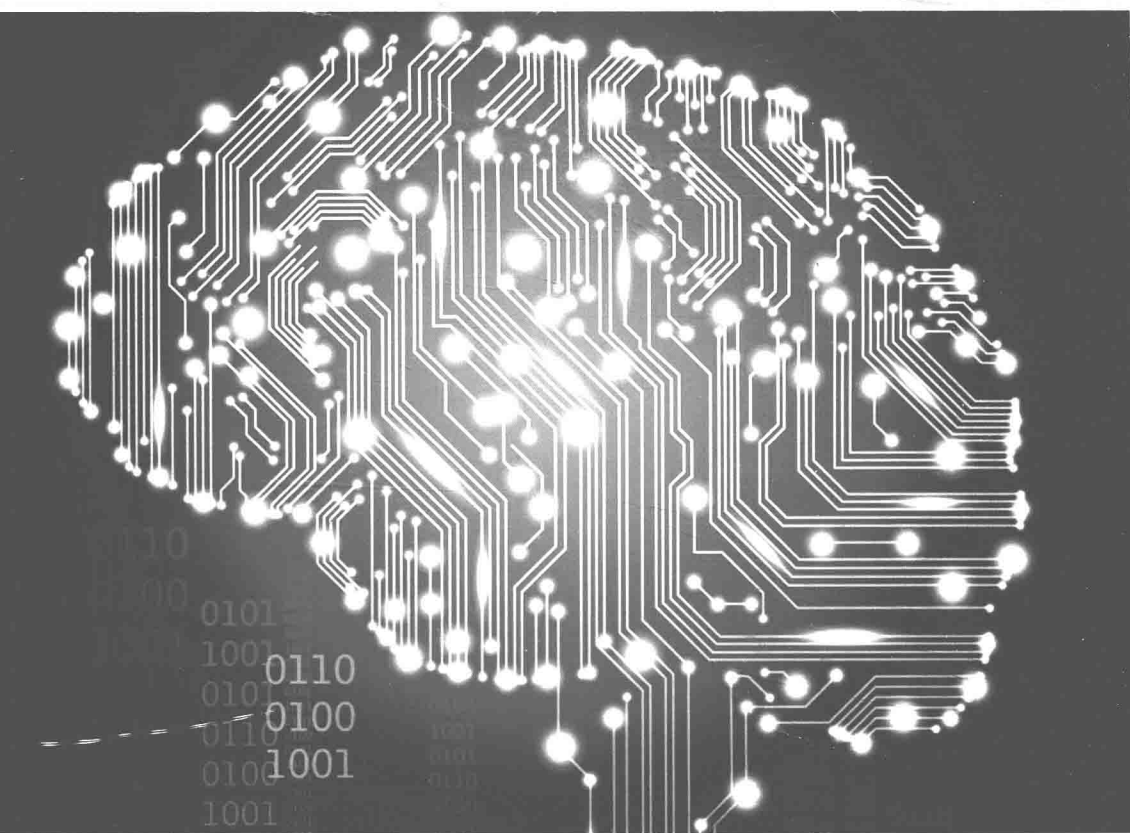


高等院校电子信息科学与工程规划教材

EDA技术与 VHDL

(第5版)

潘松 黄继业 编著



清华大学出版社
北京

内 容 简 介

本书系统地介绍了 EDA 技术和 VHDL 硬件描述语言, 将 VHDL 的基础知识、编程技巧和实用方法与实际工程开发技术在 Quartus II 13.1 上很好地结合起来, 使读者通过本书的学习能迅速了解并掌握 EDA 技术的基本理论和工程开发实用技术, 为后续的深入学习和发展打下坚实的理论与实践基础。

作者依据高校课堂教学和实验操作的规律与要求, 并以提高学生的实际工程设计能力和自主创新能力为目的, 合理编排全书内容。全书共分为 8 个部分: EDA 技术的概述、VHDL 语法知识及其实用技术、Quartus II 及 LPM 宏模块的详细使用方法、有限状态机设计技术、16 位实用 CPU 设计技术及创新实践项目、基于 ModelSim 的 Test Bench 仿真技术、以及基于 MATLAB 和 DSP Builder 平台的 EDA 设计技术及大量实用系统设计示例。除个别章节外, 其他章节都安排了相应的习题和大量针对性强的实验与设计项目。书中列举的 VHDL 示例都已经编译通过或经硬件测试通过。

本书主要用于高等院校本、专科的 EDA 技术和 VHDL 语言基础课, 推荐作为电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科专业和相关实验指导课的教材用书或主要参考书, 同时也可作为电子设计竞赛、FPGA 开发应用的自学参考书。

与此教材配套的还有 CAI 教学课件、实验指导课件、实验源程序, 以及与实验设计项目相关的详细技术资料等, 读者都可免费索取。

本书封面贴有清华大学出版社防伪标签, 无标签者不得销售。

版权所有, 侵权必究。侵权举报电话: 010-62782989 13701121933

图书在版编目 (CIP) 数据

EDA 技术与 VHDL/潘松, 黄继业编著. —5 版. —北京: 清华大学出版社, 2017

(高等院校电子信息科学与工程规划教材)

ISBN 978-7-302-48944-3

I. ①E… II. ①潘… ②黄… III. ①电子电路-电路设计-计算机辅助设计-高等学校-教材 ②aVHDL 语言-程序设计-高等学校-教材 IV. ①TN702.2 ②TP312

中国版本图书馆 CIP 数据核字 (2017) 第 287613 号

责任编辑: 邓 艳

封面设计: 刘 超

版式设计: 周春梅

责任校对: 何士如

责任印制: 王静怡

出版发行: 清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址: 北京清华大学学研大厦 A 座 邮 编: 100084

社 总 机: 010-62770175 邮 购: 010-62786544

投稿与读者服务: 010-62776969, c-service@tup.tsinghua.edu.cn

质量反馈: 010-62772015, zhiliang@tup.tsinghua.edu.cn

印 装 者: 北京密云胶印厂

经 销: 全国新华书店

开 本: 185mm×260mm 印 张: 23.5 字 数: 583 千字

版 次: 2005 年 7 月第 1 版 2017 年 12 月第 5 版 印 次: 2017 年 12 月第 1 次印刷

印 数: 1~5000

定 价: 49.80 元

前 言

新版教程的变化主要表现在新版 EDA 软件和较新的 FPGA 的使用上:

(1) 考虑到 Quartus II 13.1 和 Quartus Prime Standard 16.1 版本的用法和功能基本相同, 而 13.1 版本支持的早期器件系列较多, 包括 Cyclone III。所以在一些重要的章节和示例中, 用 QuartusII 13.1 软件取代了旧版的 Quartus II 9.1。

(2) 在上一版的前言中就已提到过, Quartus II 10.0 版本后不再支持内置的门级仿真器, 即 Altera 已将 Quartus II 10.0 及此后版本的软件中曾经一贯内置的门级波形仿真器移除了, 这使得 Quartus 的使用者不得不使用接口于 Quartus II 的第三方仿真器 ModelSim-Altera。显然这一举措对于多数初学者和相关的教学造成很大的不便。因为必须承认, Quartus II 9.x 及之前版本软件中一直内置的波形仿真器的易学、高效和便捷的巨大优势, 对于 EDA 教学和初学者的学习是十分重要的。为此, Quartus II 13.1 及其以后的 16.1 版本, 借助 ModelSim-ase 构建了一个类似于波形仿真器的仿真工具。其在用法上也有少许不同之处, 书中也做了介绍。

(3) 由于新版软件的波形仿真器是建立在第三方仿真软件 ModelSim-ase 上的, 所以在安装软件时需要特别注意要把 ModelSim-ase 装上, 书中对此加入了 Quartus II 13.1 安装的简要说明。

(4) 考虑到较新的 Cyclone 4 型 FPGA 已经得到广泛使用, 并兼顾目前多数学校仍然使用基于 Cyclone 3 系列 FPGA 的实验设备的事实, 在此新版教材中包含了这两种 FPGA 的使用示例。

(5) 在 FPGA 和 CPLD 的结构介绍方面, 做了一定更新, 介绍了较新近发展的 FPGA (Cyclone4) 和 CPLD (内嵌 Flash 的 FPGA 器件) 的结构特点。

(6) 对一些习题和实验项目做了精简与完善。

(7) 对第 10 章的 Test Bench 仿真示例升级在 Quartus II 13.1 平台上完成。

(8) 对第 11 和第 12 章内容做了进一步的完善。

与本书 VHDL 内容相对应的 Verilog HDL 教材可参考清华大学出版社出版的《EDA 技术与 Verilog HDL (第 3 版)》。

基于工程领域中 EDA 技术的巨大实用价值, 以及对 EDA 教学中实践能力和创新意识培养的极端重视, 本书的特色主要体现在如下两个方面。

1. 注重实践能力和创新能力的培养

在绝大部分章节中都安排了针对性较强的实验与设计项目, 使学生对每一章的课堂教学内容和教学效果能及时通过实验得以消化和强化, 并尽可能地从一开始学习就有机会将理论知识与实践、自主设计紧密联系起来。

全书包含数十个实验及其相关的设计项目, 这些项目涉及的 EDA 工具软件类型较多、技术领域也较宽、知识涉猎密集、针对性强, 而且自主创新意识的启示性好。与书中的示

例相同,所有的实验项目都通过了 EDA 工具的仿真测试及 FPGA 平台的硬件验证。每一个实验项目除给出详细的实验目的、实验原理和实验报告要求外,还有 2~5 个子项目或子任务。它们通常分为:第一个层次的实验是与该章某个阐述内容相关的验证性实验,并通常提供详细的且被验证的设计源程序和实验方法,学生只需将提供的设计程序输入计算机,并按要求进行编译仿真,在实验系统上实现即可,这使学生有一个初步的感性认识,也提高了实验的效率;第二个层次的实验任务要求在上一实验基础上做一些改进和发挥;第三个层次的实验通常是提出自主设计的要求和任务;第四、第五个实验层次则是在仅给出一些提示的情况下提出自主创新性设计的要求。因此,教师可以根据学时数、教学实验的要求以及不同的学生对象,布置不同层次含不同任务的实验项目。

2. 注重教学选材的灵活性和完整性相结合

本教材的结构特点决定了授课学时数可十分灵活,即可长可短,应视具体的专业特点、课程定位及学习者的前期教育程度等因素而定,大致在 30~54 学时。考虑到 EDA 技术课程的特质和本教材的特色,具体教学可以是粗放型的,其中多数内容,特别是实践项目,都可放手让学生更多地自己去查阅资料、提出问题、解决问题,乃至创新与创造;而授课教师只需做一个启蒙者、引导者、鼓励者和学生成果的检验者与评判者。授课的过程多数情况只需点到为止,大可不必拘泥细节、面面俱到。但有一个原则,即安排的实验学时数应多多益善。

事实上,任何一门课程的学时数总是有限的,为了有效增加学生的实践和自主设计的时间,可以借鉴清华大学的一项教改措施,即其电子系本科生从一入学就每人获得一块 FPGA 实验开发板,可从本科一年级一直用到研究生毕业。这是因为 EDA 技术本身就是一个可把全部实验和设计带回家的课程。

我校对于这门课程也基本采用了这一措施,即每个上 EDA 课的同学都可借出一套 EDA 实验板,使他们能利用自己的计算机在课余时间完成自主设计项目,强化学习效果。实践表明,这种安排使得实验课时得到有效延长,教学成效自然显著。

我们建议积极鼓励学生利用课余时间尽可能学完本书的全部内容,掌握本书介绍的所有 EDA 工具软件和相关开发手段,并尽可能多地完成本书配置的实验和设计任务,甚至能参考教材中的要求,安排相关的创新设计竞赛,进一步激发同学的学习积极性和主动性,并强化他们的动手能力和自主创新能力。

还有一个问题有必要在此探讨,即自主创新能力的培养尽管重要,但对其有效提高绝非一朝一夕之事。多年的教学实践告诉我们,针对这一问题的教改必须从两方面入手,一是教学内容,二是设课时间。二者密切联系,不可偏废。

前者主要指建立一个内在相关性好、设课时间灵活且易于将创新能力培养寓于知识传播之中的课程体系。

后者主要指在课程安排的时段上,将这一体系的课程尽可能地提前。这一举措是成功的关键,因为我们不可能到了本科三、四年级才去关注能力的培养,并期待奇迹发生,更不可能指望一两门课程就能解决问题。尤其是以卓越工程师为培养目标的工科高等教育,自主创新能力的培养本身就是一项教学双方必须投入密集实践和探索的创新活动。我校的 EDA 技术国家级精品课程正是针对这一教改目标建立的课程体系,而“数字电子技术基础”

是这一体系的组成部分和先导课程。它的提前设课是整个课程体系提前的必要条件。

通过数年的试点教学实践和经验总结,现已成功在部分本科学生中将此课程的设课时间从原来的第四或第五学期提前到了第一或第二学期。而这一体系的其他相关课程,如 EDA 技术、单片机(相关教材是清华大学出版社的《单片机原理与应用技术》,潘明、黄继业等编著)、SOC 片上系统、计算机接口、嵌入式系统和 DSP 等也相应提前,从而使学生到本科二年级时就具备了培养工程实践和自主开发能力的条件。

另外有一个问题须在此说明。

针对本教材中的实验和实践项目所能提供的演示示例原设计文件的问题:本书中多数实验都能提供经硬件验证调试好的演示示例原设计,目的是让读者能顺利完成实验验证和设计;有的示例的目的是希望能启发或引导读者完成更有创意的设计,其中一些示例尽管看上去颇有创意,但都不能说是最佳或最终结果,这给读者留有許多改进和发挥的余地。此外还有少数示例无法提供源代码(只能提供演示文件),是考虑到本书作者以外的设计者的著作权,但这些示例仍能在设计的可行性、创意和创新方面给读者以宝贵的启示。

为了尽可能降低本书的成本和售价,不再配置光盘。与本书相关的其他资料,包括本书的配套课件、实验示例源程序资料、相关设计项目的参考资料和附录中提到的 mif 文件编辑生成软件等文件资料都可免费索取;此外对于一些与本教材相关的工具软件,包括 Quartus II、Synplify Pro、ModelSim-Atera 和 DSP-Builder/MATLAB 等 EDA 软件的安装使用问题都可咨询(包括教学课件与实验课件,以及实验系统的 FPGA 引脚查询及对照表等的免费索取)sunliangzhu@126.com,或与作者探讨 EDA 技术教学和实践(hjynet@163.com);或直接与出版社联系(主要是索取教学课件等)。

清华大学出版社的网址和联系方式分别是:www.tup.com.cn, zzfangcn@vip.163.com。

作者

于杭州电子科技大学

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术	1
1.2 EDA 技术应用对象	2
1.3 常用的硬件描述语言	4
1.4 EDA 技术的优势	5
1.5 面向 FPGA 和 CPLD 的开发流程	6
1.5.1 设计输入	7
1.5.2 综合	7
1.5.3 适配 (布线布局)	9
1.5.4 仿真	9
1.5.5 RTL 描述	10
1.6 可编程逻辑器件	10
1.6.1 PLD 的分类	11
1.6.2 PROM 可编程原理	12
1.6.3 GAL	14
1.7 CPLD 的结构与可编程原理	15
1.8 FPGA 的结构与工作原理	18
1.8.1 查找表逻辑结构	18
1.8.2 Cyclone 4E 系列器件的结构原理	18
1.8.3 内嵌 Flash 的 FPGA 器件	21
1.9 硬件测试技术	21
1.9.1 内部逻辑测试	21
1.9.2 JTAG 边界扫描测试	22
1.10 编程与配置	22
1.11 Quartus II	23
1.12 IP 核	25
1.13 EDA 的发展趋势	25
习题	27
第 2 章 程序结构与数据对象	28
2.1 VHDL 程序结构	28
2.2 VHDL 程序基本构建	30
2.2.1 实体和端口模式	30
2.2.2 结构体	31

2.2.3	库和库的种类	32
2.2.4	库和程序包的调用方法	34
2.2.5	配置	35
2.3	VHDL 文字规则	36
2.3.1	数字	36
2.3.2	字符串	36
2.3.3	关键词	37
2.3.4	标识符及其表述规则	37
2.3.5	文件取名和存盘	38
2.3.6	规范的程序书写格式	38
2.4	VHDL 数据对象	39
2.4.1	常数	39
2.4.2	变量	39
2.4.3	信号	40
	习题	42
第 3 章	数据类型与顺序语句	43
3.1	VHDL 数据类型	43
3.1.1	BIT 和 BIT_VECTOR 类型	44
3.1.2	STD_LOGIC 和 STD_LOGIC_VECTOR 类型	44
3.1.3	整数类型 INTEGER	46
3.1.4	布尔数据类型 BOOLEAN	47
3.1.5	SIGNED 和 UNSIGNED 类型	47
3.1.6	其他预定义类型	49
3.1.7	数据类型转换函数	50
3.2	常用顺序语句	52
3.2.1	赋值语句	52
3.2.2	CASE 语句	53
3.2.3	PROCESS 语句	54
3.2.4	并置操作符 &	55
3.2.5	IF 语句	56
3.3	IF 语句使用示例	57
3.3.1	D 触发器的 VHDL 描述	57
3.3.2	含异步复位和时钟使能 D 触发器的描述	60
3.3.3	基本锁存器的描述	60
3.3.4	含清零控制锁存器的描述	62
3.3.5	实现时序电路的不同表述方式	63
3.3.6	4 位二进制加法计数器设计	64
3.3.7	计数器更常用的 VHDL 表达方式	65
3.3.8	设计一个实用计数器	67



3.3.9 含同步并行预置功能的 8 位移位寄存器设计	69
3.3.10 优先编码器设计	70
3.4 VHDL 其他顺序语句	71
3.4.1 LOOP 循环语句	72
3.4.2 NEXT 语句	72
3.4.3 EXIT 语句	73
3.4.4 WAIT 语句	74
3.4.5 GENERIC 参数定义语句	77
3.4.6 REPORT 语句	77
3.4.7 断言语句	78
3.4.8 端口数据含 1 个数的统计电路模块设计	80
习题	81
第 4 章 时序仿真与硬件实现	83
4.1 代码编辑输入和系统编译	83
4.1.1 编辑和输入设计文件	83
4.1.2 创建工程	84
4.1.3 约束项目设置	85
4.1.4 全程综合与编译	87
4.1.5 RTL 图观察器应用	88
4.2 时序仿真	89
4.3 硬件测试	91
4.3.1 引脚锁定	92
4.3.2 编译文件下载	93
4.3.3 通过 JTAG 口对配置芯片进行间接编程	95
4.3.4 USB-Blaster 驱动程序安装方法	96
4.4 电路原理图设计流程	96
4.4.1 设计一个半加器	96
4.4.2 完成全加器顶层设计	98
4.4.3 对全加器进行时序仿真和硬件测试	99
4.5 利用属性表述实现引脚锁定	100
4.6 SignalTap II 的用法	101
4.7 编辑 SignalTap II 的触发信号	106
4.8 安装 Quartus II 13.1 说明	106
习题	111
实验与设计	112
实验 4-1 多路选择器设计实验	112
实验 4-2 十六进制 7 段数码显示译码器设计	112
实验 4-3 应用宏模块设计数字频率计	114
实验 4-4 计数器设计实验	117

实验 4-5 数码扫描显示电路设计	118
实验 4-6 硬件消抖动电路设计	118
实验 4-7 串行静态显示控制电路设计	119
第 5 章 并行语句	121
5.1 并行信号赋值语句	121
5.1.1 简单信号赋值语句	121
5.1.2 条件信号赋值语句	122
5.1.3 选择信号赋值语句	123
5.1.4 块语句	124
5.1.5 元件例化语句	124
5.1.6 例化语句应用示例	125
5.1.7 生成语句	127
5.1.8 GENERIC 参数传递映射语句及其使用方法	129
5.1.9 数据类型定义语句	131
5.1.10 VHDL 的存储器描述	134
5.1.11 信号属性及属性函数	136
5.2 VHDL 运算操作符	138
5.2.1 逻辑操作符	138
5.2.2 关系操作符	140
5.2.3 算术操作符	141
5.2.4 省略赋值操作符	144
5.3 keep 属性应用	145
5.4 SignalProbe 使用方法	146
习题	148
实验与设计	149
实验 5-1 8 位加法器设计实验	149
实验 5-2 高速硬件除法器设计	149
实验 5-3 移位相加型 8 位硬件乘法器设计	150
实验 5-4 基于 VHDL 代码的频率计设计	150
实验 5-5 VGA 彩条信号显示控制电路设计	152
实验 5-6 不同类型的移位寄存器设计实验	156
第 6 章 LPM 宏模块使用方法	157
6.1 调用计数器宏模块示例	157
6.1.1 计数器 LPM 模块文本代码的调用	157
6.1.2 LPM 计数器代码与参数传递语句应用	159
6.1.3 创建工程与仿真测试	160
6.2 利用属性控制乘法器构建的示例	161
6.3 LPM_RAM 宏模块用法	162
6.3.1 初始化文件及其生成	162

6.3.2 LPM_RAM 的设置与调用.....	164
6.3.3 测试 LPM_RAM.....	166
6.3.4 用 VHDL 代码描述存储器以及用初始化文件加载表述	166
6.4 LPM_ROM 使用示例.....	168
6.4.1 简易正弦信号发生器设计	168
6.4.2 正弦信号发生器硬件实现和测试	169
6.5 在系统存储器数据读写编辑器应用	171
6.6 LPM 嵌入式锁相环调用	172
6.6.1 建立嵌入式锁相环元件.....	172
6.6.2 测试锁相环	175
6.7 In-System Sources and Probes Editor 用法	175
6.8 DDS 实现原理与应用	178
6.8.1 DDS 原理	178
6.8.2 DDS 信号发生器设计示例	180
习题.....	181
实验与设计.....	181
实验 6-1 查表式硬件运算器设计.....	181
实验 6-2 正弦信号发生器设计.....	182
实验 6-3 简易逻辑分析仪设计.....	182
实验 6-4 DDS 正弦信号发生器设计.....	183
实验 6-5 移相信号发生器设计.....	184
实验 6-6 VGA 简单图像显示控制模块设计	185
实验 6-7 AM 幅度调制信号发生器设计	186
第 7 章 VHDL 设计深入	188
7.1 进程中的信号赋值与变量赋值	188
7.2 含高阻输出的电路设计	192
7.2.1 三态门设计	192
7.2.2 双向端口的的设计方法	193
7.2.3 三态总线电路设计	195
7.3 资源优化.....	196
7.3.1 资源共享	197
7.3.2 逻辑优化.....	198
7.3.3 串行化.....	199
7.4 速度优化.....	200
7.4.1 流水线设计	201
7.4.2 关键路径法	203
7.5 仿真延时	204
7.5.1 固有延时	204
7.5.2 传输延时	205

7.5.3 仿真 δ	205
习题	206
实验与设计	207
实验 7-1 4X4 阵列键盘键信号检测电路设计	207
实验 7-2 乐曲硬件演奏电路设计	207
实验 7-3 PS2 键盘控制模型电子琴电路设计	210
实验 7-4 直流电机综合测控系统设计	213
实验 7-5 VGA 动画图像显示控制电路设计	215
第 8 章 状态机设计技术	216
8.1 VHDL 状态机的一般形式	216
8.1.1 状态机的特点与优势	216
8.1.2 VHDL 状态机的一般结构	217
8.1.3 状态机设计初始约束与表述	220
8.2 Moore 型状态机的设计	221
8.2.1 多进程状态机	222
8.2.2 序列检测器之状态机设计	225
8.3 Mealy 型状态机的设计	226
8.4 状态编码	230
8.4.1 直接输出型编码	230
8.4.2 顺序编码	232
8.4.3 一位热码状态编码	232
8.4.4 状态编码设置	233
8.5 安全状态机设计	234
8.5.1 程序直接导引法	235
8.5.2 状态编码监测法	235
8.5.3 借助 EDA 优化控制工具生成安全状态机	236
习题	236
实验与设计	236
实验 8-1 序列检测器设计	236
实验 8-2 并行 ADC 采样控制电路实现与硬件验证	237
实验 8-3 数据采集模块设计	238
实验 8-4 五功能智能逻辑笔设计	239
实验 8-5 串行 ADC/DAC 采样或信号输出控制电路设计	240
第 9 章 16 位 CPU 创新设计	241
9.1 KX9016 的结构与特色	241
9.2 KX9016 基本硬件系统设计	244
9.2.1 单步节拍发生模块	244
9.2.2 运算器	244
9.2.3 比较器	245

9.2.4 基本寄存器与寄存器阵列组	246
9.2.5 移位器	250
9.2.6 程序与数据存储器	251
9.3 KX9016v1 指令系统设计	251
9.3.1 指令格式	251
9.3.2 指令操作码	252
9.3.3 软件程序设计实例	254
9.3.4 KX9016 v1 控制器设计	255
9.3.5 指令设计实例详解	259
9.4 KX9016 的时序仿真与硬件测试	260
9.4.1 时序仿真与指令执行波形分析	260
9.4.2 CPU 工作情况的硬件测试	262
9.5 KX9016 应用程序设计实例和系统优化	264
9.5.1 乘法算法及其硬件实现	264
9.5.2 除法算法及其硬件实现	265
9.5.3 KX9016v1 的硬件系统优化	266
习题	267
实验与设计	268
实验 9-1 16 位 CPU 验证性设计综合实验	268
实验 9-2 新指令设计及程序测试实验	268
实验 9-3 16 位 CPU 的优化设计与创新	269
第 10 章 VHDL 仿真和语句补充	271
10.1 VHDL 仿真流程	272
10.2 VHDL 测试基准实例	274
10.3 VHDL Test Bench 测试流程	276
10.4 VHDL 子程序	278
10.4.1 函数	278
10.4.2 重载函数	281
10.4.3 决断函数	283
10.4.4 过程	284
10.4.5 重载过程	286
10.4.6 子程序调用语句	286
10.4.7 RETURN 语句	288
10.4.8 并行过程调用语句	289
10.5 VHDL 程序包	291
习题	293
实验与设计	294
实验 10-1 在 ModelSim 上对 VHDL Test Bench 进行仿真	294
第 11 章 DSP Builder 系统设计方法	295

11.1	MATLAB/DSP Builder 及其设计流程	295
11.2	正弦信号发生器设计	297
11.2.1	建立设计模型	298
11.2.2	Simulink 模型仿真	304
11.2.3	SignalCompiler 使用方法	307
11.2.4	使用 ModelSim 进行 RTL 级仿真	308
11.2.5	使用 Quartus II 实现时序仿真	310
11.2.6	硬件测试与硬件实现	310
11.3	DSP Builder 层次化设计	311
11.4	基于 DSP Builder 的 DDS 设计	314
11.4.1	DDS 模块设计	314
11.4.2	FSK 调制器设计	316
11.4.3	正交信号发生器设计	318
11.4.4	数控移相信号发生器设计	318
11.4.5	幅度调制信号发生器设计	318
11.5	HIL 硬件测试	320
	习题	324
	实验与设计	325
	实验 11-1 利用 MATLAB/DSP Builder 设计基本电路模块	325
	实验 11-2 基于 DSP Builder 的 DDS 应用模型设计	326
	实验 11-3 HIL 硬件环仿真实验	327
第 12 章	DSP Builder 设计深入	329
12.1	FIR 数字滤波器设计	329
12.1.1	FIR 滤波器原理	329
12.1.2	使用 DSP Builder 设计 FIR 滤波器	330
12.1.3	使用 MATLAB 的滤波器设计工具	334
12.1.4	使用 FIR IP Core 设计 FIR 滤波器	340
12.2	HDL 模块插入仿真及其设计	343
	习题	346
	实验与设计	347
	实验 12-1 FIR 数字滤波器设计实验	347
	实验 12-2 调制解调模块设计实验	348
	实验 12-3 HDL Import 模块应用实验	348
附录 A	EDA 开发系统及相关电路与表格	349
A.1	KX_CDS 系列 EDA/SOPC 系统	350
A.2	部分实验扩展模块	354
A.3	.mif 文件生成器使用方法	355
A.4	核心板 FPGA 扩展至 KX_CDS 系统对照表	357
A.5	多功能重配置结构可切换的部分实验电路图	359

第1章 EDA 技术概述

本章简要介绍 EDA 技术、EDA 工具、FPGA 结构原理及 EDA 的应用情况和发展趋势，其中重点介绍基于 EDA 的 FPGA 开发技术的概况。

考虑到本章中出现的一些基本概念和名词有可能涉及较多的基础知识和更深入的 EDA 基础理论，故对于本章的学习仅要求读者做一般性的了解，无须深入探讨。因为待读者学习完本教程，并经历了本教材配置的必要实践后，对许多问题就会自然而然地弄明白了。不过需要强调的是，本章的重要性并不能因此而被低估。

1.1 EDA 技术

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术，即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机，在 EDA 工具软件平台上，对以硬件描述语言 (HDL, Hardware Description Language) 为系统逻辑描述手段完成的设计文件。它自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。EDA 技术使得设计者的主要工作仅限于利用软件的方式来完成对系统硬件功能的实现，这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装以及 FPGA/CPLD (Field Programmable Gate Array/Complex Programmable Logic Device) 编程下载和自动测试等技术；在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念；而在现代电子学方面则容纳了更多的内容，如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术等。因此 EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容及其与电子技术各学科领域的相关性，其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件，以及电子设计技术和工艺是同步的。

就过去数十年的电子技术的发展历程，可大致将 EDA 技术的发展分为 3 个阶段。

第一阶段：20 世纪 70 年代，在集成电路制作方面，MOS 工艺已得到广泛的应用。可编程逻辑技术及其器件已经问世，计算机作为一种运算工具已在科研领域得到广泛应用。而在后期，CAD 的概念已见雏形，这一阶段人们开始利用计算机取代手工劳动，辅助进行集成电路版图编辑、PCB 布局布线等工作，这是 EDA 技术的雏形。

第二阶段：20 世纪 80 年代，集成电路设计进入了 CMOS (互补场效应管) 时代。复杂可编程逻辑器件已进入商业应用，相应的辅助设计软件也已投入使用；在 80 年代末，FPGA、CAE 和 CAD 技术的应用更为广泛，它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析、逻辑设计、逻辑仿真、布尔代数综合和化简等方面担任了重要的角色。

特别是各种硬件描述语言的出现、应用和标准化方面的重大进步,为电子设计自动化解决电子线路建模、标准文档及仿真测试等问题奠定了基础。

第三阶段:进入 20 世纪 90 年代,计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时,电子技术在通信、计算机及家电产品生产中的市场需求和技术需求,极大地推动了全新的电子设计自动化技术的应用和发展。特别是集成电路设计工艺步入了超深亚微米阶段,百万门以上的大规模可编程逻辑器件的陆续问世,以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用,促进了 EDA 技术的形成。更为重要的是,各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的出现,都有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后,得到了更大的发展,突出表现在以下几个方面:

- 在 FPGA 上实现 DSP (数字信号处理) 应用成为可能,用纯数字逻辑进行 DSP 模块的设计,使得高速 DSP 的实现成为现实,并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术,为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟,使得 SOPC (System On a Programmable Chip) 步入大规模应用阶段,在一单片 FPGA 中实现一个完备的可随意重构的嵌入式系统成为可能。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- EDA 使得电子领域各学科的界限更加模糊,更加互相包容:模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA 等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP 核模块。
- 软硬 IP (Intellectual Property) 核在电子产业的产业领域得到广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现(如 System C),使复杂电子系统的设计和验证趋于简单。
- C 综合技术开始应用于复杂 EDA 软件工具。使用 C 或类 C 语言对数字逻辑系统进行设计已经成为可能。HLS (High-Level Synthesis) 工具可以实现简单 C 程序到 HDL 的转化,而 OpenCL 工具,可以构建以 CPU 为核心的 C 算法加速的应用。

1.2 EDA 技术应用对象

一般地,利用 EDA 技术进行电子系统设计的最后目标,是完成专用集成电路 (ASIC) 或印制电路板 (PCB) 的设计和实现(如图 1-1 所示)。其中,PCB 设计指的是电子系统的印制电路板设计,从电路原理图到 PCB 上元件的布局、布线、阻抗匹配、信号完整性分析及板级仿真,到最后的电路板机械加工文件生成,这些都需要相应的计算机 EDA 工具软件辅助设计者来完成,这仅是 EDA 技术应用的一个重要方面,但本书限于篇幅不做展开。ASIC 作为最终的物理平台,集中容纳了用户通过 EDA 技术将电子应用系统的既定功能和技术指标具体实现的硬件实体。

专用集成电路就是具有专门用途和特定功能的独立集成电路器件。根据这个定义,作

为 EDA 技术最终实现目标的 ASIC，可以通过 3 种途径来完成（如图 1-1 所示）。

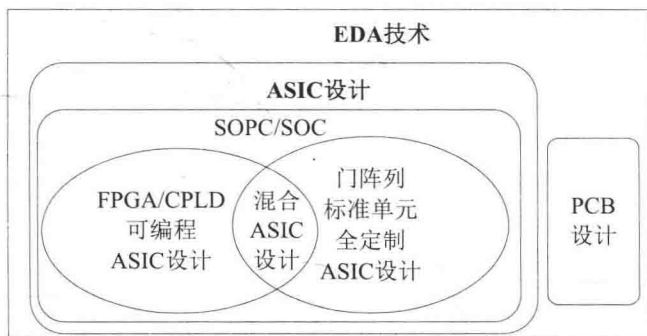


图 1-1 EDA 技术实现目标

1. 可编程逻辑器件

FPGA 和 CPLD 是实现这一途径的主流器件，它们的特点是直接面向用户、具有极大的灵活性和通用性、使用方便、硬件测试和实现快捷、开发效率高、成本低、上市时间短、技术维护简单、工作可靠性好等。FPGA 和 CPLD 的应用是 EDA 技术有机融合软硬件电子设计技术、SOC 和 ASIC 设计，以及对自动设计与自动实现最典型的诠释。由于 FPGA 和 CPLD 的开发工具、开发流程和使用方法与 ASIC 有类似之处，因此这类器件通常也被称为可编程专用 IC 或可编程 ASIC。

2. 半定制或全定制 ASIC

基于 EDA 技术的半定制或全定制 ASIC，根据它们的实现工艺，可统称为掩模（Mask）ASIC，或直接称 ASIC。可编程 ASIC 与掩模 ASIC 相比，不同之处在于前者具有面向用户灵活多样的可编程性，即硬件结构的可重构特性。掩模 ASIC 大致分为门阵列 ASIC、标准单元 ASIC 和全定制 ASIC。对于全定制芯片，在针对特定工艺建立的设计规则下，设计者对于电路的设计有完全的控制权，如线的间隔和晶体管大小的确定。该领域的一个例外是混合信号设计，使用通信电路的 ASIC 可以定制设计其模拟部分。

目前大部分 ASIC 是使用库（Library）中的不同大小的标准单元设计的，这类芯片一般称作基于单元的集成电路（CBIC，Cell-Based Integrated Circuits）。在设计者一级，库包括不同复杂性的逻辑元件：SSI 逻辑块、MSI 逻辑块、数据通道模块、存储器、IP 乃至系统级模块。库包含每个逻辑单元在硅片级的完整布局，使用者只需利用 EDA 软件工具与逻辑块描述打交道即可，完全不必关心深层次电路布局的细节。标准单元布局中，所有扩散、接触点、过孔、多晶通道及金属通道都已完全确定。当该单元用于设计时，通过 EDA 软件产生的网表文件将单元布局块“粘贴”到芯片布局之上的单元行上。标准单元 ASIC 设计与 FPGA 设计的开发流程相近。

3. 混合 ASIC

混合 ASIC（不是指数模混合 ASIC）主要指既含有面向用户的 FPGA 可编程功能和逻辑资源，同时也含有可方便调用和配置的硬件标准单元模块，如 CPU、RAM、ROM、硬件加法器、乘法器、锁相环等。