

高等学校电子信息类专业
“十三五”规划教材

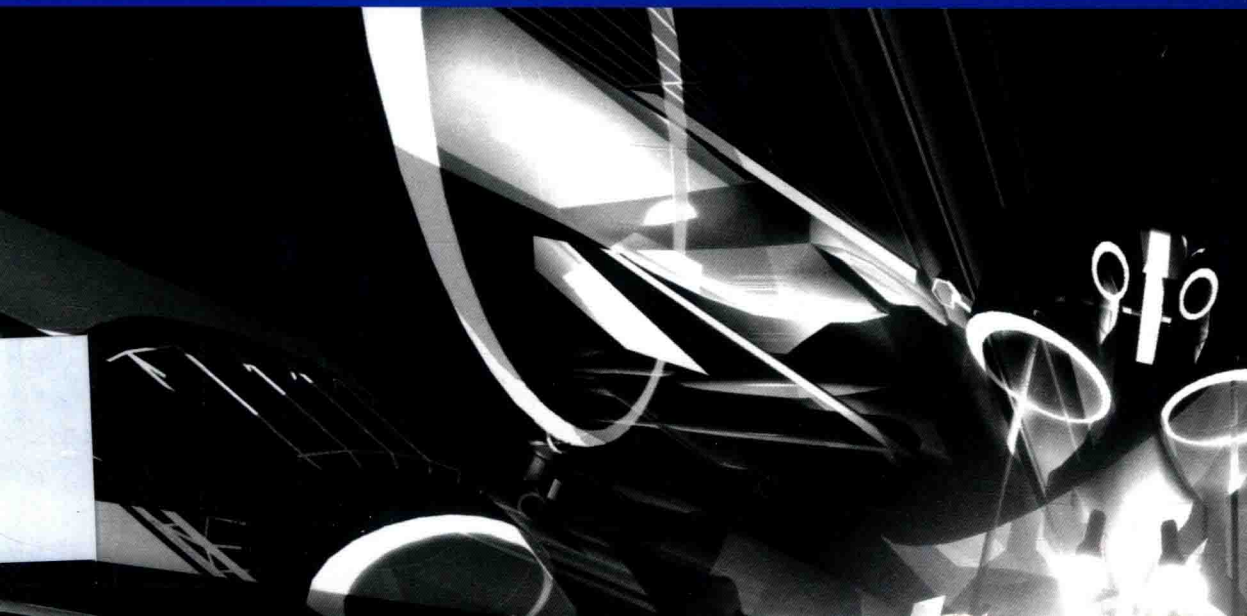
ELECTRONIC
INFORMATION SPECIALTY

数字电路与EDA实验

任爱锋 袁晓光 编著
孙肖子 主审



西安电子科技大学出版社
<http://www.xduph.com>



高等学校电子信息类专业“十三五”规划教材

数字电路与 EDA 实验

任爱锋 袁晓光 编著

孙肖子 主审

常州大字图书馆
藏书章

西安电子科技大学出版社

内 容 简 介

本书基于台湾友晶科技 DE0 开发板实验平台,介绍了 Altera Quartus II EDA 软件及 Nios II EDS 嵌入式设计软件的基本应用。全书共 6 章:第 1 章介绍了台湾友晶科技 DE0 开发板、硬件描述语言及基本的 EDA 设计方法及相关工具软件;第 2 章介绍了基于 FPGA 的嵌入式开发工具 Nios II-Eclipse,并给出了详细的设计实例;第 3 章为 EDA 初级实验项目及其实现方法;第 4 章为 EDA 中级实验项目及其实现方法;第 5 章为 EDA 提高实验项目及其实现方法;第 6 章为 EDA 实验项目推荐等。

本书对于 EDA 技术的介绍比较全面,结构安排由浅入深,可作为电子工程、通信工程、自动控制、电子科学与技术、电气信息工程、微电子等专业专科、本科及研究生数字电路与 EDA 相关课程的实验教材及课程设计的参考书,还可作为电子类设计大赛学生的设计参考书,或相关工程技术人员的参考书。

图书在版编目(CIP)数据

数字电路与 EDA 实验/任爱锋,袁晓光编著. —西安:西安电子科技大学出版社,2017.8

高等学校电子信息类专业“十三五”规划教材

ISBN 978-7-5606-4547-6

I. ① 数… II. ① 任… ② 袁… III. ① 数字电路—电子技术—实验 IV. ① TN79-33

中国版本图书馆 CIP 数据核字(2017)第 160872 号

策 划 云立实

责任编辑 买永莲

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西利达印务有限责任公司

版 次 2017 年 8 月第 1 版 2017 年 8 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 15

字 数 365 千字

印 数 1~3000 册

定 价 28.00 元

ISBN 978-7-5606-4547-6/TN

XDUP 4839001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜,谨防盗版。

前 言

西安电子科技大学国家电工电子教学基地（国家级教学实验中心）EDA 实验室创建于 1997 年，在创建之初就得到了 Altera 公司、Xilinx 公司等可编程器件厂商的大力支持。为了适应新技术的发展，2006 年 EDA 实验室正式挂牌为“西电—Altera EDA/SOPC 联合实验室及培训中心”，EDA 实验室的校级选修课“高密度在系统可编程技术及应用”课程作为电子工程学院所有专业学生的必修课，更名为“数字电路与 EDA 实验”。每年有上千名学生在 EDA 实验室学习 FPGA 设计技术，有近 10 位教师负责不同专业学生的授课。经过多年的授课实践及教学讨论，为了进一步规范该课程的教学内容，我们特编写了本书。本书也是学校教材立项重点建设教材。

本书内容编排如下：

第 1 章介绍了 EDA 设计的硬件开发平台与开发工具。本书所有设计实例工程都基于台湾友晶科技的 DE0 开发板，因此本章介绍了 DE0 开发板的主要资源及 Cyclone III FPGA。本章还介绍了 VHDL 和 Verilog 基本编程结构和语法，Quartus II EDA 软件的完整设计过程，并给出了一个完整的 DDS 信号发生器设计实例。ModelSim-Altera 仿真工具以及 SignalTap II 嵌入式逻辑分析仪 FPGA 调试工具也在本章中给出了简单的介绍。第 2 章介绍了基于 FPGA 的嵌入式开发工具，包括 Qsys 系统综合工具，Nios II 嵌入式软核及其开发软件 Nios II-Eclipse，最后给出了一个完整的基于 Nios II 控制的 DDS 信号发生器实例。第 3 章为 EDA 初级实验，给出了 5 个完整的实验设计。第 4 章为 EDA 中级实验，给出了 2 个完整的中级难度实验。第 5 章为 EDA 提高实验，给出了 3 个具有一定难度的设计实验。第 6 章给出了 6 个推荐的 EDA 实验项目，其中只给出了设计要求及简单的设计分析；同时给出了 EDA 综合设计报告的参考格式，供读者在编写综合设计报告时参考。附录部分给出了 VHDL 和 Verilog 编程中常用的逻辑符号，以及台湾友晶科技 DE0 开发板的 FPGA 引脚分配表和原理图。本书中 DDS 设计实例贯穿始终，从最基本的 DDS 信号产生原理图设计到作为软核 Nios II 处理器外设的 Qsys 自定制外设控制，读者可以根据实例体会整个 Altera EDA 工具的设计思想和流程。

任爱锋编写了本书的第 1、2、5、6 章和附录，并负责统筹全稿；袁晓光编写了第 3、4 章。西安电子科技大学的孙肖子教授在百忙之中审阅了全书并提出了许多宝贵的建议和修改意见，在此表示诚挚的谢意。此外，实验中心的王爽教授、周佳社教授对本书的编排给予了大力支持和帮助，在此一并表示感谢。

由于编者水平有限，书中难免有疏漏和不妥之处，恳请读者批评指正。

编 者

2017 年 3 月 15 日

目 录

第 1 章 EDA 硬件开发平台与开发工具.....	1
1.1 硬件开发平台简介.....	1
1.1.1 Cyclone III FPGA 简介.....	1
1.1.2 台湾友晶科技 DE0 FPGA 开发板.....	3
1.1.3 台湾友晶科技 DE0 开发板的应用.....	4
1.2 硬件描述语言.....	11
1.2.1 VHDL 简介.....	12
1.2.2 Verilog HDL 关键语法.....	18
1.2.3 HDL 的编程技术.....	20
1.3 Quartus II 13.0 EDA 软件应用.....	21
1.3.1 创建新工程.....	23
1.3.2 建立原理图编辑文件.....	26
1.3.3 建立文本编辑文件.....	40
1.3.4 建立存储器编辑文件.....	41
1.3.5 设计实例.....	45
1.3.6 项目综合.....	49
1.3.7 Quartus II 编译器选项设置.....	50
1.3.8 引脚分配.....	57
1.3.9 项目编译结果分析.....	59
1.3.10 项目程序下载编程.....	61
1.4 ModelSim-Altera 10.1d 简介.....	63
1.4.1 ModelSim 软件架构.....	63
1.4.2 ModelSim 软件仿真应用实例.....	64
1.5 FPGA 调试工具 SignalTap II 应用.....	68
1.5.1 在设计中嵌入 SignalTap II 逻辑分析仪.....	68
1.5.2 使用 SignalTap II 进行编程调试.....	73
1.5.3 查看 SignalTap II 调试波形.....	74
第 2 章 基于 FPGA 的嵌入式开发工具.....	76
2.1 Qsys 系统开发工具.....	76
2.1.1 Qsys 与 SOPC 简介.....	76
2.1.2 Qsys 系统主要界面.....	77

2.2 Nios II 嵌入式软核及开发工具介绍	82
2.2.1 Nios II 嵌入式处理器	82
2.2.2 Nios II 嵌入式处理器软硬件开发流程	82
2.3 FPGA 嵌入式系统设计实例	84
2.3.1 实例系统软硬件需求分析与设计规划	84
2.3.2 实例系统硬件部分设计	86
2.3.3 实例系统 Nios II 嵌入式软件设计	102
第 3 章 EDA 初级实验	114
3.1 流水灯实验	114
3.1.1 实验要求	114
3.1.2 实验基本要求的设计示例	115
3.2 计时器实验	123
3.2.1 实验要求	123
3.2.2 实验基本要求的设计示例	124
3.3 单稳态触发器实验	130
3.3.1 实验要求	130
3.3.2 实验基本要求的设计示例	130
3.4 脉宽调制(PWM)实验	134
3.4.1 实验要求	134
3.4.2 实验基本要求的设计示例	135
3.5 直接数字频率合成(DDS)波形发生器实验	136
3.5.1 实验要求	136
3.5.2 实验基本要求的设计示例	136
第 4 章 EDA 中级实验	141
4.1 呼吸流水灯实验	141
4.1.1 实验要求	141
4.1.2 实验基本要求的设计示例	141
4.2 通用异步串行收发(UART)实验	150
4.2.1 实验要求	150
4.2.2 实验基本要求的设计示例	150
第 5 章 EDA 提高实验	162
5.1 VGA 视频信号产生实验	162
5.1.1 设计原理	162

5.1.2	VGA 同步信号产生	165
5.1.3	字符的视频显示设计	169
5.1.4	跳动的矩形块视频显示设计	173
5.2	Qsys 用户自定义外设实验	175
5.2.1	Qsys 用户自定义元件说明	175
5.2.2	Qsys 自定义资源库组件实例—DDS 信号产生模块	178
5.3	PS/2 键盘接口的 FPGA 设计	192
5.3.1	PS/2 连接器接口	192
5.3.2	键盘扫描编码介绍	192
5.3.3	PS/2 串行数据传输	194
5.3.4	用 FPGA 实现 PS/2 键盘接口通信的 VHDL 设计	196
5.3.5	PS/2 设计实例	198
第 6 章	EDA 实验项目推荐	200
6.1	自动售货机控制系统设计	200
6.1.1	设计要求	200
6.1.2	设计分析	200
6.2	PS/2 键盘接口控制器设计	201
6.2.1	设计要求	201
6.2.2	设计分析	201
6.3	VGA 图像显示控制系统设计	202
6.3.1	设计要求	202
6.3.2	设计分析	202
6.4	基于 FPGA 的电梯控制系统设计	204
6.4.1	设计要求	204
6.4.2	设计分析	204
6.5	洗衣机洗涤控制系统设计	205
6.5.1	设计要求	205
6.5.2	设计分析	205
6.6	基于 FPGA 的多路数据采集系统设计	207
6.6.1	设计要求	207
6.6.2	设计分析	207
6.7	综合设计报告参考格式	207
6.7.1	报告封面格式	207
6.7.2	报告正文格式	207
6.7.3	报告附录格式	208

6.7.4 报告的其他部分格式	208
附录	209
附录 1 Verilog HDL 中常用运算符	209
附录 2 VHDL 中常用运算符	210
附录 3 DE0 开发板引脚分配表	211
附录 4 DE0 开发板原理图	214
参考文献	232

第1章 EDA 硬件开发平台与开发工具

1.1 硬件开发平台简介

1.1.1 Cyclone III FPGA 简介

Intel FPGA(Field Programmable Gate Array, 现场可编程门阵列)非常适合于各类最新产品中,其主要包括高端的 Stratix 系列、中端的 Arria 系列、低成本的 Cyclone 系列和非易失性的 MAX 10 系列,每一系列 FPGA 都有对应的 SoC(Signal on a Chip)产品。不同系列 FPGA 有不同的特性,嵌入式存储器、数字信号处理(DSP)模块、高速收发器,以及高速 I/O 引脚等,覆盖了多种最终产品。每一个系列的 FPGA 芯片可能又分为好几代产品,比如 Cyclone 系列,到现在已经有 Cyclone、Cyclone II、Cyclone III、Cyclone IV 和 Cyclone V 五代产品。这些产品的升级换代很大程度上都是由于半导体工艺的升级换代引起的。

由于本书中所用的台湾友晶科技 DE0 开发板上使用的是 Cyclone III 系列 FPGA,因此本节主要介绍 Cyclone III 系列 FPGA 的主要特性。在 Cyclone III 这个系列的 FPGA 中,又分为两个不同的子系列,普通的 Cyclone III 和具有安全特性的 Cyclone III LS。在每个子系列里,根据片内资源的不同又分为多种型号,比如普通的 Cyclone III 子系列,就包含了 EP3C5、EP3C10、EP3C16、EP3C25、EP3C40、EP3C55、EP3C80 和 EP3C120 等 8 种型号的芯片。每个型号的芯片又根据通用 I/O 口数量和封装区分出不同的芯片。比如,EP3C16 的芯片又有 EP3C16E144、EP3C16M164、EP3C16Q240、EP3C16F256、EP3C16U256、EP3C16F484 和 EP3C16U484 等不同的芯片。而每一种芯片又有不同的速度等级,比如说 EP3C16F484 就有 C6、C7、C8、I7 四个速度等级。

1. Cyclone III FPGAs——针对低功耗优化

Altera Cyclone III FPGA 针对低功耗进行了优化,帮助用户解决散热问题,降低甚至消除系统散热成本,延长手持式应用中电池的使用时间。Cyclone III 和 Cyclone III LS 是具有 200 K 逻辑单元(LE)而静态功耗不到 0.25 W 的首款 FPGA。

图 1.1 所示为 Cyclone III 器件在 85℃时的静态功耗。容量最小的 Cyclone III 器件 EP3C5 系列在 85℃时的静态功耗只有 50 mW,容量最大的 Cyclone III 器件 EP3CLS200 系列在 85℃时的静态功耗只有 238 mW。

2. 芯片和体系结构优化

Cyclone III FPGA 采用台湾半导体制造公司(TSMC)的 65 nm 低功耗(LP)工艺技术生产,其他的主要半导体生产商也在小型器件中采用了该技术。先进的工艺以及体系结构优化技术降低了工艺尺寸,减小了动态和静态功耗,与 90 nm Cyclone II 器件相比, Cyclone

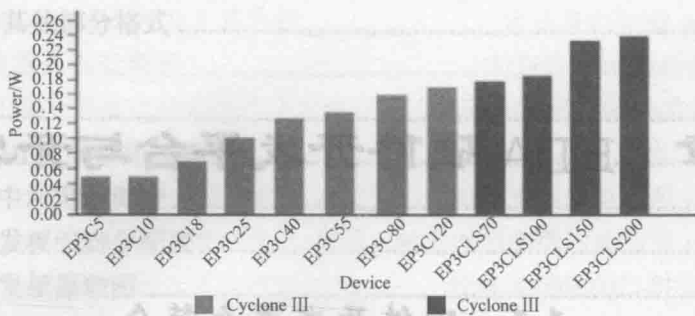


图 1.1 Cyclone III FPGA 的典型静态功耗

III 器件的总功耗降低了 60%。Altera 在 Cyclone III 器件上采用的工艺和体系结构改进技术包括使用低 K 绝缘、可变沟道长度和氧化层厚度, 以及多晶体管阈值电压等。

3. Quartus II 功耗优化

Altera 在设计流程中的功耗优化处于领先地位。Quartus II PowerPlay 优化工具自动利用 Cyclone III 的体系结构来进一步降低功耗,与 Cyclone II 器件相比,功耗降低了 25%。另外, Cyclone III FPGA 结合了芯片和体系结构优化技术,与 90 nm Cyclone II FPGA 相比,最终降低了 50% 的功耗。

4. 片内资源

表 1.1 中给出了 Cyclone III 系列每个型号芯片的片内资源,其中最大用户 I/O(Maximum User I/Os)给出了该型号最多拥有的用户 I/O 的数量。但需要注意的是,不同的封装拥有的用户 I/O 的数量并不相同。

表 1.1 Cyclone III FPGA 特性

		Cyclone III FPGA 最大资源数(1.2 V)							
		EP3C5	EP3C10	EP3C16	EP3C25	EP3C40	EP3C55	EP3C80	EP3C120
密度和速度	逻辑 LEs(K)	5	10	15	25	40	56	81	119
	M9K 存储器块	46	46	56	66	126	260	305	432
	嵌入式存储器(Kb)	414	414	504	594	1134	2340	2745	3888
	18×18 乘法器	23	23	56	66	126	156	244	288
结构特性	全局时钟网络	10	10	20	20	20	20	20	20
	锁相环(PLLs)	2	2	4	4	4	4	4	4
	配置文件大小(Mb)	2.8	2.8	3.9	5.5	9.1	14.2	19	27.2
	设计安全								
I/O 特性	I/O 电压支持/V	1.2, 1.5, 1.8, 2.5, 3.3							
	I/O 标准支持	LVDS, LVPECL, 差分 SSTL-18, 差分 SSTL-2, 差分 HSTL, SSTL-18(I 和 II), SSTL-2(I 和 II), 1.5-V HSTL(I 和 II), 1.8-V HSTL(I 和 II), PCI, PCI-X 1.0, LVTTL, LVC MOS							
	模拟差分参通道, 840 Mb/s	66	66	136	79	223	159	177	229
	OCT	串行和差分							
	外部存储器接口	存储器件支持 QDR II, DDR2, DDR, SDR							

5. 封装信息

表 1.2 给出了 Cyclone III FPGA 各型号芯片的封装信息，以及该封装下芯片所具有的可用 I/O 数量和差分信号通道数量。

表 1.2 Cyclone III FPGA 封装及 I/O 矩阵

Cyclone III FPGA(1.2 V)								
EQFP(E)	MBGS(M) ¹	PQFP(Q) ²	FBGA(F)				UBGA(U)	
144 pin 22×22(mm) 0.5 mm间距	164 pin 8×8(mm) 0.5 mm间距	240 pin 34.6×34.6(mm) 0.5 mm间距	256 pin 17×17(mm) 1.0 mm间距	324 pin 19×19(mm) 1.0 mm间距	484 pin 23×23(mm) 1.0 mm间距	780 pin 29×29(mm) 1.0 mm间距	256 pin 14×14(mm) 0.8 mm间距	484 pin 19×19(mm) 0.8 mm间距
EP3C5	94	106	182				182	
EP3C10	94	106	182				182	
EP3C16	84	92	160		346		168	346
EP3C25	82		148	215			156	
EP3C40		128	156	195				
EP3C55					331	535		331
EP3C80					327	477		327
EP4C120					295	429		295
EP3CLS70					283	531		
EP3CLS100					294	429		294
EP3CLS150					294	429		294
EP3CLS200					226	429		
					226	429		

注：上标 1 表示 MBGA(Micro FineLine BGA)封装，上标 2 表示 PQFP(Plastic Quad Flat Pack)封装。

1.1.2 台湾友晶科技 DE0 FPGA 开发板

台湾友晶科技的 DE0 FPGA 开发板是一套轻薄型的开发板，参考设计和相关配件一应俱全，简单易上手，非常适合初学者用来学习 FPGA 逻辑设计与计算机架构。DE0 FPGA 开发板搭载了 Altera Cyclone III 系列的 EP3C16 FPGA，可提供 15 408 个逻辑单元(LE)以及 346 个用户 I/O。此外，DE0 开发板还搭配了丰富的外部资源，非常适合于 EDA 实验类教学课程，并足够开发较复杂的数字系统。

1. DE0 开发板布局 and 组件

图 1.2 是 DE0 开发板的布局及主要连接器件和相关组件标注。



图 1.2 DE0 开发板布局图

DE0 开发板上的硬件部分主要包括:

- (1) Altera Cyclone III EP3C16F484C6 FPGA 芯片。该芯片包含 15 408 个逻辑单元、56 个 M9K 内存模块、504K 内嵌 RAM、56 个内嵌乘法器、4 个锁相环、346 个用户可用 I/O 引脚。
- (2) Altera 系列 FPGA 配置芯片 EPCS4。
- (3) 板上 USB Blaster 配置电路, 支持 JTAG 模式和 AS 模式。该配置电路采用 Altera EPM240 CPLD 实现, 可用于 FPGA 器件的编程及用户 API(Application Programming Interface) 控制。
- (4) 8 M 字节 SDRAM 芯片。单只 8 MB SDR SDRAM 芯片支持 16 位数据总线。
- (5) 4 M 字节 FLASH 芯片。该芯片支持字节(8 位)/字(16 位)模式。
- (6) SD 卡插槽, 支持 SPI 模式和 1 位 SD 模式。
- (7) 3 个按键, 按下时为低电平。
- (8) 10 个拨动开关。
- (9) 10 个绿色 LED。
- (10) 50 MHz 晶振时钟源。
- (11) VGA DAC(4 位电阻网络)带有 VGA 输出接口。该输出接口为 15 针高密度 D 型接头, 最高支持 1280 × 1024 分辨率, 每秒 60 帧。
- (12) RS-232 接收器(不含 DB9 接头)。
- (13) PS/2 键盘/鼠标接口。
- (14) 两个 40 针扩展接口, 包括 72 个 I/O 和 8 个电源与地信号。

为了给用户提供更多的便利, DE0 开发板上的所有接口及硬件均通过 Cyclone III FPGA 完成, 因此用户可以通过配置 FPGA 来完成任何系统设计。

2. DE0 开发板上电

DE0 开发板预装了默认配置, 可进行演示及检测开发板是否正常运行。DE0 开发板上电步骤为:

- (1) 通过 USB 数据线把 DE0 开发板的 USB Blaster 接口与计算机的 USB 接口连接起来。为了实现计算机与开发板通信, 需要在计算机上安装 Altera USB Blaster 驱动。
- (2) 通过开发板自带的 7.5 V 变压器把电源连接到 DE0 开发板。
- (3) 通过 VGA 电缆把 VGA 显示器与 DE0 开发板上的 VGA 接口相连接。
- (4) 把 DE0 开发板左边的 RUN/PROG 开关拨至 RUN 位置; PROG 位置只是用来在 AS 模式下对 EPCS4 芯片进行编程。

- (5) 按下 DE0 开发板上的电源 ON/OFF 开关。

DE0 开发板上电后, 如果运行正常, 则可以看到:

- (1) DE0 开发板上所有 LED 灯左右循环闪烁。
- (2) DE0 开发板上所有七段数码管从 0 到 F 循环显示。
- (3) VGA 显示器上会显示 Altera 的 logo 及 DE0 Board 字样的图片。

1.1.3 台湾友晶科技 DE0 开发板的应用

本节介绍 DE0 开发板相关资源的应用。

1. 配置 Cyclone III FPGA 芯片

DE0 开发板上包含了 Cyclone III FPGA 的配置数据芯片 EPCS4, 当开发板上电时, 配置数据会自动由 EPCS4 芯片加载到 FPGA 芯片中。通过 Quartus II 软件, 用户还可以随时通过 JTAG 模式重新配置 FPGA 芯片, 也可以通过 AS 模式改变存储在 EPCS4 芯片中的数据。

(1) JTAG 模式: 配置数据被直接加载到 FPGA 芯片中, 但 FPGA 掉电后数据会丢失。

(2) AS 模式: 该模式是串行主动编程模式, FPGA 的配置数据被加载到 EPCS 配置芯片中, 因此掉电后不会丢失。当板子上电后, EPCS 中的配置数据会自动加载到 FPGA 中。

在 DE0 开发板上, JTAG 模式和 AS 模式通过 RUN/PROG 拨动开关进行切换。

图 1.3 所示为 DE0 开发板上 JTAG 配置模式的原理框图。当 DE0 开发板上电后, 将 RUN/PROG 拨动开关置于 RUN 挡, Quartus II 软件编程器(选择 JTAG 模式)就可以通过 USB Blaster 电路将扩展名为 .sof 的配置数据比特流文件编程至 FPGA 芯片。

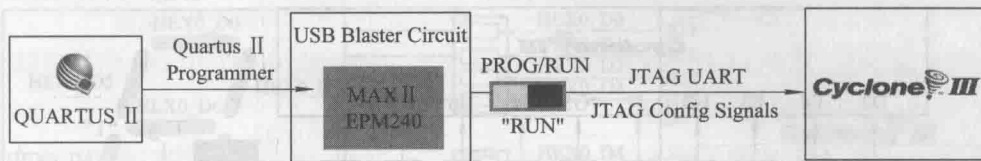


图 1.3 DE0 开发板 JTAG 配置模式的原理框图

图 1.4 所示为 DE0 开发板上 AS 配置模式的原理框图。当 DE0 开发板上电后, 将 RUN/PROG 拨动开关置于 PROG 挡, Quartus II 软件编程器(选择 AS 模式)就可以通过 USB Blaster 电路将扩展名为 .pof 的配置数据比特流文件编程至 EPCS 芯片。当 EPCS 编程完成后, 再将 RUN/PROG 开关拨到 RUN 挡并重启 DE0 开发板, EPCS 中的配置数据即可自动加载到 FPGA 中运行。

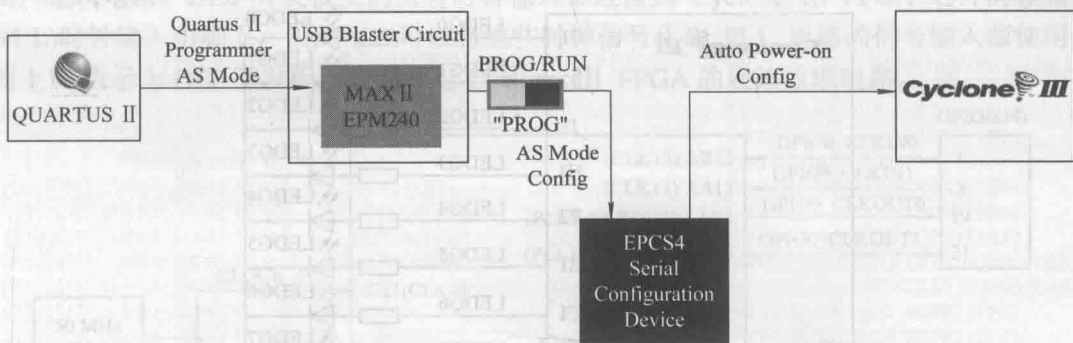


图 1.4 DE0 开发板 AS 配置模式的原理框图

2. LED 灯和开关的应用

DE0 开发板上的 10 个 LED 灯(LEDG9~0)、3 个按键(BUTTON2~0)及 10 个拨动开关(SW9~0)均直接连接到了 Cyclone III FPGA 芯片上的特定引脚(在使用过程中相关引脚连接信息请参考附录或 DE0 用户手册)。

图 1.5 所示为 3 个按键与 Cyclone III FPGA 的连接原理电路。当按键没有被按下时输出高电平(3.3 V), 被按下时则输出低电平(0 V)。

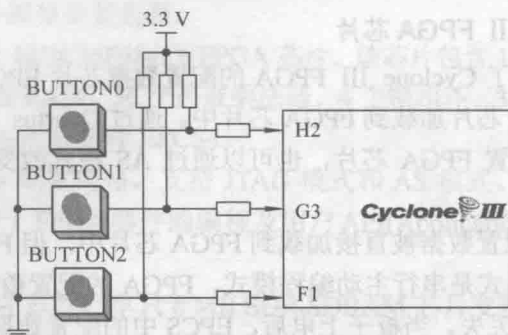


图 1.5 DE0 开发板上 3 个按键与 FPGA 的连接原理电路

图 1.6 所示为 10 个拨动开关与 Cyclone III FPGA 的连接原理电路。当拨动开关置于 DOWN 位置(接近 DE0 板子边缘)时会提供一个低电平(0 V)输入至 FPGA, 当置于 UP 位置时会提供一个高电平(3.3 V)的输入。

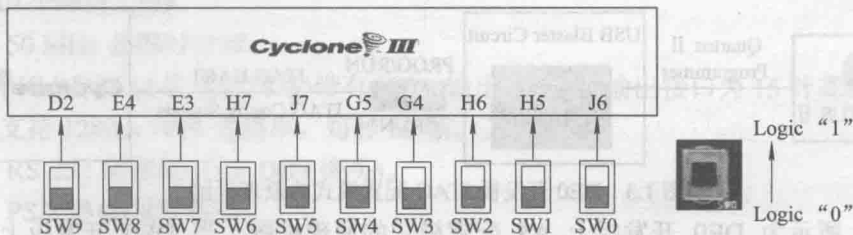


图 1.6 DE0 开发板上 10 个拨动开关与 FPGA 的连接原理电路

图 1.7 所示为 10 个 LED 灯与 Cyclone III FPGA 的连接原理电路, 每个 LED 灯均由 FPGA 的特定引脚直接驱动。相对应的 FPGA 引脚为逻辑高电平时可点亮 LED 灯, 置于逻辑低电平时则可以熄灭 LED 灯。

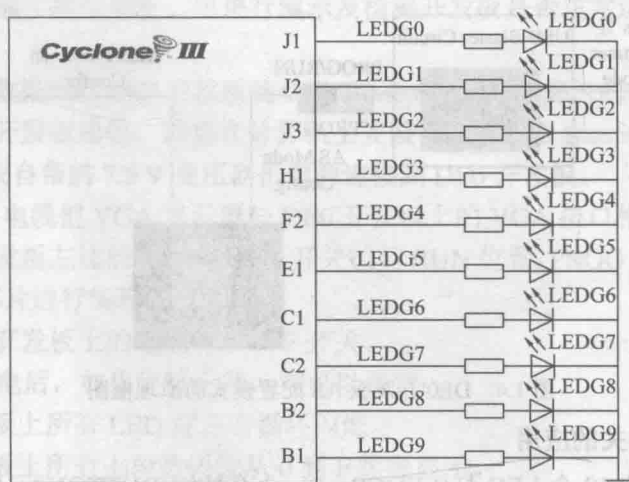


图 1.7 DE0 开发板上 10 个 LED 灯与 FPGA 的连接原理电路

3. 七段数码管的应用

DE0 开发板上提供了 4 个七段数码管(共阳极), 分为 2 组, 每组 2 个, 用于显示各种字符和数字。每个七段数码管包括 7 个控制引脚, 分别对应数码管的 7 个字段(包括小数点,

用 DP 表示), 被从 0 到 6 依次编号, 如图 1.8 所示。4 个七段数码管的所有引脚(共 28 个)分别直接连接至 Cyclone III FPGA 芯片的相应引脚上, 当对应引脚输出低电平时, 对应的字码段点亮; 输出高电平时则熄灭。七段数码管与 FPGA 的连接原理电路如图 1.9 所示, 图中仅给出数码管 0(HEX0)的连接, 其他数码管的连接方式与此类似。

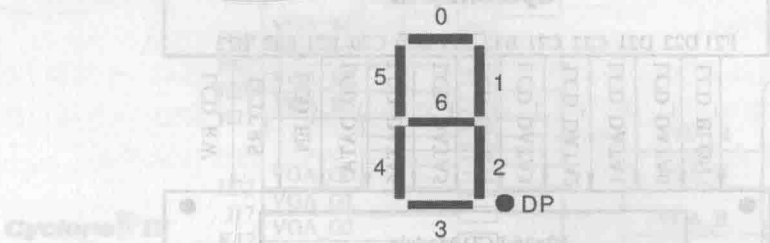


图 1.8 七段数码管位置与编号

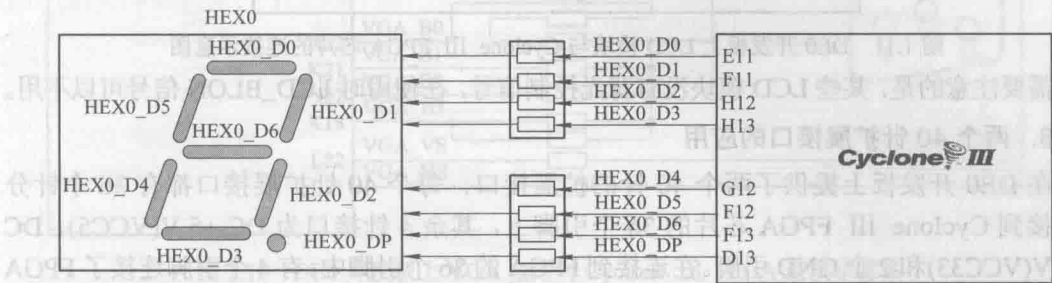


图 1.9 DE0 开发板上 4 个七段数码管与 FPGA 的连接原理电路

4. 50 MHz 时钟应用

DE0 开发板提供了一个 50 MHz 的时钟信号, 该时钟信号可以用来驱动 FPGA 内部的用户逻辑电路。DE0 开发板上的所有时钟输入都连接到 Cyclone III FPGA 芯片的锁相环 (PLL) 时钟输入引脚上, 因此用户可以将这些时钟信号作为 PLL 电路的信号输入源使用。图 1.10 所示为 DE0 开发板上的时钟与 Cyclone III FPGA 的连接原理电路。

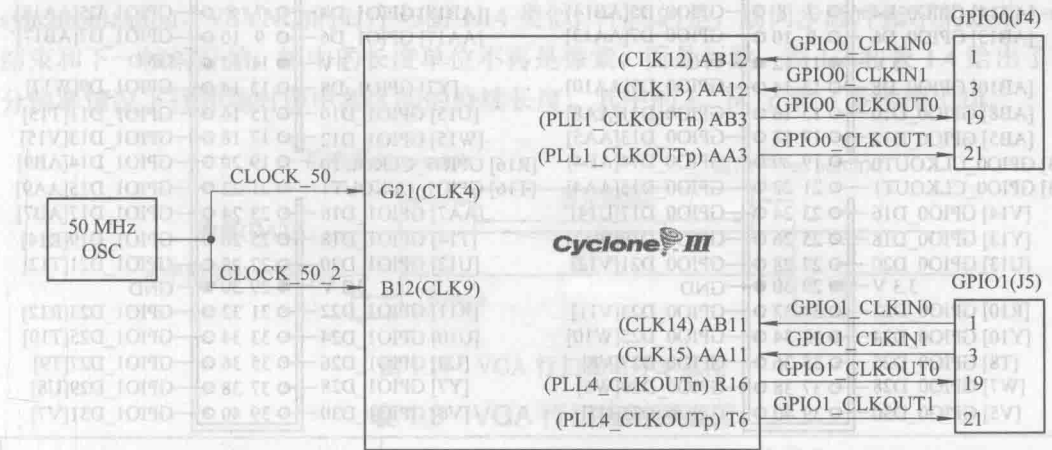


图 1.10 DE0 开发板上时钟分配与 FPGA 的连接原理电路

5. LCD 模块应用

DE0 开发板上提供了一个 16×2 的 LCD 接口, 用户可以自行准备一个 LCD 模块连接

至该接口使用。LCD 模块内置用于显示文本的字体，发送命令给 HD44780 显示控制器即可在 LCD 模块上显示合适的文本。图 1.11 所示为 LCD 模块连接至 Cyclone III FPGA 芯片的连接原理示意图。

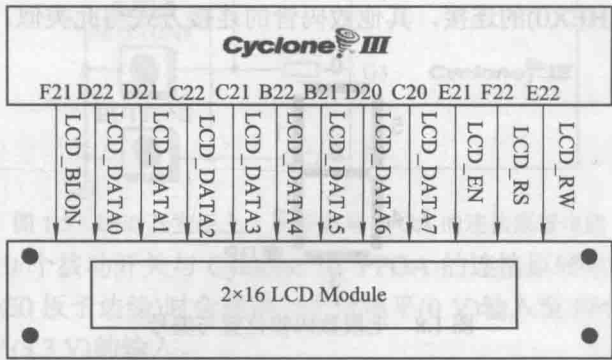


图 1.11 DE0 开发板上 LCD 模块与 Cyclone III FPGA 芯片的连接示意图

需要注意的是，某些 LCD 模块没有背光控制信号，在使用时 LCD_BLON 信号可以不用。

6. 两个 40 针扩展接口的应用

在 DE0 开发板上提供了两个 40 针的扩展接口，每个 40 针扩展接口都有 36 个针分别连接到 Cyclone III FPGA 芯片的 36 个引脚上，其余 4 针接口为 DC +5 V(VCC5)、DC +3.3 V(VCC33)和 2 个 GND 引脚。在连接到 FPGA 的 36 个引脚中，有 4 个引脚连接了 FPGA 芯片的 PLL 时钟输入与输出引脚，这是为了方便扩展子板通过该接口访问 FPGA 芯片的 PLL 模块。图 1.12 所示为 DE0 开发板上两个 40 针扩展接口信号定义及连接 FPGA 的对应引脚名称。



图 1.12 DE0 开发板两个 40 针扩展接口与 Cyclone III FPGA 芯片的连接示意图

7. VGA 接口应用

DE0 开发板上提供一个 VGA 输出的 16 引脚的 D-SUB 接口，其中 VGA 同步信号直接

由 Cyclone III FPGA 芯片提供，并且通过电阻网络提供一个 4 位的 DAC 电路来产生模拟数字信号(红 R、绿 G 和蓝 B)，该电路支持标准的 VGA 分辨率(640×480 像素，25 MHz 带宽)。图 1.13 所示为 VGA 相关电路原理图。

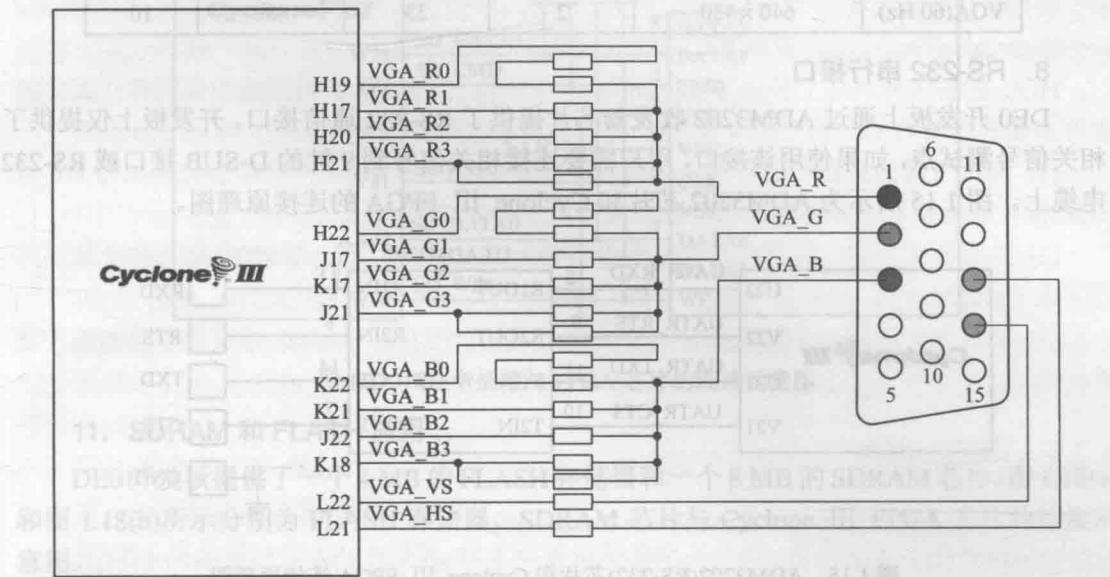


图 1.13 DE0 开发板上 VGA 电路与 Cyclone III FPGA 连接示意图

有关 VGA 同步及 RGB 数据的时序规范，读者可以在网站上搜索找到(如搜索“VGA 信号时序”)。图 1.14 所示为在 VGA 显示器上显示所需满足的单行(Horizontal，水平方向)基本时序要求。图中显示器水平同步(HSYNC)输入信号所给出的指定宽度低电平有效脉冲(Sync a)表示前一行扫描的结束和新一行扫描的开始。RGB 信号在图中所标出的行扫描后沿(Back porch, b)和行扫描前沿(Front porch, d)期间是无效的。RGB 信号只有在图中显示间隔 c 期间有效，RGB 数据将在显示器上逐点显示出来。VGA 的场同步(Vertical synchronization, VSYNC)的时序与图 1.14 类似，不同的是，场同步脉冲指示的是某一帧的结束和下一帧的开始，帧中的长度单位不再是像素，而是行数。表 1.3 和表 1.4 给出了不同分辨率情况下行和场时序中各区间的持续长度，其中的 a、b、c 和 d 参考图 1.14。

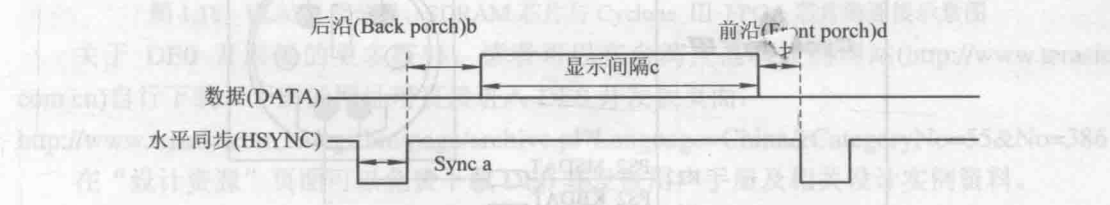


图 1.14 VGA 行扫描时序示意图

表 1.3 VGA 行扫描时序规范

VGA 模式		行扫描时序规范				
配置	分辨率(H×V)	a/μs	b/μs	c/μs	d/μs	像素时钟/MHz
VGA(60 Hz)	640×480	3.8	1.9	25.4	0.6	25(640/c)