

芯片接口库 I/O Library 和 ESD 电路 的研发设计应用

王国立◎著



中国工信出版集团



人民邮电出版社
POSTS & TELECOM PRESS

芯片接口库 I/O Library 和 ESD 电路 的研发设计应用

王国立◎著



人民邮电出版社
北京

图书在版编目 (CIP) 数据

芯片接口库I/O Library和ESD电路的研发设计应用 /
王国立著. — 北京: 人民邮电出版社, 2018.10
ISBN 978-7-115-48706-3

I. ①芯… II. ①王… III. ①接口芯片—电路设计
IV. ①TN430.2

中国版本图书馆CIP数据核字(2018)第146733号

内 容 提 要

本书理论和实践相结合, 首先概略介绍了 I/O Library, 包括 I/O Library 在芯片设计中的功能、设计流程等; 接着介绍了 I/O 电路中的 ESD 现象、ESD 的测试方法和多种 ESD 保护功能模块的设计; 然后着重讲解闩锁现象、GPIO 的功能电路以及高速 I/O 电路的电路补偿方法等; 最后展望了 I/O Library 的未来发展。

◆ 著 王国立

责任编辑 李 静

责任印制 彭志环

◆ 人民邮电出版社出版发行 北京市丰台区成寿寺路 11 号

邮编 100164 电子邮件 315@ptpress.com.cn

网址 <http://www.ptpress.com.cn>

固安县铭成印刷有限公司印刷

◆ 开本: 787×1092 1/16

印张: 12

2018 年 10 月第 1 版

字数: 310 千字

2018 年 10 月河北第 1 次印刷

定价: 69.00 元

读者服务热线: (010)81055488 印装质量热线: (010)81055316

反盗版热线: (010)81055315

前言

中国的芯片业方兴未艾，芯片的设计和制造过程相当于一个巨大的链条，环环相扣，牵一发而动全身。

本书讲述了 I/O Library (I/O 元件库) 芯片设计，其功用、性能涉及工艺选择到芯片应用的整个流程。I/O Library 内部有许多独特的设计模块，如静电防护 (ESD)、闩锁 (Latch-up)、高速 I/O 电路等，这些模块的规范和设计方法在工业界都有严格的标准，并且这些标准在不断更新。I/O Library 的内部电路设计紧跟工业标准，与时俱进，不断创新。

I/O Library 的设计需要和外部很多因素相配合，因此要创建和外部世界的通话模块，例如 Synopsys Model、IBIS Model 等。而对于不从事 I/O Library 设计的人员来说，这些通话模块只是概略描述了 I/O Library 的外在行为特征。单纯作为使用者，I/O Library 像一个黑匣子，我们只知其表，未知其里，因此显得其高深莫测。

I/O Library 的从业人员不仅要有高超的电路设计本领，还要具备良好的沟通和协调能力。I/O Library 内部的设计虽然需要缜密地考虑多个方面，但如果只是囿于 I/O Library 内部，这样的境界对于从事 I/O Library 设计的人员并非完美。因此，设计人员必须加强同其他设计部门（架构、数字、模拟、APR、封装、测试、应用等）的沟通交流，从而在整个芯片的层面上使 I/O Library 的性能达到最优。

本书的目的是让从事 I/O Library 设计的人员掌握 I/O Library 的关键设计细节，也使工作在其他环节的工程师了解 I/O Library 的内部情况，从而促进 I/O Library 和其他设计流程环节的良好互联。

本书理论和实践相结合，提供大量实际工程范例。本书涉及 I/O Library 芯片设计的每个环节，因此从事半导体行业的设计工程师、工艺工程师、产品工程师、测试工程师、应用工程师都可借鉴。

本书将涵盖以下内容。

第 1 章概述了 I/O Library，其中包括 I/O Library 的功能、设计流程和发布包 (Release Package) 中包含的内容等。

第 2 章着重叙述 I/O 电路中的 ESD 现象、ESD 的测试方法和多种 ESD 保护功能模块的设计。对于芯片级和系统级的 ESD 保护，本章也有详细讲解和案例说明。ESD 的布局 (Layout) 方法对于性能的影响至为重要，因此对 ESD 布局的说明贯穿全章。

第 3 章讲述闩锁现象 (Latch-up)。本章详细阐述了 Latch-up 的成因、防护设计、测试方法、布局要求和工艺上的考虑等。

第 4 章详细介绍了多种 GPIO 电路的规范要求和设计方法, 包括 I/O 电路的设计和布局, 以及要考虑到的噪声干扰、ESD 结构、电源总线布局、Bond PAD 的结构和布局等。

第 5 章简要介绍了高速 I/O 电路的补偿方法和两种常见的高速电路——DDR (Double Data Rate, 双倍速率) 和 LVDS (Low Voltage Differential Signaling, 低压差分信号)。

第 6 章讲述了 3 种重要的接口模型——综合模型 (Synopsys Model)、行为模型 (Behavior Model) 和输入/输出缓冲器信息规范模型 (IBIS Model)。这些重要的接口模型作为同外部其他应用的接口, 需要满足外部应用、模型规范和 EDA 工具的需求。

最后是对全书各章的总结和对未来的展望。

希望本书能给予读者以启迪, 使读者在学习和工作中更上一层楼。

目 录

第1章 I/O Library 介绍	1
1.1 I/O Library 的特征	1
1.2 I/O Library 的设计流程	4
1.3 研究工艺的特点	5
1.4 设计测试芯片	6
1.5 ESD 测试模块	7
第2章 ESD——I/O Library 的第一道墙	11
2.1 ESD 现象	11
2.2 半导体芯片中的 ESD 失败现象	12
2.3 电路可靠性——ESD 测试模型	16
2.4 ESD 标准测试模型的测试组合	25
2.5 ESD 标准测试模型的测试误差	28
2.6 输入/输出管脚 ESD 器件的设计和布局	29
参考文献	75
第3章 闩锁和保护环	77
3.1 闩锁的机理	77
3.2 防止闩锁的方法	79
3.3 Latch-up 的测试方法	88
参考文献	94
第4章 I/O 电路设计	95
4.1 通用型 I/O 数据规范和设计	95
4.2 传输线现象	96
4.3 GPIO 的输出模块	100
4.4 GPIO 的输入模块	114
4.5 模拟输入信号	117

4.6 混合电压输入 / 输出电路	120
4.7 高压容忍电路中的输入 / 输出电路	125
4.8 输出电路的布局	128
4.9 I/O 的电源线分布	132
4.10 Bond PAD 的位置和布局	134
4.11 内核面积决定化和 PAD 面积决定化	136
参考文献	139
第 5 章 高速 I/O 电路	141
5.1 电路补偿	141
5.2 DDR	146
5.3 LVDS	150
参考文献	154
第 6 章 I/O Library 的模型	155
6.1 综合模型	155
6.2 行为模型	169
6.3 IBIS 模型	171
参考文献	181
结束语	183

第1章 I/O Library 介绍

在集成电路中，I/O 是非常重要而独特的一环。如图 1-1 所示，是一个 CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 工艺的芯片顶视图。芯片的外围是和芯片管脚相连接的 I/O PAD 环，它们都具有相同的特征，例如每个 I/O PAD 都有一个金属的焊盘，它用于封装管脚的管线使其连入芯片内部，每个与外部管脚相接的 I/O PAD 环都需要有足够的静电保护。但是，这些 I/O PAD 环因为连接的内部电路不同，所以各自又具有不同的功能、不同的速率要求、不同的工作电压等。



图 1-1 某一 CMOS 工艺的芯片顶视图

1.1 I/O Library 的特征

在集成化很高，尤其是以数字综合为主导的大型芯片的设计环境中，把具有共性的模块放在同一个元件库中是方便优化和非常便捷的做法。按照功能区分，芯片设计大致可以分为模拟模块和数字模块，这两者的前端设计流程既有区别又有共性，但是在后端却统一由自动布局布线 (Automatic Place and Route, APR) 工具按照管脚分布和工艺限

制进行集成。由顶至踵的芯片设计流程如图 1-2 所示。

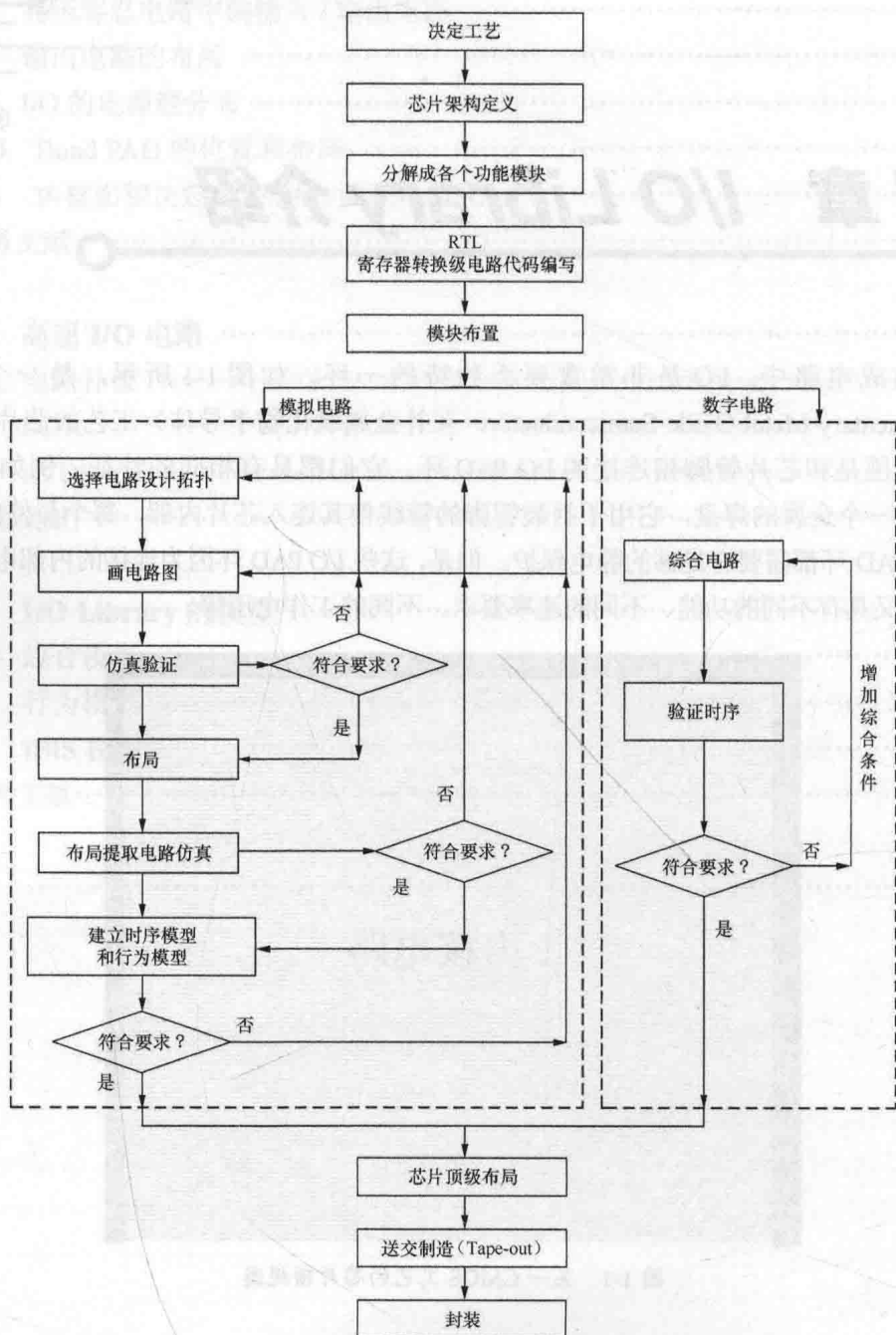


图 1-2 由顶至踵的芯片设计流程

数字电路的基础是标准元件库，元件库中的元件使用同一电源，按不同功能和驱动能力相互独立存在。其中，元件在布局上可以随意组合，基于 RTL 代码，根据速度、面积、功率损耗等约束条件通过综合流程，由 APR 工具完成布局和布线。如图 1-2 所示是部分数字电路。

对于模拟电路，例如模数转换器、锁相环、射频发射接收器模块等，都是遵照传统的模拟电路设计流程。如图 1-2 所示为部分模拟电路。

相比同一芯片中的其他模拟或者数字模块, I/O Library cells 兼具模拟和数字的双重特点以及其他更多的独特性质。总结起来大致有以下几个方面。

(1) I/O Library cells 是芯片内外世界的接口

ESD(Electro-Static Discharge, 静电释放门锁)防静电模块非常关键, 其性能对工艺尺寸非常敏感。当前有一些商用的 EDA(Electronic Design Automation, 电子设计自动化)工具可以综合分析整个芯片, 但能提供的帮助是非常有限的, 因为其分析结果完全取决于该工具所能读取的模型, 但如果读取模型不正确或者不完全, EDA 工具难以发现真正的薄弱环节。特别是对于寄生电路, 设计人员往往不能从工艺部门得到精确的模型, 在这种情况下, 需要设计人员有足够的经验或者灵感体察到所有需要关注的环节。

(2) 防止门锁性能也是 I/O 的重要设计单元

Latch-up 防护如果处理不当会引起寄生电路触发而损坏芯片。

(3) 由于低功率的需求, I/O Library cells 经常含有多电源特点

不同电源之间的电路转换和启动顺序的要求不同于单一电源芯片。在不同电源区域的电路之间, ESD 防护也是 I/O Library 的一个重要设计环节。

(4) 针对芯片封装工艺, I/O Library cells 中对 Bond PAD 布局、尺寸大小、抗压力都要考虑

对于成本高、管脚多的芯片, 和成本低、管脚少的芯片, 封装要求各不相同, 对 Bond PAD 的设计也不尽相同。

(5) 由于接口的标准各式各样, 例如存储器、显示屏幕、网络接口等, I/O Library 的功能模块也变得越来越复杂

新生代的芯片要求满足多种工业标准, 例如 Double Data Rate (DDR)、Peripheral Component Interconnect (PCI)、Synchronous Dynamic Random Access Memory (SDRAM)、Quad Data Rate (QDR)、Static RAM (SRAM)、Universal Serial Bus (USB) 等。

(6) I/O Library 往往要支持高速、低压等应用

例如 High-Speed Transceiver Logic (HSTL)、Stub Series Terminated Logic (SSTL-2)、Low-Voltage Differential Signaling (LVDS)、Current-Mode Logic (CML)、MDIO、Phase-Lock Loops (PLLs)、Delay-Lock Loops (DLLs)、Serializer-Deserializers (SerDes)、PCI-Express、XAUI (10-Gbit/s Attachment Unit Interface)、System Packet Interface Level 4 (SPI-4.2)、HyperTransport 等。

(7) 高电压管脚的应用

有些芯片应用管脚电压高, 例如汽车领域的管脚电压高达十几伏甚至几十伏, 这对 ESD、Latch-up 以及与之相连的电路设计都有特殊的要求。

(8) Standard Library 和 Memory Library 都有比较成熟的 EDA 工具支持

I/O Library 却很难有比较成熟的 EDA 工具支持。很多情况下需要工程师深入了解 I/O Library 的特性来正确解读 EDA 工具的输出结果。

(9) EDA 工具需要支持 I/O Library, 从而生成整个芯片设计流程所需要的准确模型

包括设计规范检查 (DRC, Design Rule Checkers)、布局—设计检查规范检查 (LVS,

Layout-Versus-Schematic checkers)、静态时序分析工具、逻辑仿真工具、自动布局布线 (APR, Auto Place-and-Route Tools)、压降分析工具 (IR)、电迁移分析 (Electromigration Analysis)、电路信号完整性测试、设计到测试分析工具等。I/O 设计工程师发布的 I/O Library 中的每个模型都需要满足某个 EDA 工具的要求, 这些模型包括以下几种。

- 逻辑模型 (Logic Models、.v 或者 .vhdl)。
- 时序模型 (Timing Models、.lib 或者 .tlf)。
- 布局布线模型 (Place-and-Route Models、LEF 或者 FRAME)。
- 测试 ATPG 模型 (Tetramax、Fastscan 或者 LogicVision)。
- LVS 模型 (spice、cdl 或者 edif)。
- 信号模型 (Signal models、SPICE 或者 IBIS)。
- 电位差 IR-drop 模型 (Simplex 或者 Apache)。
- 电迁移模型 (Electromigration Models)。

当一个芯片开始决定选用何种工艺制造时, 芯片制造部门需要切实地考虑以下问题。

- 工艺的造价。
- 工艺的成熟度和客户服务。
- 工艺是否可以提供具有实现目标芯片功能的所有器件。
- 工艺的时效性, 是否能按时完成生产。
- 工艺的稳定性。

在整个芯片设计的最前端——选择具体工艺 I/O Library 的特殊接口设计, 很多设计因素都取决于工艺能力。例如高压管脚是否能有相应的高压器件支持, 对噪声非常敏感的管脚是否能使用深阱层等。如果在选择工艺时能考虑到 I/O 的具体要求, 可以帮助设计人员在实现目标过程中不走弯路。

在整个芯片设计的最终端, 是将裸片管脚连线到指定的封装结构之内。通常来说, 芯片使用什么样的封装结构, 对 Bond PAD 的大小、形状、位置等都有要求。Bond PAD 是 I/O Library 的重要一环。

由此可见, I/O Library 的设计跨越了整个芯片从工艺选择到封装的全过程, 在其间的每一个阶段都要进行全盘具体而微的考虑。

1.2 I/O Library 的设计流程

I/O Library 是一个具有模拟电路、数字电路双重特点的元件库。该元件库中的每个 I/O 模块都遵循模拟电路的设计规律。而作为一个元件库, 每个 I/O 需要有很多布局上的共性, 即可以使用 APR (Auto Place and Route, 自动布局布线) 工具在芯片顶级进行自动布局, 并完成 I/O 与内核电路之间的自动布线, 从这个角度来看, I/O Library 又与数字电路的自动综合流程类似。

因此, 一个 I/O Library 既要包括模拟电路设计, 又要提供数字综合流程的各种模型, 在布局上也要符合 APR 工具的要求。如图 1-3 所示, 为一个完整的 I/O Library 发布包的

设计过程和内容。

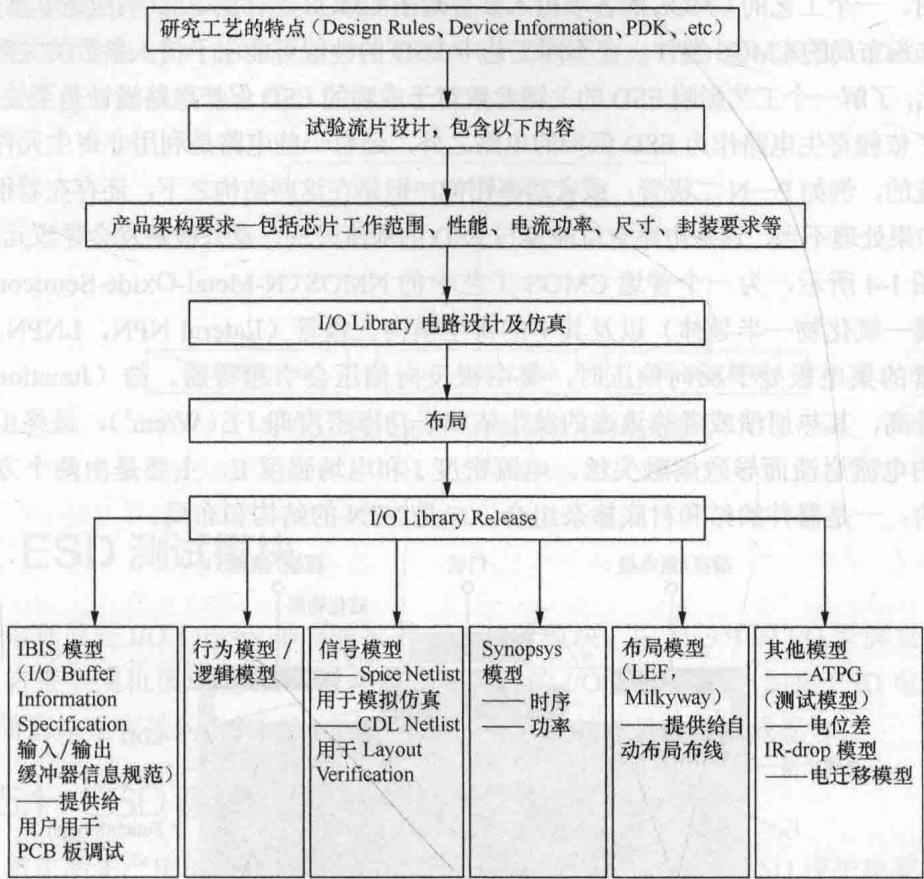


图 1-3 I/O Library 的发布包所包括的设计过程和内容

1.3 研究工艺的特点

工艺对于 I/O 电路设计是至关重要的。通常来说，工艺制造商针对每一个具体工艺都会有一系列的文档来详细介绍该工艺参数，包括支持器件、温度、电压、设计规范等。同时工艺商还会提供 PDK (Process Design Kit, 工艺设计包)，将其安装在设计环境中。PDK 是一系列的技术档案，包含 IC (Integrated Circuit, 集成电路) 设计时所需的基础架构元素，如参数化单元库、设计规则、仿真模型等。

例如，I/O Library 中 ESD 的保护模块设计是非常关键的，其通常对于工艺的各项参数非常敏感，特别是利用寄生横向三极管的 ESD 保护结构。这一点在本书的第 2 章中有详述。ESD 保护电路要求芯片在正常运行时处于高阻抗，而在 ESD 事件发生时芯片处于极低阻抗以快速倾泄 ESD 引起的大电流。在这个低阻抗状态时，ESD 保护电路必须能够在 100 ~ 150ns 倾泄至少大于 1A 的电流。由此产生高密度电流和高压电场，器件温度迅速升高，器件的极度非线性行为并不在该工艺所明确支持的正常工作范围之内，也没有精确的 SPICE (Simulation Program with Integrated Circuit Emphasis, 电路极模拟程

序) 模型支持仿真。

同时, 一个工艺的 CMOS 的各项植入参数对于 CMOS 器件的 ESD 响应是非常关键的。同样结构和布局的 CMOS 器件, 在不同工艺中 ESD 的性能可能由于植入参数的关系相差很大。因此, 了解一个工艺影响 ESD 的关键参数对于成功的 ESD 保护电路设计是至关重要的。

除了依赖寄生电路作为 ESD 保护的电路之外, 还有一些电路是利用非寄生元件来倾泄 ESD 电流的, 例如 P-N 二极管, 或者功率钳位, 但是在这些结构之下, 还存在着很多寄生电路, 如果处理不当, 这些电路有可能参与 ESD 的泄流过程, 意外被触发会导致元件损坏。

如图 1-4 所示, 为一个普通 CMOS 工艺中的 NMOS (N-Metal-Oxide-Semiconductor, N 型金属—氧化物—半导体) 以及其中的寄生横向三极管 (Lateral NPN, LNPN)。当寄生三极管的集电极处于反向偏压时, 集电极反向偏压会引起雪崩。结 (Junction) 的温度不断升高, 其热崩溃或者热逃逸的发生依赖于功率密度即 $J \cdot E (W/cm^3)$, 最终由集中于某一点的电流崩溃而导致熔融尖丝。电流密度 J 和电场强度 E , 主要是由两个方面的因素决定的: 一是器件的结和衬底掺杂组合; 二是 NPN 的结构和布局。

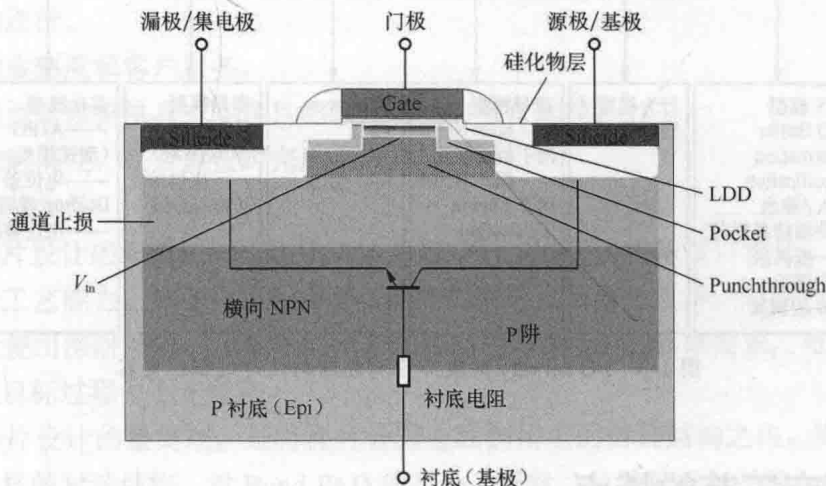


图 1-4 CMOS 横截面的各个植入层和寄生三极管

集电极一端经常是最终的热崩溃发生地点。集电极的触点和门极之间的镇流电阻是决定最后电流集中产生热崩溃的重要因素。因此, 集电极和源极的表面电阻是决定 ESD 性能的重要参数。在深亚微米工艺中, 为提高 MOS 管的运行速度, 其经常使用硅化扩散的漏极/源极, 从而降低漏极/源极的电阻。然而这样做的副作用是同时降低了镇流电阻的阻值和 ESD 保护结构的性能。

以上这个例子是从 ESD 性能的角度来讨论工艺对于不同设计结构的影响。对于 I/O 电路的功能模块, 同样要考虑其使用的工艺是否支持实现电路所需要的器件, 是否需要更换功能模块的架构来适应工艺的特点等。

1.4 设计测试芯片

在熟悉工艺特点之后, 要进行一系列测试结构的设计。根据未来芯片的功能和电

气要求，在最初的测试芯片中要尽量设计出不同规格和面积尺寸的模块，以利于 I/O Library 选择其中性能和面积最优化的结构。

按照 I/O Library 内部功能划分，可以将测试模块分为 ESD 测试模块、Latch-up 测试模块和 I/O 内部测试模块 3 类，如图 1-5 所示。



图 1-5 I/O Library 的测试芯片功能划分

1.5 ESD 测试模块

静电释放是 I/O Library 非常重要的一个功能模块。由于芯片的 I/O 管脚直接与外部接触，有很多随机渠道使 ESD 事件发生在芯片的 I/O 管脚之间，如果 ESD 电流过大而且 I/O 管脚缺乏有效的 ESD 保护，ESD 电流有可能对芯片内部造成损害。

1.5.1 ESD 测试模块的测试内容简介

虽然生活生产中的 ESD 事件是难以预测的，但是为了保证 ESD 保护电路能有效地预防未来芯片可能会遭遇到的各种 ESD 事件，业界制订出一系列测试标准，该系列测试标准分为芯片级和系统级。

第一种芯片级测试模型是人体模型（Human Body Model, HBM），其模拟人体带电。遵循的标准有以下两种。

- MIL-STD-883C Method 3015.7;
- EIA/JESD22-A114-A (JEDEC)。

第二种芯片级测试模型是机器模型（Machine Model, MM），机器模型是模拟在实际工业生产中，机器之间放电对芯片造成的影响，其遵循的标准有以下 3 种。

- EIAJ-IC-121 Method 20;
- EIA/JESD22-A115-A (JEDEC);
- ESD STM 5.2 (EOS/ESD)。

第三种芯片级测试模型是芯片放电模型（Charged Device Model, CDM），模拟设备充放电的过程，其遵循的标准有以下两种。

- JESD22-C101 (JEDEC);
- ESD STM 5.3 (EOS/ESD)。

因此，ESD 测试模块可以通过上述芯片级的测试结果，来帮助设计人员决定和改进

最优化的设计。以上这三种芯片测试是芯片数据手册 (Data Sheet) 中最常见的规范, 测试定义非常完善, 测试规范比较成熟, 很多商用化的测试仪器也能够对芯片进行标准化测试。芯片数据手册是芯片厂商对用户发布的产品说明, 其中包含芯片的功能描述、工作范围、输入输出的重要参数等。

TLP (Transmission Line Pulse, 传输线脉冲) 是一种帮助设计人员根据元件管脚的可视化 ESD 响应曲线, 判断该管脚所使用的 ESD 是否能够达到性能标准, 并进一步分析改进的辅助测试方法。在 ESD 测试模块阶段, TLP 测试方法是非常必要的。

第 2 章对 ESD 测试标准有更详细的阐述。

1.5.2 Latch-up 测试模块

闩锁 (Latch-up) 是指在 CMOS 芯片中, 电源 (POWER VDD) 和地线 (GND/VSS) 之间由于寄生的 PNP 和 NPN 双极性 BJT 相互影响而产生的低阻抗通路, 它会使 VDD 和 GND 之间产生大电流。Latch-up 产生的过度电流可能会使芯片被永久性的破坏, Latch-up 的防范是 IC 布局最重要的措施之一。随着 IC 制造工艺的发展, 封装密度和集成度越来越高, 一个芯片上的器件越密集, 寄生 PNP 和 NPN 的增益 β 值随着距离的减小而变得越来越大, 产生 Latch-up 的可能性也会越来越大。而 I/O 电路由于输入输出大电流, 其成为最易发生 Latch-up 的区域。

在一个比较成熟的工艺中, 正式发布的工艺设计规范中应该有详细的 Latch-up 的设计和布局要求。但是由于 Latch-up 的寄生属性, 检查工艺规范会漏掉某些不太典型和明显的寄生器件, 所以通过了 Latch-up 工艺规范检查的芯片并不能保证最终通过 Latch-up 测试。

通常 Latch-up 保护措施有以下两种。

- 添加保护环;
- 增大敏感器件之间的距离。

上述这两个措施都会增加芯片的面积。同时, 在 ESD 结构的内部和附近, 过度的保护环还有可能会削弱 ESD 器件的保护功能。

因此, 设计工程师在测试一个芯片时, 需要对 Latch-up 结构和 I/O PAD 本身做一些尝试, 其目的是选出最有效的敏感器件距离参数和保护环位置。同时通过对完整 I/O PAD 的测试, 确保 I/O Library 达到预期的 Latch-up 标准。在第 3 章中, 我们会对 Latch-up 的机理测试标准有更为详细的阐述。

1.5.3 I/O 电路功能测试模块

I/O 电路功能测试模块中包括该 I/O Library 中所有的功能模块以及未来产品可能会用到的功能模块。图 1-6 列出了一个功能测试芯片大致包括的内容。

第 4 章详细地论述通用型 I/O (GPIO) 的电路的设计与布局。

第 5 章简要地介绍高速电路的设计。



图 1-6 I/O Library 功能测试芯片包括的内容

除了对 I/O 电路的电气特性进行验证之外，以上功能性测试还可以验证 I/O Library 的行为模型是否准确，也能验证综合模型中的延迟数据和功率数据以及 IBIS 模型中的数据。第 6 章更详细地阐述这些模型。

