



普通高等教育“十三五”规划教材
中国大学慕课(MOOC)课程配套教材

Xilinx FPGA原理与实践

——基于Vivado和Verilog HDL

卢有亮 编著



免费
电子课件



机械工业出版社
CHINA MACHINE PRESS

本书配有课件、代码、教案、实验指导书等配套教学资源

普通高等教育“十三五”规划教材
中国大学慕课（MOOC）课程配套教材

Xilinx FPGA 原理与实践

——基于 Vivado 和 Verilog HDL

卢有亮 编著



机械工业出版社

本书以目前流行的 Xilinx 7 系列 FPGA 的开发为主线, 全面讲解 FPGA 的基础及电路设计、Verilog HDL 语言及 Vivado 的应用, 并从组合逻辑和时序逻辑的开发开始, 逐渐深入到 FPGA 的基础应用、综合应用和进阶应用。本书具有理论和实践紧密结合的特点, 在内容的设计上既重视学生对基础理论知识的认知过程, 又通过由易到难的 19 个工程实例逐步提高学生的理论知识水平及开发能力, 为学生提高 FPGA 设计开发能力及提高知识应用素质提供平台与指导。通过本书的学习和实践, 学生能够达到初级 FPGA 开发工程技术人员的水平。

本书适合于电子信息类、电气类、自动化类、计算机类、仪器类、能源动力类、航空航天类相关专业学生学习, 也适合于广大 FPGA 开发工程技术人员的参考。

本书配有免费电子课件、教案、实验指导书及教学视频等相关教学资源, 欢迎选用本书作教材的教师发邮件到 jinaemp@vip.163.com 索取, 或登录 www.cmpedu.com 下载。

图书在版编目 (CIP) 数据

Xilinx FPGA 原理与实践: 基于 Vivado 和 Verilog HDL/
卢有亮编著. —北京: 机械工业出版社, 2018. 5

中国大学慕课 (MOOC) 课程配套教材 普通高等教育
“十三五”规划教材

ISBN 978-7-111-59334-8

I. ①X… II. ①卢… III. ①可编程逻辑器件 -
系统设计 - 高等学校 - 教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2018) 第 042908 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 吉玲 责任编辑: 吉玲 王小东

责任校对: 张薇 封面设计: 张静

责任印制: 张博

三河市宏达印刷有限公司印刷

2018 年 4 月第 1 版第 1 次印刷

184mm × 260mm · 15.25 印张 · 368 千字

标准书号: ISBN 978-7-111-59334-8

定价: 37.00 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

服务咨询热线: 010-88379833

机工官网: www.cmpbook.com

读者购书热线: 010-88379649

机工官博: weibo.com/cmp1952

教育服务网: www.cmpedu.com

封面无防伪标均为盗版

金书网: www.golden-book.com

在电子信息领域，现场可编程门阵列（FPGA）广泛地应用在工业、军事、医疗、商业、能源等各个行业。普通高校中通信、电子信息、自动化等专业大多都需要开设与 FPGA 相关的课程。

一般情况下，学习 FPGA 的最直接支撑课程是数字电路。掌握 FPGA 的开发将拓宽学生的知识面，学生会将学到的内容转化为工程实际应用，对于学生的进一步深造及有竞争力的就业都有极大的帮助。

我从多年数字电路课程的教学及 FPGA 选修课的教学，以及多年的工程实践中提炼了一些经验和教训，以写书作为一个小小的总结。希望学生通过学习本书能够达到 FPGA 开发工程技术人员的初步水平。

本书选用的是 Xilinx Artix-7 系列的 FPGA，因为它的技术相对新且具备较高的性价比。另外，这种 FPGA 还有可供开发者直接使用的 IP 核资源，开发工具就是 Xilinx 最新的 Vivado 开发套件，编程语言选择 Verilog HDL。为了便于学生的学习，书中有关 FPGA 电路板配置的电路图保留了厂家的画法。

本书的第一条线索是工程，我在自己设计的硬件平台上编写和实现了 19 个由易到难、循序渐进的工程实例，而这些工程实例很多是近年来教学的总结，这些实例分散在第 3 章~第 7 章。例如最简单的工程是多数表决器，就是第 3 章组合逻辑设计实践的第一个工程，非常有利于读者入门，通过这个工程实例，学生可掌握开发的各个步骤，巩固 HDL 语言，是“我的第一个工程”。最后一个工程是实现简单的示波器，需要一些运算和处理，调用前面工程实现的模块和 IP，最后为了调试加入的 Vivado 内置逻辑分析仪可解决调试方面的问题。所有的工程在附录中都有相应表格，方便读者查找。

第二条线索是工程 Verilog HDL 的学习。在第 2 章是关于 Verilog HDL 的基础内容，建议学生快速学习，然后通过后续章节的实践来真正掌握它，并不需要死记硬背。

第三条线索就是 Vivado 的开发，包括 Vivado 安装、工程和文件的组织、综合实现及下载、引脚约束、仿真、电路查看、IP 核的使用和设计、Vivado 下 XADC 及 BRAM 的开发、内置逻辑分析仪的使用等。如果把 Vivado 的开发作为 1 章，一个菜单一个菜单地描述，将是效率最低的方法。因此在第 2 章的后部分进行简单的描述，然后在后续章节的实践中一点一点地应用，自然就掌握了 Vivado。

第四条线索是数字电路的应用，因此第 3 章是组合逻辑设计，第 4 章是时序逻辑设计。我认为数字电路是学习 FPGA 的基础，而通过 FPGA 实践能够真正掌握数字电路的内容。

本书的章节设计是：

第 1 章是 FPGA 基础及电路设计，后续的开发需要知道引脚的分配，所以将电路设计放在最前面。这一章不需要详细讲，建议不超过 6 个学时。

第2章是 Verilog HDL 语言与 Vivado。本章所讲的 Verilog HDL 足够用了，都是精华，但需要更少的学时，因为笔者知道学时非常紧张。建议6~8个学时。

第3章是组合逻辑电路设计与 Vivado 进阶，包含了“我的第一个工程”，反复地设计多数表决器。第二个工程就使用了 IP 核，第三个工程就用第二个工程的 IP 核来实现。内容虽然少，但是可以用6~8个学时，让学生真正掌握，原因是这个时候学生的 Verilog HDL 编程能力还不够强。这章后面给出的习题，都可以作为课程设计的内容。

第4章是时序逻辑电路 FPGA 实现，通过本章的学习，学生如果认真实践，能够较深入地掌握数字电路，对 FPGA 的开发也能够更加熟练。建议用8~10个学时。

第5章是 FPGA 基本实践，实现流水灯、数码管动态显示及 VGA 显示工程，将进一步提高学生的开发和应用能力。教师可以主要讲其中的2~3个工程实践，其他的留给学生自学和自己实践，然后通过答疑和讨论课来解决问题，培养学生的自主学习能力和自主实践能力。建议8~12个学时。

第6章是 FPGA 综合实践，包括了两个设计与实现：电子秒表的设计与实现、串行异步通信的设计与实现。电子秒表是一个比较好的综合性实践，建议只对于学习了微机原理的学生讲串行异步通信的设计与实现部分。建议用4~8个学时。

第7章 FPGA 进阶原理部分的教学是7系列 FPGA 芯片的 XADC 及 BRAM，在这个基础上进一步掌握使用 Verilog 语言和 IP 核等技术进行模拟量采集及存储器访问的项目开发的流程，并实现一个多通道电压表实例及一个示波器实例。建议至少应讲解电压表的实现。示波器的实例可以给学生们做自学或挑战式学习。建议6-8个学时。

附录 A 是引脚说明文件，是我设计的实验板的基础文件，对看懂电路原理有帮助。

附录 B 是实验板资源，包括了所有引脚的说明，做约束文件时必须参考。

附录 C 是一种实验或课程设计教学安排，供教师布置实验题或课程设计题时参考。

附录 D 是所有工程例程的分章节汇总。

附录 E 是一个大而全的约束文件，为读者实现约束文件节约时间。

本书的教学视频和相关资源，将放在中国大学 (icourse163.org) 慕课上，课程名称为“数字设计 FPGA 应用”。本书的代码和课件、教案、实验指导书等相关资源可以在机械工业出版社教育服务网 (www.cmpedu.com) 上获取。也可以在爱板网 (www.eeboard.com/bp) 获取和交流。配套实验板的更多信息可以在附录 B 获取。

电子科技大学的姜书艳、陈瑜、井实老师对书籍的编写及例程的设计给予了支持和协助。本书的实验电路板主要由本人及连利波硕士设计，赵鹏、谢雄及张桓源也参与了部分工作。

感谢机械工业出版社吉玲编辑的大力支持，并和我对书籍的写作进行了大量的交流，提出了非常好的建议。另外，还要感谢选择本书的同行及给予我很多建议、支持和帮助的朋友。

卢有亮

于电子科技大学

前 言

第1章 FPGA 基础及电路设计	1
1.1 FPGA 基础及 7 系列 FPGA 基本原理	1
1.1.1 FPGA 概述	1
1.1.2 FPGA 基本逻辑结构	2
1.1.3 7 系列 FPGA CLB	4
1.1.4 7 系列 FPGA 的 IOB	8
1.1.5 7 系列 FPGA 及 7a35tftg256-1 特性	9
1.2 FPGA 电路设计	11
1.2.1 FPGA 的 BANK 电路	11
1.2.2 LED 驱动电路	13
1.2.3 拨码开关电路	13
1.2.4 按键电路	14
1.2.5 七段数码管驱动电路	15
1.2.6 VGA 显示驱动电路	17
1.2.7 RS-232 驱动电路	19
1.2.8 配置电路	20
1.2.9 XADC 接口和扩展接口	22
习题	24
第2章 Verilog HDL 语言与 Vivado	25
2.1 Verilog HDL 基本结构	25
2.1.1 一个简单的组合逻辑实例	25
2.1.2 一个简单的时序逻辑实例	27
2.1.3 Verilog HDL 结构要求	28
2.2 数据类型及变量、常量	29
2.2.1 逻辑值和常量	30
2.2.2 线网型变量 wire	30
2.2.3 寄存器类型 reg	31
2.2.4 符号常量	32

2.2.5	存储器型变量	32
2.3	运算符	33
2.3.1	算术运算符	33
2.3.2	逻辑运算符	33
2.3.3	按位运算符	34
2.3.4	关系运算符	34
2.3.5	等式运算符	35
2.3.6	缩减运算符	35
2.3.7	移位运算符	35
2.3.8	条件运算符和拼接运算符	36
2.3.9	运算符的优先级	37
2.4	语句	37
2.4.1	赋值语句、结构说明语句、阻塞与非阻塞	38
2.4.2	条件语句	41
2.4.3	循环语句	43
2.5	Vivado 初步	46
2.5.1	Vivado 获取和安装	47
2.5.2	Vivado 主界面	47
	习题	50

第3章 组合逻辑电路与 Vivado 进阶 51

3.1	我的第一个工程——多数表决器	51
3.1.1	多数表决器的分析和逻辑实现	51
3.1.2	多数表决器的工程创建	52
3.1.3	多数表决器的 Verilog HDL 源文件创建	56
3.1.4	多数表决器的 Verilog HDL 代码实现及 RTL 分析	58
3.1.5	综合	59
3.1.6	约束	60
3.1.7	实现	62
3.1.8	仿真	63
3.1.9	编程和调试	65
3.2	3-8 译码器设计和 IP 核	70
3.2.1	译码器的实现	70
3.2.2	译码器 IP 核生成	75
3.3	调用 IP 核实现多数表决器	78
3.3.1	使用 74x138 实现多数表决器的设计	78
3.3.2	构建新工程并调用 IP 核	78
	习题	83

第4章 时序逻辑电路 FPGA 实现	84
4.1 时钟同步状态机的设计	84
4.1.1 时钟同步状态机及其设计流程	84
4.1.2 时钟同步状态机设计方法构建序列发生器	86
4.1.3 状态图直接描述法实现序列发生器	90
4.2 同步计数器 74x163 的实现	94
4.3 移位寄存器的实现和应用	97
4.3.1 74x194 的实现	97
4.3.2 使用 74x194IP 核实现 11001 序列发生器	100
习题	104
第5章 FPGA 基本实践	105
5.1 流水灯实践	105
5.1.1 流水灯的关键设计	105
5.1.2 流水灯工程的 Vivado 实现	106
5.2 数码管动态显示实践	111
5.2.1 数码管动态显示原理分析	111
5.2.2 数码管动态显示设计	112
5.2.3 数码管动态显示工程的 Vivado 实现	113
5.2.4 数码管动态显示 IP 核设计与实现	117
5.2.5 调用 IP 核实现动态显示	120
5.3 VGA 显示的实现	123
5.3.1 VGA 显示基本原理	123
5.3.2 VGA 显示设计与实现	125
习题	132
第6章 FPGA 综合实践	133
6.1 电子秒表的设计与实现	133
6.1.1 按键消抖	133
6.1.2 秒表综合设计	136
6.2 UART 串行接口设计及通信实现	142
6.2.1 异步串行接口原理分析	142
6.2.2 波特率及其他时钟信号发生模块设计	143
6.2.3 串行发送程序设计	145
6.2.4 串行接收程序设计	148
6.2.5 串行通信顶层程序设计	152
6.2.6 串行通信功能测试	153
习题	155

第7章 FPGA 进阶——XADC、BRAM 原理及电压表、示波器设计 156

7.1 XADC 基本结构及寄存器	156
7.1.1 XADC 逻辑结构	156
7.1.2 XADC 对外连接说明	156
7.1.3 XADC 端口	159
7.1.4 XADC 状态寄存器和控制寄存器	160
7.1.5 操作模式	166
7.1.6 XADC 操作时序	167
7.2 应用 XADC 实现多路电压采集及显示	168
7.2.1 生成 XADC IP 核实例	168
7.2.2 使用 XADC IP 核实现 XADC 序列模式访问模块	171
7.2.3 A/D 序列采集和显示实现	175
7.2.4 序列采集及显示测试	179
7.3 应用 XADC 及 BRAM 实现多通道示波器	181
7.3.1 块存储器 BRAM 原理	181
7.3.2 块内存生成 IP 的使用和仿真实验	186
7.3.3 多通道示波器的设计思路	192
7.3.4 显示内存设计及其访问模块构建及仿真	193
7.3.5 波形发生器模块设计及仿真	196
7.3.6 VGA 显示驱动模块设计及仿真	202
7.3.7 加入逻辑分析仪模块及顶层模块实现	206
7.3.8 功能测试	209
习题	209

附录 211

附录 A xc7a35tftg256-1 引脚说明	211
附录 B 口袋实验板资源	218
附录 C 实验或课程设计教学安排	229
附录 D 分章节代码汇总	230
附录 E A 型实验板参考约束文件	232

参考文献 236

FPGA 基础及电路设计

进入现场可编程门阵列 (FPGA) 的世界, 需要初步掌握 FPGA 的基本原理, 只有掌握 FPGA 的基本原理和结构才能更好地开发基于 FPGA 的或 FPGA 和其他系统混合的应用。

本章首先对 FPGA 的原理进行讲解, 并结合目前流行的 Xilinx 7 系列 FPGA 进行相关原理和结构的分析, 并就 Artix V7 系列芯片做重点分析。

实践是掌握技术的有效手段, 在后续的章节需要使用 FPGA 电路板进行大量的实践, 因此需要掌握电路板的接口信息。因此, 本章包含了 FPGA 电路板的基本电路设计, 一方面可以更好地实践和应用, 另一方面对于 FPGA 硬件的设计具有参考价值。

总之, 通过本章的学习, 将会迅速地进入 FPGA 的世界, 并为后续的学习打下基础。

1.1 FPGA 基础及 7 系列 FPGA 基本原理

本节围绕 FPGA 及 Xilinx 7 系列 FPGA 的结构展开, 包含 FPGA 的相关概念及原理, 以及 7 系列 FPGA 的基本原理和特性。

1.1.1 FPGA 概述

FPGA (Field-Programmable Gate Array), 即现场可编程门阵列, 是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它是作为专用集成电路 (ASIC) 领域中的一种半定制电路而出现的, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数量有限的缺点。

FPGA 的应用面是非常广泛的, 现代测量仪器, 例如示波器、逻辑分析仪、频谱分析仪等测量仪器中的高速数据采集和处理都使用了 FPGA, 具体来说就是采用 FPGA 将高速 AD 采集的数据进行处理和存储。信号发生设备, 例如任意波发生器、数字 IO 等也使用 FPGA 完成对时序要求很高、效率要求很高的工作。在其他的领域, 尤其是通信、医疗、军工、生产、航空等领域也大量地使用 FPGA。

本书针对的是目前流行的 Xilinx Artix-7 系列的 FPGA。该系列芯片面向于成本敏感型解决方案, 平均功耗较前代产品降低一半, 并针对高带宽应用提供相比于同类产品最佳的信号处理功能。在相同功耗预算下, 设计人员可以获得两倍的逻辑密度。Xilinx Artix-7 系列器件以 28nm 高性能低功耗 (HPL) 工艺为基础而构建, 可为便携医疗设备、军用无线电和小型无线基础设施等产品提供同类最佳的单位功耗性能。尤其适合于满足航空电子和通信等领域的尺寸、重量、功耗和成本敏感型市场需求。另外, 这种 FPGA 还提供大量的可供开发者直

接使用的 IP 核，目前是市场的主流，因此学习 Xilinx 的 7 系列 FPGA 具有很高的应用价值。

以硬件描述语言（Verilog HDL 或 VHDL）所完成的电路设计程序，可以经过综合与布局，快速地下载至 FPGA 电路板上进行测试和验证。这些可编辑元件可以被用来实现一些基本的逻辑门电路（比如 AND、OR、XOR、NOT）或者更复杂一些的组合功能，比如解码器或其他的数学方程式。在大多数的 FPGA 里面，这些可编辑元件里包含记忆元件，例如触发器（Flip-flop）或者其他更加完整的记忆块（如存储器等）。

系统设计师可以根据需要通过可编辑的连接把 FPGA 内部的逻辑块连接起来，就好像一个电路试验板被放在了一个芯片里。一个出厂后的成品 FPGA 的逻辑块和连接可以按照设计者的设计而改变，所以 FPGA 可以完成所需要的逻辑功能。

FPGA 一般来说比 ASIC（专用集成电路）的速度要慢，实现同样的功能比 ASIC 电路面积要大，因为 FPGA 并不是专用的，总会有一些电路在最后使用不上。但是 FPGA 可以设计成任何数字逻辑来完成不同的功能，因此应用范围十分广泛。另外，FPGA 可以快速成品，可以更迅速地改正程序中的错误，具有更便宜的价格。设计专用芯片时，如果在数量上没有优势的话，那么成本是惊人的，就不如使用通用的 FPGA。而且，FPGA 的功能也在不断地进行拓展，例如 Artix-7 FPGA 目前已经具有多通道高速模拟量采集（ADC）功能，这在其前面的产品中是没有的。另外在 FPGA 内部还可以设计 CPU，与 FPGA 内设计的其他模块相配合，就使很多的设计更容易实现。

FPGA 的应用场合非常多，而且逻辑性非常强，是 ARM 等嵌入式系统达不到的，因此应用面非常广。对于电子信息类及相关专业的本科生、研究生来说，掌握 FPGA 的开发是必需的技能之一。

1.1.2 FPGA 基本逻辑结构

Xilinx FPGA 采用了逻辑单元阵列（LCA，Logic Cell Array）的概念，内部包括可配置逻辑模块（CLB，Configurable Logic Block）、输入输出模块（IOB，Input Output Block）和内部连线（Interconnect）三个部分。

FPGA 是可编程器件，与传统逻辑电路和门阵列（如 PAL、GAL 及 CPLD 器件）相比，FPGA 具有不同的结构。Xilinx FPGA 利用小型查找表（ 16×1 RAM）来实现组合逻辑，每个查找表连接到一个 D 触发器的输入端，通过触发器再去驱动其他逻辑电路或驱动输入输出（I/O），由此构成了既可实现组合逻辑功能又可实现时序逻辑功能的基本逻辑单元模块。这些模块间利用金属连线互相连接或连接到 I/O 模块。

FPGA 的逻辑是通过向内部静态存储单元（查找表）加载编程数据来实现的，存储在存储器单元中的值决定了逻辑单元的逻辑功能以及各模块之间或模块与 I/O 间的连接方式，并最终决定了 FPGA 所能实现的功能。

如图 1-1 所示，这个查找表实现的逻辑电路是一个四输入的与门，左下的真值表表示的其实就是 $f = a \& b \& c \& d$ 。

图 1-1 右半边是 FPGA 使用查找表实现了这个逻辑。通过对 RAM 的写操作，在地址 1111 写 1，在其他的地址写 0，就可以实现四输入与门的逻辑的逻辑功能。从数字逻辑的原理分析，使用 16 个 1 位的寄存器组成的 16×1 的 RAM 可以实现任何的四输入逻辑函数。

如图 1-2 所示的 FPGA 的 Slice 结构中，这个结构是 7 系列 FPGA 共有的。每个 Slice 包

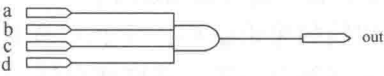

实际逻辑电路		LUT 的实现方式	
			
a,b,c,d 输入	逻辑输出	地址	RAM 中存储的内容
0000	0	0000	0
0001	0	0001	0
...	0	...	0
1111	1	1111	1

图 1-1 查找表原理

含了 4 个 6 输入的查找表 (LUT)，每个查找表都对应地配置了 2 个 D 触发器，所有的 D 触发器在统一的时钟 CLK 作用下工作，因此属于数字逻辑中时钟同步状态机的范畴。6 输入查找表具有 2^6 个存储单元，存储的数值为 000000 ~ 111111，可以实现任何的 6 输入逻辑函数。因此配置查找表的各个单元的内容，就可以实现逻辑函数。另外，查找表既然本身是存储器，也可以直接作为存储器使用。

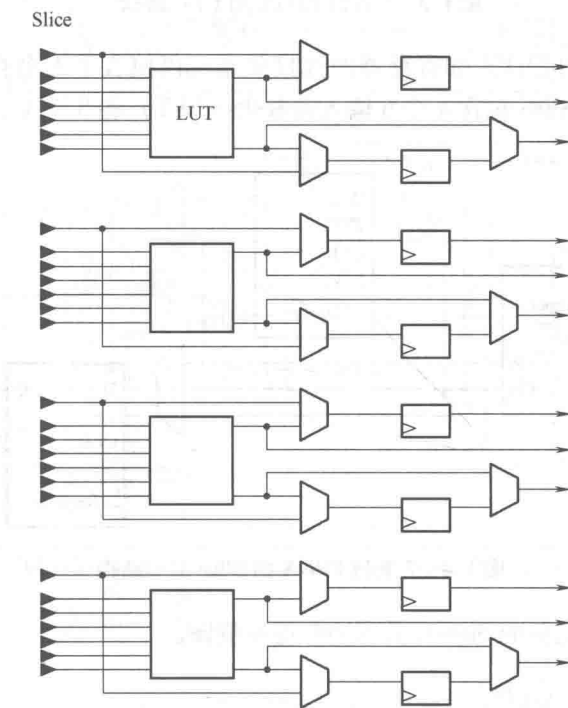


图 1-2 7 系列 FPGA 的 Slice 结构

可配置逻辑块 (CLB) 是 Xilinx FPGA 体系结构的核心。Xilinx FPGA 包含多个 CLB, 在 CLB 中又包含多个 Slice, 每个 Slice 又有多个查找表、进位链和寄存器。通过配置, 这些 Slice 就可以实现逻辑运算、算术运算、内存功能、移位寄存器功能等。

如图 1-3 所示, 所有的 7 系列 FPGA 使用相同的逻辑结构: 每个 CLB 包含 2 个 Slice。Slice 在 FPGA 7 系列体系结构分为两类: 能够实现补码运算、移位寄存器、存储器功能的 Slice, 称为 SliceM; 只能实现逻辑函数的查找表, 称为 SliceL。采用这种策略, 全功能 SliceM 结合简单功能的 SliceL, 它们配合使用, 使芯片在保证能力和性能的同时, 实现低成本和低功耗。

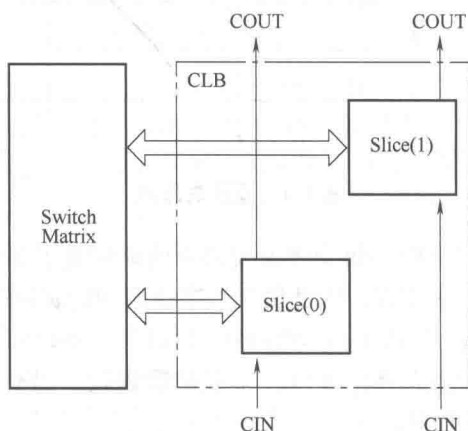


图 1-3 7 系列 FPGA 的 CLB 结构

图 1-4 表明查找表 (LUT) 和寄存器的连接关系, 仅包含了 1 个查找表和 2 个寄存器, 省略了进位链。完整的 Slice 包含 4 个 6 输入查找表 (LUT) 和 8 个 1 位寄存器。

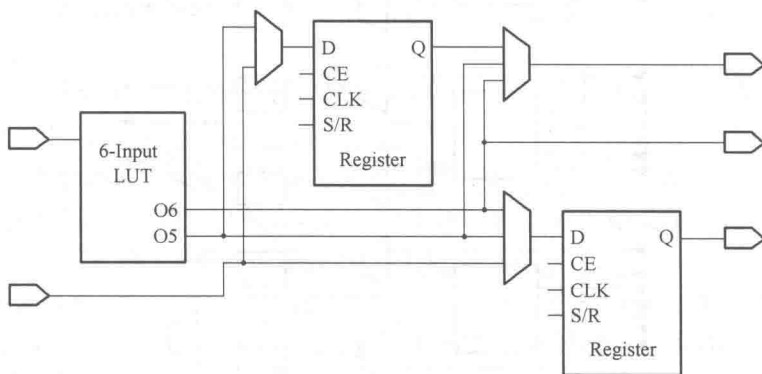


图 1-4 7 系列 FPGA 的 Slice 细节结构

图 1-5 和图 1-6 是完整的 SliceM 及 SliceL 逻辑框图。

1.1.3 7 系列 FPGA CLB

本书主要研究和使用的器件为 Artix-7 系列的 FPGA, 型号为 xc7a35tfg256-1, 在 Artix-7

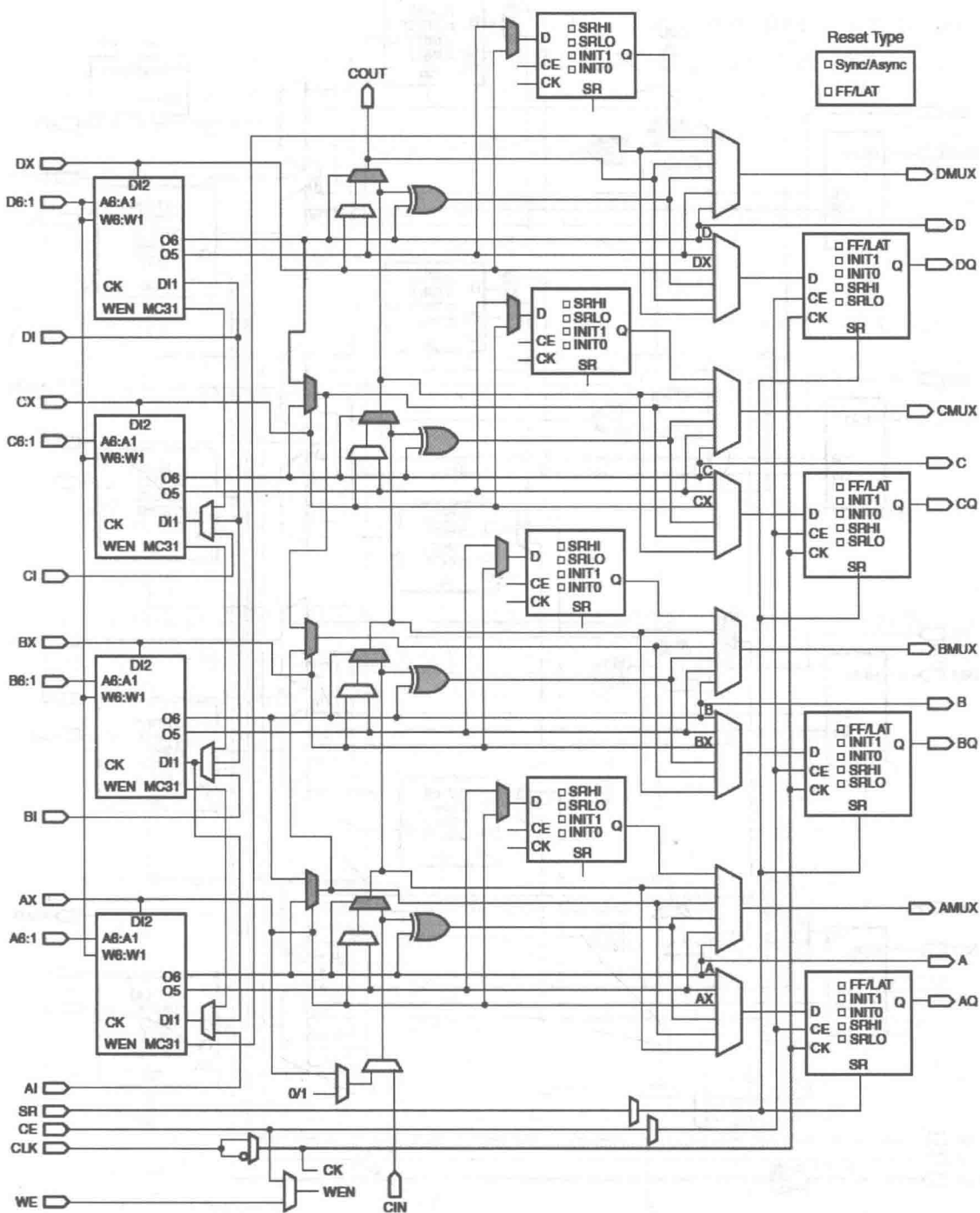


图 1-5 7 系列 FPGA 的 SliceM 逻辑框图

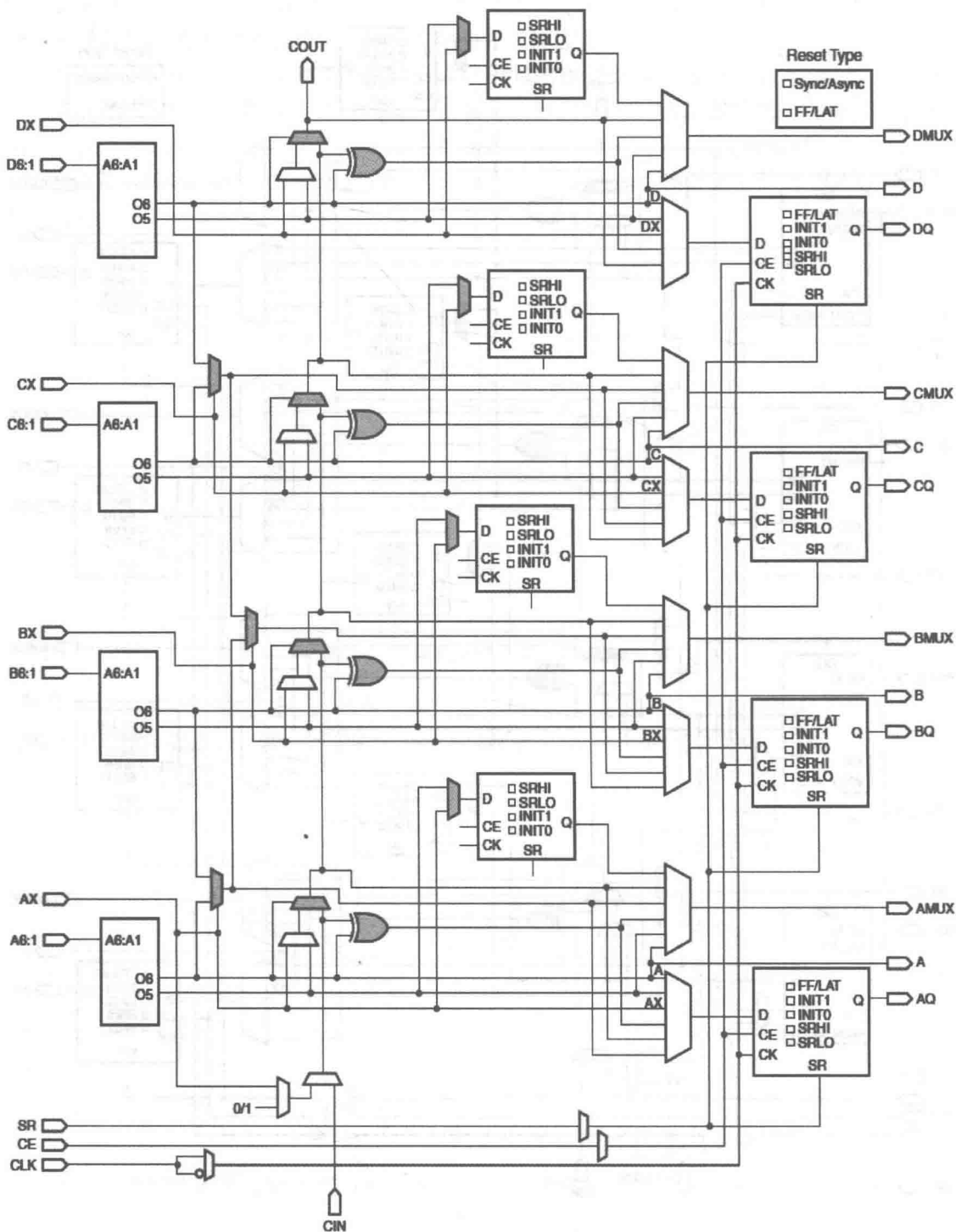


图 1-6 7 系列 FPGA 的 SliceL 逻辑框图

中处于中端，具有较高的性价比。

通过查看官网下载的器件手册可知，该芯片具备 5200 个 Slice，其中 3600 个 SliceL，1600 个 SliceM。每个 Slice 包含 4 个 6 输入查找表 (LUT)，因此一共有 20800 个查找表。Artix-7A35T 可以分配 400Kb 的分布式 RAM，200Kb 的移位寄存器，41600 个触发器。

另外，xc7a35tftg256-1 还具有额外的 90 个专用于 DSP 的 Slice 用于数字信号处理。18kbit 的块内存 BRAM (块 RAM) 100 个，36kbit 的 BRAM50 个用于内存。另外还具有 XADC 和 PCIE 接口。

CLB 是 Artix-7A35T 的主要组成部分，FPGA 上功能逻辑的实现主要是由对 CLB 的配置而完成的，而 CLB 又是由查找表、存储逻辑和其他组合逻辑实现。

1. 查找表

7 系列的 FPGA，包括 Artix-7A35T，每个查找表 LUT 都有 1 个 6 输入和 2 个独立的输出。如图 1-5 和图 1-6 所示，每个 Slice 的四个查找表分别输入为 A、B、C 和 D。每个查找表可以实现 6 输入的逻辑函数，或者 2 个 5 输入的逻辑函数，或者 2 个小于 5 输入的逻辑函数。

当实现 6 输入逻辑函数时，A1 ~ A6 为输入，O6 为输出。

当实现 2 个小于等于 5 输入的逻辑函数时，A1 ~ A5 为输入，O5 和 O6 为输出，A6 拉高。

2. 存储元件

每一个 Slice 具有 8 个存储元件，图 1-7 单独将存储元件提出，右边 4 个可以配置为锁存器或触发器，左边的 4 个只能配置为触发器。其中右边的 4 个存储元件的输入通过多路开关选择，可以使用对应的查找表的输出，或者用外部的输入。

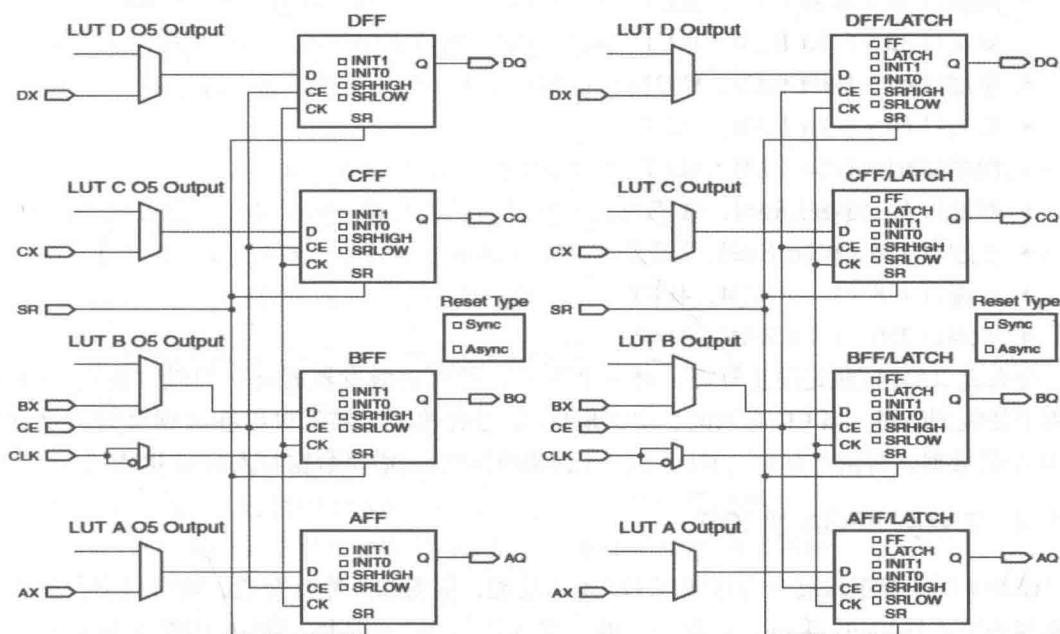


图 1-7 7 系列 FPGA 的存储部件逻辑框图

另外左边的 4 个只能配置为 D 触发器。这 4 个 D 触发器的输入可以是查找表 LUT 的输出，也可以是 AX、BX、CX 或 DX 的直接输入。额外的规定是，当右边的存储元件被配置为锁存器时，这 4 个触发器不能被使用。

控制信号有时钟信号 (CLK)、高有效的时钟使能信号 (CE) 和高有效的置位/清零信号 (SR)，这些信号作用于 Slice 中的所有存储元件。因此，当一个触发器 SR 和 CE 有效时，其他的触发器的 SR 和 CE 也同时有效。只有时钟信号的触发极性是可编程的，因此，既然可以设置为任何的边沿触发，任何在设计时放置的对时钟反向的反相器都会被自动地优化 (吸收) 掉，这是不应该在设计中随便对时钟反向的基本原因。

存储元件的可配置属性包括：

- 1) SRL0W: SR = 0, 当 SR 有效的时候，同步或异步复位触发器或锁存器。
- 2) SRL0H: SR = 1, 当 SR 有效的时候，同步或异步清零触发器或锁存器。
- 3) INIT0: 上电或芯片全局复位的时候，异步复位触发器或锁存器。
- 4) INIT1: 上电或芯片全局复位的时候，异步置位触发器或锁存器。

同步复位即当信号有效的时候，当时钟有效边沿到来时进行复位；异步复位就不需要等待同步时钟的到来，立即进行复位。

3. 分布式 RAM 资源

SliceM 可以配置为同步随机存储器 (RAM) 资源，因为这些 RAM 可以分布在 FPGA 的各个 SliceM，被称为分布式 RAM 元件。多个查找表可以组合成一定容量的 RAM，通过对 SliceM 的配置就可以实现对 RAM 的配置。RAM 可以配置为以下容量：

- 单端口 32×1 -bit RAM, 1LUT
- 双端口 32×1 -bit RAM, 2LUT
- 四端口 32×2 -bit RAM, 4LUT
- 双端口 32×6 -bit RAM, 4LUT
- 单端口 64×1 -bit RAM, 1LUT
- 双端口 64×1 -bit RAM, 2LUT
- 四端口 64×1 -bit RAM, 4LUT
- 双端口 64×3 -bit RAM, 4LUT
- 单端口 128×1 -bit RAM, 2LUT
- 双端口 128×1 -bit RAM, 4LUT
- 单端口 256×1 -bit RAM, 4LUT

分布式 RAM 模块是同步资源，对一个 Slice，所有的触发器有统一的时钟输入。CE 信号用于使能 SliceM。当 CE 有效时，读 (RD) 信号有效的时候就可以在时钟有效边沿读出 RAM 中的数据，写信号有效 (WE) 时可以在时钟有效边沿将数据写入分布 RAM 中。

1.1.4 7 系列 FPGA 的 IOB

CLB (可配置逻辑块) 可以实现 FPGA 的功能，但要和外界打交道，就必须有与外界电平兼容的输入输出 IO 接口，这就是 IOB (输入输出块)。因此，FPGA 中除了数量众多的 CLB，还有数量众多的 IOB。

输入输出接口是 FPGA 对外的接口，7 系列 FPGA 的输入输出都配置在输入输出块