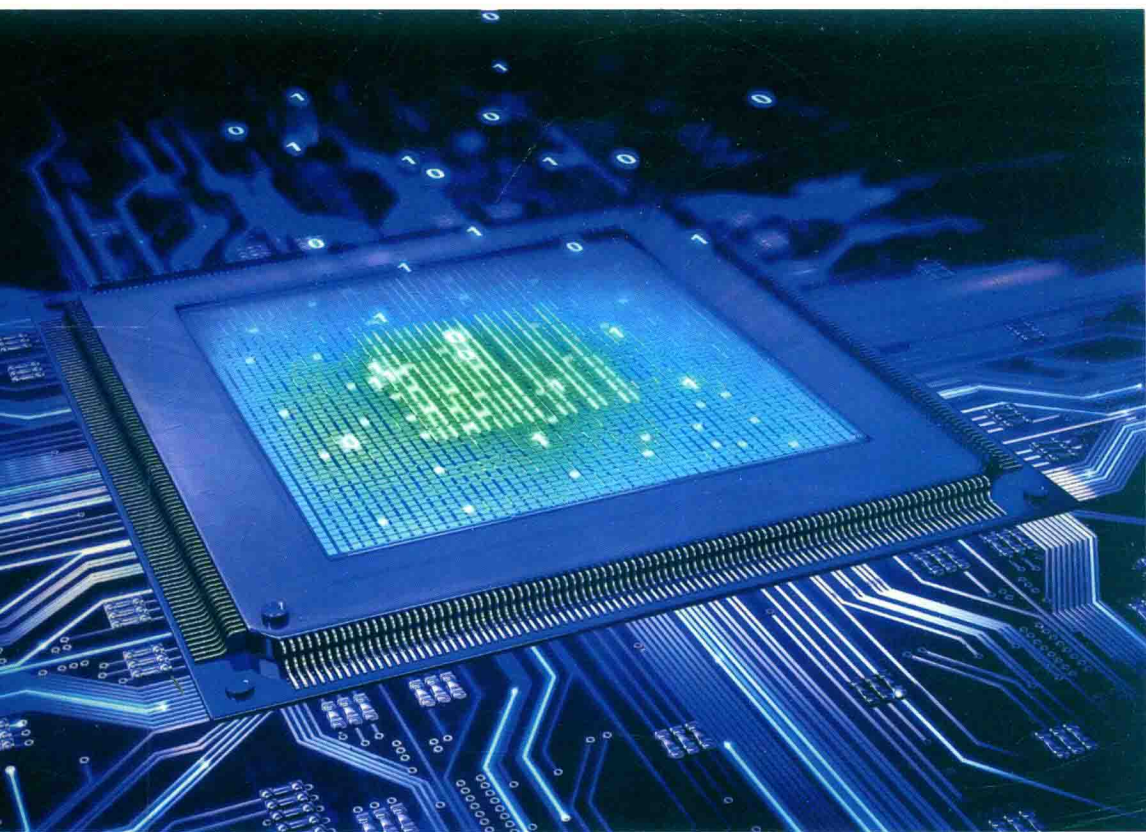


高等院校电子信息科学与工程规划教材

# EDA技术与 Verilog HDL

(第3版)

黄继业 陈龙 潘松 编著



清华大学出版社

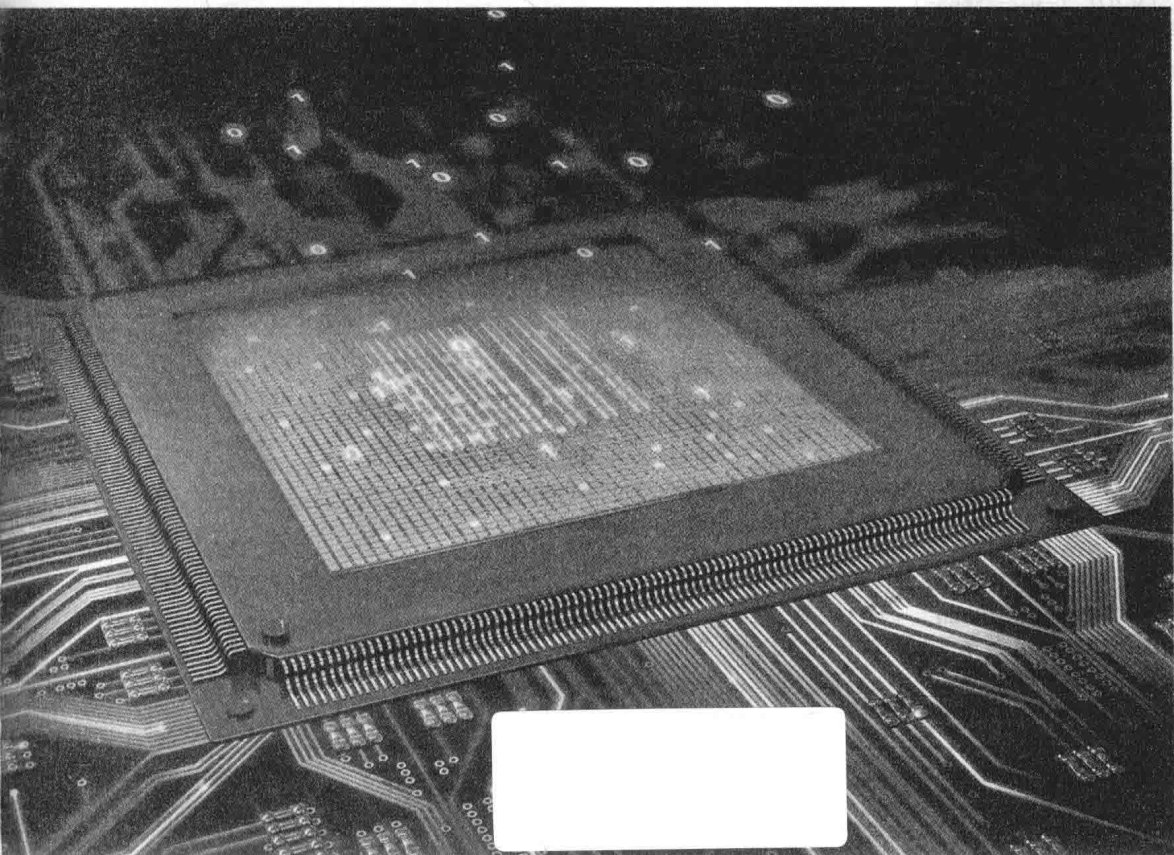


高等院校电子信息科学与工程规划教材

# EDA技术与 Verilog HDL

(第3版)

黄继业 陈龙 潘松 编著



清华大学出版社  
北京

## 内 容 简 介

本书系统地介绍了EDA技术和Verilog HDL硬件描述语言,将Verilog HDL的基础知识、编程技巧和实用方法与实际工程开发技术在Quartus II上很好地结合起来,使读者通过本书的学习能迅速了解并掌握EDA技术的基本理论和工程开发实用技术,为后续的深入学习和发展打下坚实的理论与实践基础。

笔者依据高校课堂教学和实验操作的规律与要求,并以提高学生的实际工程设计能力和自主创新能力为目的,合理编排全书内容。全书共分为7个部分:EDA技术的概述、Verilog HDL语法知识及其实用技术、Quartus II及LPM宏模块的详细使用方法、有限状态机设计技术、16位实用CPU设计技术及创新实践项目、基于ModelSim的Test Bench仿真技术,以及基于MATLAB和DSP Builder平台的EDA设计技术及大量实用系统设计示例。除个别章节外,大多数章节都安排了相应的习题和大量针对性强的实验与设计项目。书中列举的Verilog HDL示例都经编译通过或经硬件测试通过。

本书主要面向高等院校本、专科的EDA技术和Verilog HDL语言基础课,推荐作为电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科专业和相关实验指导课的教材用书或主要参考书,同时也可作为电子设计竞赛、FPGA开发应用的自学参考书。

与此教材配套的还有CAI教学课件、实验指导课件、实验源程序和实验设计项目相关的详细技术资料等,读者都可免费索取。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

EDA技术与Verilog HDL/黄继业,陈龙,潘松编著. —3版. —北京:清华大学出版社,2017

(高等院校电子信息科学与工程规划教材)

ISBN 978-7-302-48665-7

I. ①E… II. ①黄… ②陈… ③潘… III. ①电子电路-电路设计-计算机辅助设计 IV. ①TN702.2

中国版本图书馆CIP数据核字(2017)第266465号

责任编辑:邓艳

封面设计:刘超

版式设计:周春梅

责任校对:赵丽杰

责任印制:李红英

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦A座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质量反馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

印 装 者:清华大学印刷厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:23 字 数:552千字

版 次:2010年4月第1版 2017年12月第3版 印 次:2017年12月第1次印刷

印 数:1~4500

定 价:49.80元

产品编号:074710-01

# 前 言

与第2版教材相比,本教材的变化主要表现在以下几方面。

(1) 升级了EDA开发软件。考虑到Quartus II 13.1和Quartus Prime Standard 16.1版本的用法和功能基本相同,而13.1版本支持的器件系列较多,包括Cyclone 3。所以全书的示例主要是基于Altera的Quartus II 13.1的。

(2) 不再使用门级波形仿真器,而使用基于第三方的仿真器。在第2版的前言中就已提到过,Quartus II 10.0后不再支持内置的门级仿真器,即Altera已将Quartus II 10.0及此后版本的软件中曾经一贯内置的门级波形仿真器移除,使得Quartus的使用者不得不使用接口于Quartus II的第三方仿真器ModelSim-Altera。显然,这一举措对于多数初学者和相关的教学造成很大的不便。因为必须承认,Quartus II 9.x及之前版本软件中一直内置的波形仿真器的易学、高效和便捷的巨大优势,对于EDA教学和初学者的学习是十分重要的。为此,直到Quartus II 13.1及其以后的16.1版本,才借助ModelSim ASE构建了一个类似于波形仿真器的仿真工具。所以在用法上也有少许不同之处,书中也做了介绍,而且所有示例都是基于这个仿真器(即ModelSim ASE)的。

(3) 介绍新版EDA软件的安装。由于新版软件的波形仿真器是基于第三方仿真软件ModelSim ASE上的,所以在安装软件时需要特别注意把ModelSim ASE装上,书中对此加入了Quartus II 13.1软件安装的简要说明。

(4) 介绍的示例与实验主要基于新的FPGA硬件平台。考虑到较新的Cyclone 4型FPGA已经得到广泛使用,并兼顾目前多数学校仍然使用基于Cyclone 3系列FPGA的实验设备的事实,在此新版教材中包含了这两种FPGA的使用示例,但以Cyclone 4系列为主。

(5) 在FPGA和CPLD的结构介绍方面做了一定更新。介绍了较新的FPGA(Cyclone 4)和CPLD(内嵌Flash的FPGA器件)的结构特点。

(6) 对一些习题和实验项目做了精简与完善。

(7) 对第10章的Test Bench仿真示例升级在Quartus II 13.1平台上完成。

(8) 对第11章和第12章内容做了进一步的完善。

与本书的Verilog HDL内容相对应的VHDL教材是清华大学出版社出版的《EDA技术与VHDL》。

基于工程领域中的EDA技术的巨大实用价值,以及对EDA教学中实践能力和创新意识培养的极端重视,本书的特色主要体现在如下两个方面。

## 1. 注重实践能力和创新能力的培养

在绝大部分章节中都安排了针对性较强的实验与设计项目,使学生对每一章的课堂教学内容和教学效果能及时通过实验得以消化和强化,并尽可能地从一开始学习就有机会将理论知识与实践、自主设计紧密联系起来。

全书包含数十个实验及其相关的设计项目, 这些项目涉及的 EDA 工具软件类型较多、技术领域也较宽、知识涉猎密集、针对性强, 而且自主创新意识的启示性好。与书中的示例相同, 所有的实验项目都通过了 EDA 工具的仿真测试及 FPGA 平台的硬件验证。每一个实验项目除给出详细的实验目的、实验原理和实验报告要求外, 都有 2~5 个子项目或子任务。它们通常分为: 第一个层次的实验是与该章某个阐述内容相关的验证性实验, 并通常提供详细的且被验证的设计源程序和实验方法。学生只需将提供的设计程序输入计算机, 并按要求进行编译仿真, 在实验系统上实现即可; 使学生有一个初步的感性认识, 这也提高了实验的效率。第二个层次的实验任务是要求在上一实验基础上做一些改进和发挥。第三个层次的实验通常是提出自主设计的要求和任务。第四、第五个实验层次则是在仅给出一些提示的情况下提出自主创新性设计的要求。因此, 教师可以根据学时数、教学实验的要求以及不同的学生对象, 布置不同层次含不同任务的实验项目。

## 2. 注重教学选材的灵活性和完整性相结合

本教材的结构特点决定了授课学时数十分灵活, 即可长可短, 应视具体的专业特点、课程定位及学习者的前期教育程度等因素而定, 大致在 30~54 学时。考虑到 EDA 技术课程的特质和本教材的特色, 具体教学可以是粗放型的, 其中多数内容, 特别是实践项目, 都可放手让学生更多地自己去查阅资料、提出问题、解决问题, 乃至创新与创造; 而授课教师只需做一个启蒙者、引导者、鼓励者和学生成果的检验者与评判者。授课的过程多数情况只需点到为止, 大可不必拘泥细节、面面俱到。但有一个原则, 即安排的实验学时数应多多益善。

事实上, 任何一门课程的学时数总是有限的, 为了有效增加学生的实践和自主设计的时间, 可以借鉴清华大学的一项教改措施, 即其电子系本科生从一入学就每人获得一块 FPGA 实验开发板, 可从本科一年级一直用到研究生毕业。这是因为 EDA 技术本身就是一个可把全部实验和设计带回家的课程。

我校对于这门课程也基本采用了这一措施, 即每个上 EDA 课的同学都可借出一套 EDA 实验板, 使他们能利用自己的计算机在课余时间完成自主设计项目, 强化学习效果。实践表明, 这种安排使得实验课时得到有效延长, 教学成效自然显著。

我们建议积极鼓励学生利用课余时间尽可能学完本书的全部内容, 掌握本书介绍的所有 EDA 工具软件和相关开发手段, 并尽可能多地完成本书配置的实验和设计任务, 甚至能参考教材中的要求, 安排相关的创新设计竞赛, 进一步激发同学的学习积极性和主动性, 并强化他们的动手能力和自主创新能力的培养。

还有一个问题有必要在此探讨, 即自主创新能力的培养尽管重要, 但对其有效提高绝非一朝一夕之事。多年的教学实践告诉我们, 针对这一问题的教改必须从两方面入手, 一是教学内容, 二是设课时间。二者密切联系, 不可偏废。

前者主要指建立一个内在相关性好、设课时间灵活且易于将创新能力培养寓于知识传播之中的课程体系。

后者主要指在课程安排的时段上, 将这一体系的课程尽可能地提前。这一举措是成功



的关键，因为我们不可能到了本科三、四年级才去关注能力培养，并期待奇迹发生，更不可能指望一两门课程就能解决问题，尤其是以卓越工程师为培养目标的工科高等教育，自主创新能力的培养本身就是一项教学双方必须投入密集实践和探索的创新活动。我校的 EDA 技术国家级精品课程正是针对这一教改目标建立的课程体系，而“数字电子技术基础”是这一体系的组成部分和先导课程，它的提前设课是整个课程体系提前的必要条件。

通过数年的试点教学实践和经验总结，现已成功在部分本科学生中将此课程的设课时间从原来的第四或第五学期提前到了第一或第二学期。而这一体系的其他相关课程，如 EDA 技术、单片机（相关教材是清华大学出版社的《单片机原理与应用技术》，潘明、黄继业等编著）、SOC 片上系统、计算机接口、嵌入式系统和 DSP 等也相应提前，从而使学生到本科二年级时就具备了培养工程实践和自主开发能力的条件。

另外有一个问题须在此说明，即针对本教材中的实验和实践项目所能提供的演示示例原设计文件的问题。本书中多数实验都能提供经硬件验证调试好的演示示例原设计，目的是为读者能顺利完成实验验证和设计；有的示例的目的是希望能启发或引导读者完成更有创意的设计，其中一些示例尽管看上去颇有创意，但都不能说是最佳或最终结果，这给读者留有許多改进和发挥的余地。此外还有少数示例无法提供源代码（只能提供演示文件），是考虑到本书笔者以外的设计者的著作权，但这些示例仍能在设计的可行性、创意和创新方面给读者以宝贵的启示。

为了尽可能降低本书的成本和售价，就不再配置光盘了。与本书相关的其他资料，包括本书的配套课件、实验示例源程序资料、相关设计项目的参考资料和附录中提到的 mif 文件编辑生成软件等文件资料都可免费索取；此外对于一些与本教材相关的工具软件，包括 Quartus II、Synplify Pro、ModelSim-Atera 和 DSP-Builder/MATLAB 等 EDA 软件的安装、使用等问题的咨询（包括教学课件与实验课件，实验系统的 FPGA 引脚查询及对照表等的免费索取）：[sunliangzhu@126.com](mailto:sunliangzhu@126.com)，或与笔者探讨 EDA 技术教学和实践：[hjynet@163.com](mailto:hjynet@163.com)；或直接与出版社联系（主要是索取教学课件等）。

清华大学出版社的网址和联系方式是：[www.tup.com.cn](http://www.tup.com.cn)，[s\\_mingfang@126.com](mailto:s_mingfang@126.com)。

编者  
于杭州电子科技大学

# 目 录

第 1 章 概述.....	1
1.1 EDA 技术.....	1
1.2 EDA 技术应用对象.....	2
1.3 常用的硬件描述语言.....	4
1.4 EDA 技术的优势.....	6
1.5 面向 FPGA 和 CPLD 的开发流程.....	7
1.5.1 设计输入.....	7
1.5.2 综合.....	8
1.5.3 适配（布线布局）.....	10
1.5.4 仿真.....	10
1.5.5 RTL 描述.....	11
1.6 可编程逻辑器件.....	11
1.6.1 PLD 的分类.....	11
1.6.2 PROM 可编程原理.....	12
1.6.3 GAL.....	14
1.7 CPLD 的结构与可编程原理.....	16
1.8 FPGA 的结构与工作原理.....	18
1.8.1 查找表逻辑结构.....	18
1.8.2 Cyclone 4E 系列器件的结构原理.....	19
1.8.3 内嵌 Flash 的 FPGA 器件.....	22
1.9 硬件测试技术.....	22
1.9.1 内部逻辑测试.....	22
1.9.2 JTAG 边界扫描测试.....	23
1.10 编程与配置.....	23
1.11 Quartus II.....	25
1.12 IP 核.....	26
1.13 EDA 的发展趋势.....	27
习题.....	28
第 2 章 程序结构与数据类型.....	29
2.1 Verilog 程序结构.....	29
2.1.1 Verilog 模块的表达方式.....	30

2.1.2	Verilog 模块的端口信号名和端口模式 .....	30
2.1.3	Verilog 信号类型定义 .....	31
2.1.4	Verilog 模块功能描述 .....	32
2.2	Verilog 的数据类型 .....	32
2.2.1	net 网线类型 .....	33
2.2.2	wire 网线型变量的定义方法 .....	33
2.2.3	register 寄存器类型 .....	34
2.2.4	reg 寄存器型变量的定义方法 .....	34
2.2.5	integer 类型变量的定义方法 .....	35
2.2.6	存储器类型 .....	35
2.3	Verilog 文字规则 .....	37
2.3.1	Verilog 的 4 种逻辑状态 .....	37
2.3.2	Verilog 的数字表达形式 .....	37
2.3.3	数据类型表示方式 .....	38
2.3.4	常量 .....	38
2.3.5	标识符、关键词及其他文字规则 .....	40
2.3.6	参数定义关键词 parameter 和 localparam 的用法 .....	41
	习题 .....	42
<b>第 3 章</b>	<b>行为语句 .....</b>	<b>43</b>
3.1	过程语句 .....	43
3.1.1	always 语句 .....	43
3.1.2	always 语句在 D 触发器设计中的应用 .....	45
3.1.3	多过程应用与异步时序电路设计 .....	45
3.1.4	简单加法计数器的 Verilog 表述 .....	46
3.1.5	initial 语句 .....	47
3.2	块语句 .....	49
3.3	case 条件语句 .....	49
3.4	if 条件语句 .....	51
3.4.1	if 语句的一般表述形式 .....	51
3.4.2	基于 if 语句的组合电路设计 .....	52
3.4.3	基于 if 语句的时序电路设计 .....	53
3.4.4	含异步复位和时钟使能的 D 触发器的设计 .....	55
3.4.5	含同步复位控制的 D 触发器的设计 .....	56
3.4.6	含清零控制的锁存器的设计 .....	57
3.4.7	时钟过程表述的特点和规律 .....	58
3.4.8	实用加法计数器设计 .....	59
3.4.9	含同步预置功能的移位寄存器设计 .....	61





3.4.10 关注 if 语句中的条件指示.....	62
3.5 过程赋值语句.....	63
3.6 循环语句.....	64
3.6.1 for 语句.....	64
3.6.2 while 语句.....	65
3.6.3 repeat 语句.....	66
3.6.4 forever 语句.....	67
3.7 任务与函数语句.....	67
习题.....	69
<b>第 4 章 FPGA 硬件实现.....</b>	<b>71</b>
4.1 代码编辑输入和系统编译.....	71
4.1.1 编辑和输入设计文件.....	71
4.1.2 创建工程.....	72
4.1.3 约束项目设置.....	73
4.1.4 全程综合与编译.....	75
4.1.5 RTL 图观察器应用.....	76
4.2 时序仿真测试.....	77
4.3 硬件测试.....	80
4.3.1 引脚锁定.....	80
4.3.2 编译文件下载.....	82
4.3.3 通过 JTAG 口对配置芯片进行间接编程.....	83
4.3.4 USB-Blaster 驱动程序安装方法.....	84
4.4 电路原理图设计流程.....	85
4.4.1 设计一个半加器.....	85
4.4.2 完成全加器顶层设计.....	87
4.4.3 对全加器进行时序仿真和硬件测试.....	87
4.5 利用属性表述实现引脚锁定.....	88
4.6 SignalTap II 的用法.....	90
4.7 编辑 SignalTap II 的触发信号.....	95
4.8 安装 Quartus II 13.1 说明.....	95
习题.....	100
实验与设计.....	100
实验 4-1 多路选择器设计实验.....	100
实验 4-2 十六进制 7 段数码显示译码器设计.....	101
实验 4-3 8 位硬件乘法器设计实验.....	102
实验 4-4 应用宏模块设计数字频率计.....	103
实验 4-5 计数器设计实验.....	107

实验 4-6	数码扫描显示电路设计.....	107
实验 4-7	半整数与奇数分频器设计.....	108
<b>第 5 章</b>	<b>运算符与结构描述语句.....</b>	<b>110</b>
5.1	运算操作符.....	110
5.1.1	按位逻辑操作符.....	110
5.1.2	逻辑运算操作符.....	111
5.1.3	算术运算操作符.....	111
5.1.4	关系运算操作符.....	112
5.1.5	BCD 码加法器设计示例.....	113
5.1.6	缩位操作符.....	114
5.1.7	并位操作符.....	114
5.1.8	移位操作符用法.....	115
5.1.9	移位操作符用法示例.....	115
5.1.10	条件操作符.....	116
5.2	连续赋值语句.....	117
5.3	例化语句.....	118
5.3.1	半加器设计.....	118
5.3.2	全加器设计.....	119
5.3.3	Verilog 例化语句及其用法.....	119
5.4	参数传递语句应用.....	121
5.5	用库元件实现结构描述.....	122
5.6	编译指示语句.....	124
5.6.1	宏定义命令语句.....	124
5.6.2	文件包含语句 'include.....	125
5.6.3	条件编译命令语句 'ifdef、'else、'endif.....	125
5.7	keep 属性应用.....	126
5.8	SignalProbe 使用方法.....	128
习题.....		130
实验与设计.....		131
实验 5-1	高速硬件除法器设计实验.....	131
实验 5-2	不同类型的移位寄存器设计实验.....	132
实验 5-3	基于 Verilog 代码的频率计设计.....	132
实验 5-4	8 位加法器设计实验.....	133
实验 5-5	VGA 彩条信号显示控制电路设计.....	134
<b>第 6 章</b>	<b>LPM 宏模块用法.....</b>	<b>138</b>
6.1	调用计数器宏模块示例.....	138



6.1.1	计数器 LPM 模块文本代码的调用 .....	138
6.1.2	LPM 计数器代码与参数传递语句应用 .....	139
6.1.3	创建工程与仿真测试 .....	141
6.2	利用属性控制乘法器构建的示例 .....	142
6.3	LPM_RAM 宏模块用法 .....	143
6.3.1	初始化文件及其生成 .....	143
6.3.2	以原理图方式对 LPM_RAM 进行调用 .....	145
6.3.3	测试 LPM_RAM .....	147
6.3.4	Verilog 代码描述的存储器初始化文件加载表述 .....	148
6.3.5	存储器设计的结构控制 .....	149
6.4	LPM_ROM 使用示例 .....	150
6.4.1	简易正弦信号发生器设计 .....	150
6.4.2	正弦信号发生器硬件实现和测试 .....	152
6.5	存储器内容在系统编辑器应用 .....	153
6.6	LPM 嵌入式锁相环调用 .....	155
6.6.1	建立嵌入式锁相环元件 .....	155
6.6.2	测试锁相环 .....	158
6.7	In-System Sources and Probes Editor 用法 .....	158
6.8	DDS 实现原理与应用 .....	161
6.8.1	DDS 原理 .....	161
6.8.2	DDS 信号发生器设计示例 .....	163
	习题 .....	164
	实验与设计 .....	165
	实验 6-1 查表式硬件运算器设计 .....	165
	实验 6-2 正弦信号发生器设计 .....	165
	实验 6-3 简易逻辑分析仪设计 .....	166
	实验 6-4 DDS 正弦信号发生器设计 .....	167
	实验 6-5 移相信号发生器设计 .....	168
	实验 6-6 AM 幅度调制信号发生器设计 .....	168
	实验 6-7 硬件消抖动电路设计 .....	168
<b>第 7 章</b>	<b>Verilog HDL 深入 .....</b>	<b>170</b>
7.1	过程中的两类赋值语句 .....	170
7.1.1	未指定延时的阻塞式赋值 .....	170
7.1.2	指定了延时的阻塞式赋值 .....	171
7.1.3	未指定延时的非阻塞式赋值 .....	172
7.1.4	指定了延时的非阻塞式赋值 .....	173
7.1.5	深入认识阻塞式与非阻塞式赋值的特点 .....	174

7.1.6	对不同的赋初值方式的进一步探讨 .....	176
7.2	过程语句讨论 .....	178
7.2.1	过程语句应用总结 .....	178
7.2.2	不完整条件语句与时序电路的关系 .....	179
7.3	三态与双向端口设计 .....	180
7.3.1	三态控制电路设计 .....	181
7.3.2	双向端口设计 .....	181
7.3.3	三态总线控制电路设计 .....	183
7.4	资源优化 .....	184
7.4.1	资源共享 .....	185
7.4.2	逻辑优化 .....	186
7.4.3	串行化 .....	186
7.5	速度优化 .....	187
	习题 .....	190
	实验与设计 .....	191
实验 7-1	4×4 阵列键盘键信号检测电路设计 .....	191
实验 7-2	直流电机综合测控系统设计 .....	192
实验 7-3	VGA 简单图像显示控制模块设计 .....	194
实验 7-4	硬件乐曲演奏电路设计 .....	195
实验 7-5	PS/2 键盘控制模型电子琴电路设计 .....	199
<b>第 8 章</b>	<b>状态机设计技术 .....</b>	<b>202</b>
8.1	Verilog 状态机的一般形式 .....	202
8.1.1	状态机的特点与优势 .....	202
8.1.2	状态机的一般结构 .....	203
8.1.3	初始控制与表述 .....	206
8.2	Moore 型状态机 .....	208
8.2.1	多过程结构状态机 .....	208
8.2.2	序列检测器及其状态机设计 .....	212
8.3	Mealy 型状态机 .....	213
8.4	不同编码类型状态机 .....	216
8.4.1	直接输出型编码 .....	216
8.4.2	用宏定义语句定义状态编码 .....	218
8.4.3	顺序编码 .....	219
8.4.4	一位热码编码 .....	220
8.4.5	状态编码设置 .....	220
8.5	安全状态机设计 .....	222
8.5.1	状态导引法 .....	222



8.5.2	状态编码监测法.....	223
8.5.3	借助 EDA 工具自动生成安全状态机.....	224
	习题.....	224
	实验与设计.....	224
	实验 8-1 序列检测器设计.....	224
	实验 8-2 ADC 采样控制电路设计.....	225
	实验 8-3 五功能智能逻辑笔设计.....	226
	实验 8-4 数据采集模块设计.....	227
<b>第 9 章</b>	<b>16 位 CPU 创新设计.....</b>	<b>229</b>
9.1	KX9016 的结构与特色.....	229
9.2	KX9016 基本硬件系统设计.....	232
9.2.1	单步节拍发生模块.....	232
9.2.2	ALU 模块.....	233
9.2.3	比较器模块.....	233
9.2.4	基本寄存器与寄存器阵列组.....	234
9.2.5	移位器模块.....	237
9.2.6	程序与数据存储器模块.....	237
9.3	KX9016v1 指令系统设计.....	238
9.3.1	指令格式.....	238
9.3.2	指令操作码.....	239
9.3.3	软件程序设计示例.....	240
9.3.4	KX9016v1 控制器设计.....	242
9.3.5	指令设计示例.....	246
9.4	KX9016 的时序仿真与硬件测试.....	247
9.4.1	时序仿真与指令执行波形分析.....	247
9.4.2	CPU 工作情况的硬件测试.....	249
9.5	KX9016 应用程序设计示例和系统优化.....	251
9.5.1	乘法算法及其硬件实现.....	252
9.5.2	除法算法及其硬件实现.....	253
9.5.3	KX9016v1 的硬件系统优化.....	253
	习题.....	255
	实验与设计.....	255
	实验 9-1 16 位 CPU 设计综合实验.....	255
	实验 9-2 新指令设计及程序测试实验.....	256
	实验 9-3 16 位 CPU 的优化设计与创新.....	257

第 10 章 Verilog HDL 仿真.....	258
10.1 Verilog HDL 仿真流程.....	259
10.2 Verilog 测试基准示例.....	261
10.3 Verilog Test Bench 测试流程.....	263
10.4 Verilog 系统任务和系统函数.....	265
10.4.1 系统任务和系统函数.....	265
10.4.2 预编译语句.....	271
10.5 延时模型.....	272
10.5.1 # 延时和门延时.....	272
10.5.2 延时说明块.....	273
10.6 其他仿真语句.....	273
10.6.1 fork-join 块语句.....	273
10.6.2 wait 语句.....	274
10.6.3 force、release 语句.....	275
10.6.4 deassign 语句.....	275
10.7 仿真激励信号的产生.....	276
10.8 数字系统仿真.....	277
习题.....	278
实验与设计.....	278
实验 10-1 在 ModelSim 上对计数器的 Test Bench 进行仿真.....	278
实验 10-2 在 ModelSim 上进行 16 位累加器设计仿真.....	278
第 11 章 DSP Builder 系统设计方法.....	280
11.1 MATLAB/DSP Builder 及其设计流程.....	280
11.2 正弦信号发生器设计.....	283
11.2.1 建立设计模型.....	283
11.2.2 Simulink 模型仿真.....	289
11.2.3 SignalCompiler 使用方法.....	293
11.2.4 使用 ModelSim 进行 RTL 级仿真.....	294
11.2.5 使用 Quartus II 实现时序仿真.....	295
11.2.6 硬件测试与硬件实现.....	296
11.3 DSP Builder 层次化设计.....	297
11.4 基于 DSP Builder 的 DDS 设计.....	300
11.4.1 DDS 模块设计.....	300
11.4.2 FSK 调制器设计.....	302
11.4.3 正交信号发生器设计.....	304
11.4.4 数控移相信号发生器设计.....	305
11.4.5 幅度调制信号发生器设计.....	305



11.5 HIL 硬件测试 .....	306
习题 .....	311
实验与设计 .....	311
实验 11-1 利用 MATLAB/DSP Builder 设计基本电路模块 .....	311
实验 11-2 基于 DSP Builder 的 DDS 应用模型设计 .....	312
实验 11-3 HIL 硬件环仿真实验 .....	314
<b>第 12 章 DSP Builder 设计深入 .....</b>	<b>316</b>
12.1 FIR 数字滤波器设计 .....	316
12.1.1 FIR 滤波器原理 .....	316
12.1.2 使用 DSP Builder 设计 FIR 滤波器 .....	317
12.1.3 使用 MATLAB 的滤波器设计工具 .....	322
12.1.4 使用 FIR IP Core 设计 FIR 滤波器 .....	327
12.2 HDL 模块插入仿真及其设计 .....	331
习题 .....	333
实验与设计 .....	334
实验 12-1 FIR 数字滤波器设计实验 .....	334
实验 12-2 HDL Import 模块应用实验 .....	335
<b>附录 A EDA 开发系统及相关电路与表格 .....</b>	<b>336</b>
A.1 KX-CDS 系列 EDA/SOPC 系统 .....	337
A.1.1 模块化自主创新实验设计结构 .....	337
A.1.2 多功能重配置型高效实验控制系统 .....	338
A.1.3 不同功能类型的 FPGA 核心板 .....	338
A.2 部分实验扩展模块 .....	341
A.3 mif 文件生成器使用方法 .....	342
A.4 核心板 FPGA 扩展至 KX-CDS 系统对照表 .....	344
A.5 多功能重配置结构可切换的部分实验电路图 .....	346

# 第1章 概述

本章简要介绍 EDA 技术、EDA 工具、FPGA 结构原理及 EDA 的应用情况和发展趋势，其中重点介绍基于 EDA 的 FPGA 开发技术的概况。

考虑到本章中出现的一些基本概念和名词会涉及较多的基础知识和更深入的 EDA 基础理论，故对于本章的学习仅要求读者做一般性的了解，无须深入探讨。因为待读者学习完本教程，并经历了本教材配置的必要实践后，对许多问题就会自然而然地弄明白了。不过需要强调的是，本章的重要性并不能因此而被低估。

## 1.1 EDA 技术

现代电子设计技术的核心已日趋转向基于计算机的电子设计自动化技术，即 EDA (Electronic Design Automation) 技术。EDA 技术就是依赖功能强大的计算机，在 EDA 工具软件平台上，对以硬件描述语言 (Hardware Description Language, HDL) 为系统逻辑描述手段完成的设计文件。它自动地完成逻辑编译、化简、分割、综合、布局布线以及逻辑优化和仿真测试，直至实现既定的电子线路系统功能。EDA 技术使得设计者的主要工作仅限于利用软件的方式来完成对系统硬件功能的实现，这是电子设计技术的一个巨大进步。

EDA 技术在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计、ASIC 测试和封装以及 FPGA/CPLD (Field Programmable Gate Array/Complex Programmable Logic Device) 编程下载和自动测试等技术；在计算机辅助工程方面融合了计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT)、计算机辅助工程 (CAE) 技术以及多种计算机语言的设计概念；而在现代电子学方面则容纳了更多的内容，如电子线路设计理论、数字信号处理技术、数字系统建模和优化技术等。因此，EDA 技术为现代电子理论和设计的表达与实现提供了可能性。正因为 EDA 技术丰富的内容及其与电子技术各学科领域的相关性，其发展的历程同大规模集成电路设计技术、计算机辅助工程、可编程逻辑器件，以及电子设计技术和工艺是同步的。

就过去数十年的电子技术的发展历程，可大致将 EDA 技术的发展分为 3 个阶段。

第一阶段：20 世纪 70 年代，在集成电路制作方面，MOS 工艺已得到广泛的应用。可编程逻辑技术及其器件已经问世，计算机作为一种运算工具已在科研领域得到广泛应用。而在后期，CAD 的概念已见雏形，这一阶段人们开始利用计算机取代手工劳动，辅助进行集成电路版图编辑、PCB 布局布线等工作，这是 EDA 技术的雏形。

第二阶段：20 世纪 80 年代，集成电路设计进入了 CMOS (互补场效应管) 时代。复杂可编程逻辑器件已进入商业应用，相应的辅助设计软件也已投入使用；在 20 世纪 80 年



代末, 出现了 FPGA、CAE 和 CAD 技术的应用更为广泛, 它们在 PCB 设计方面的原理图输入、自动布局布线及 PCB 分析、逻辑设计、逻辑仿真、布尔代数综合和化简等方面担任了重要的角色。特别是各种硬件描述语言的出现、应用和标准化方面的重大进步, 为电子设计自动化解决电子线路建模、标准文档及仿真测试等问题奠定了基础。

第三阶段: 进入 20 世纪 90 年代, 计算机辅助工程、辅助分析和辅助设计在电子技术领域获得更加广泛的应用。与此同时, 电子技术在通信、计算机及家电产品生产中的市场需求和技术需求, 极大地推动了全新的电子设计自动化技术的应用和发展。特别是集成电路设计工艺步入了超深亚微米阶段, 百万门以上的大规模可编程逻辑器件的陆续问世, 以及基于计算机技术的面向用户的低成本、大规模 ASIC 设计技术的应用, 促进了 EDA 技术的形成。更为重要的是, 各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的出现, 都有效地将 EDA 技术推向成熟和实用。

EDA 技术在进入 21 世纪后得到了更大的发展, 突出表现在以下几个方面。

- 在 FPGA 上实现 DSP (数字信号处理) 应用成为可能, 用纯数字逻辑进行 DSP 模块的设计, 使得高速 DSP 的实现成为现实, 并有力地推动了软件无线电技术的实用化和发展。基于 FPGA 的 DSP 技术, 为高速数字信号处理算法提供了实现途径。
- 嵌入式处理器软核的成熟, 使得 SOPC (System On a Programmable Chip) 技术成为可能, 即可以在一单片 FPGA 中实现一个完备的可随意重构的嵌入式系统。
- 在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断推出。
- EDA 使得电子领域各学科的界限更加模糊, 更加互为包容: 模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA 等。
- 基于 EDA 的用于 ASIC 设计的标准单元已涵盖大规模电子系统及复杂 IP (Intellectual Property) 核模块。
- 软硬 IP 核在电子行业的产业领域广泛应用。
- SOC 高效低成本设计技术的成熟。
- 系统级、行为验证级硬件描述语言的出现 (如 System C), 使复杂电子系统的设计和验证趋于简单。
- C 语言综合技术开始应用于复杂 EDA 软件工具。使用 C 或类 C 语言对数字逻辑系统进行设计已经成为可能。HLS (High-Level Synthesis) 工具可以实现简单 C 程序到 HDL 的转化, 而 OpenCL 工具, 可以构建以 CPU 为核心的 C 算法加速的应用。

## 1.2 EDA 技术应用对象

一般地, 利用 EDA 技术进行电子系统设计的最后目标, 是完成专用集成电路 (ASIC) 或印制电路板 (PCB) 的设计和实现, 如图 1-1 所示。其中, PCB 设计指的是电子系统的印制电路板设计, 从电路原理图到 PCB 上元件的布局、布线、阻抗匹配、信号完整性分析及板级仿真, 到最后的电路板机械加工文件生成, 这些都需要相应的计算机 EDA 工具软件