

EDA

★ 慕课版经典教材
总发行量逾二十万册 (2002—2019)

普通高等教育 EDA 技术规划教材

数字系统设计 与 Verilog HDL (第7版)

王金明 编著

 中国工信出版集团

 电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

普通高等教育 EDA 技术规划教材

数字系统设计与 Verilog HDL

(第7版)

王金明 编著

电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书根据 EDA 课程教学要求,以提高数字系统设计能力为目的,系统阐述 FPGA 数字系统开发的相关知识,主要内容包括 EDA 技术概述、FPGA/CPLD 器件、Verilog 硬件描述语言等。全书以 Quartus Prime、ModelSim 软件为平台,以 Verilog-1995 和 Verilog-2001 语言标准为依据,以可综合的设计为重点,通过大量经过验证的数字设计实例,阐述数字系统设计的方法与技术,由浅入深地介绍 Verilog 工程开发的知识与技能。

本书着眼于实用,紧密联系教学实际,实例丰富。全书深入浅出,概念清晰,语言流畅。本书可作为电子、通信、微电子、信息、电路与系统、通信与信息系统及测控技术与仪器等专业本科生和研究生的教学用书,也可供从事电路设计和系统开发的工程技术人员阅读参考。

本书配有教学课件,可从华信教育资源网(www.hxedu.com.cn)免费下载。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

数字系统设计与 Verilog HDL / 王金明编著. —7 版. —北京:电子工业出版社,2019.1

ISBN 978-7-121-35614-8

I. ①数… II. ①王… III. ①数字系统—系统设计—高等学校—教材②硬件描述语言—程序设计—高等学校—教材 IV. ①TP271②TP312

中国版本图书馆 CIP 数据核字(2018)第 263663 号

责任编辑: 窦 昊

印 刷: 三河市鑫金马印装有限公司

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 25.5 字数: 652.8 千字

版 次: 2002 年 1 月第 1 版

2019 年 1 月第 7 版

印 次: 2019 年 1 月第 1 次印刷

定 价: 58.00 元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系,联系及邮购电话:(010) 88254888, 88258888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式:(010) 88254466, douhao@phei.com.cn。

第7版前言

本书在前一版的基础上主要做了如下修订：

(1) 鉴于 Verilog-2001 标准越来越重要，本书对 Verilog-2001 标准做了更为深入的阐述，一些例程也按照 Verilog-2001 标准做了修改。

(2) 将设计工具升级为 Quartus Prime 17.0。从 Quartus II 10.0 开始，Quartus II 软件取消了自带的波形仿真工具，转而采用专业第三方仿真工具 ModelSim 进行仿真；自版本 13.1 之后，Quartus II 只支持 64 位操作系统（Windows 7, 8, 10）；从 Quartus II 15.1 开始，Quartus II 开发工具改称 Quartus Prime；2017 年 5 月，Intel 发布了 Quartus Prime 17.0 版本。Quartus Prime 17.0 相比之前的版本，支持的器件更多，自带的 IP 模块也更丰富，编译速度更快，支持 System Verilog-2005 和 VHDL-2008。设计者应积极适应 EDA 设计工具的变化，并尽可能采用新版本的设计工具。

(3) 将目标实验板从 DE2、DE2-70 升级为 DE2-115，更新和改进了部分设计案例，并基于 DE2-115 实验板做了下载和验证。

(4) 更新了有关 ModelSim 仿真的内容。本书介绍了两个版本的 ModelSim 的使用方法，一个是 Intel 的 OEM 版本 ModelSim-Intel，同时第 11 章详细介绍了用 ModelSim SE 进行功能和时序仿真的过程，ModelSim SE 的功能更全面一些。

(5) 更新了部分有关 FPGA 器件结构的内容，使之尽量反映 FPGA 器件的新发展。

由于 FPGA 芯片和 EDA 软件的不断更新换代，同时因编著者时间和精力所限，本书虽经不断改版和修正，仍不免有诸多疏漏和遗憾，一些案例也有继续发挥和改进的空间，同时一些新的例程限于篇幅未能在书中得到反映。基于本教材的慕课（MOOC）教学资源已在华信教育资源网推出。本书与作者的另一拙作《数字系统设计与 VHDL》（第 2 版）互为补充，前者以 Verilog 语言开发为主，后者则以 VHDL 语言的设计为重点。

感谢友晶科技的彭显恩经理和尹作娟女士、鑫合欣的王婷女士在本书写作过程中给予的大力支持；感谢美国威斯康星大学麦迪逊分校的 Yu Hen Hu 教授在作者访学期间在学术上和教学上给予作者的无私帮助与支持；感谢本书责任编辑窦昊先生与作者多年的鼎力合作；参加本书编写的还有周顺、曹阳、朱莉莉、张瑾玫、徐子崑、胡雨尧、綦晓东、臧广文、刘鑫裕、朱森、陈晨等，在此一并表示感谢。

本书疏漏与错误之处，希望读者和同行给予批评指正。

E-mail: wjm_ice@163.com

编著者

2018 年 10 月于陆军工程大学

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术及其发展	1
1.2 Top-down 设计与 IP 核复用	4
1.2.1 Top-down 设计	4
1.2.2 Bottom-up 设计	5
1.2.3 IP 复用技术与 SoC	5
1.3 数字设计的流程	7
1.3.1 设计输入	8
1.3.2 综合	9
1.3.3 布局布线	9
1.3.4 仿真	10
1.3.5 编程配置	10
1.4 常用的 EDA 工具软件	10
1.5 EDA 技术的发展趋势	14
习题 1	15
第 2 章 FPGA/CPLD 器件	16
2.1 PLD 器件概述	16
2.1.1 PLD 器件的发展历程	16
2.1.2 PLD 器件的分类	17
2.2 PLD 的基本原理与结构	19
2.2.1 PLD 器件的基本结构	19
2.2.2 PLD 电路的表示方法	20
2.3 低密度 PLD 的原理与结构	21
2.4 CPLD 的原理与结构	25
2.4.1 宏单元结构	25
2.4.2 典型 CPLD 的结构	26
2.5 FPGA 的原理与结构	29
2.5.1 查找表结构	29
2.5.2 典型 FPGA 的结构	32
2.5.3 Cyclone IV 器件结构	35
2.6 FPGA/CPLD 的编程元件	38
2.7 边界扫描测试技术	42
2.8 FPGA/CPLD 的编程与配置	43
2.8.1 在系统可编程	43
2.8.2 FPGA 器件的配置	45
2.8.3 Cyclone IV 器件的编程	45
2.9 FPGA/CPLD 器件概述	48

2.10	FPGA/CPLD 的发展趋势	52
	习题 2	53
第 3 章	Quartus Prime 使用指南	54
3.1	Quartus Prime 原理图设计	55
3.1.1	半加器原理图设计输入	55
3.1.2	1 位全加器设计输入	59
3.1.3	1 位全加器的编译	61
3.1.4	1 位全加器的仿真	63
3.1.5	1 位全加器的下载	67
3.2	基于 IP 核的设计	70
3.2.1	模 24 方向可控计数器	71
3.2.2	4×4 无符号数乘法器	78
3.3	SignalTap II 的使用方法	84
3.4	Quartus Prime 的优化设置与时序分析	89
	习题 3	93
	实验与设计	95
3-1	8 位带符号乘法器	95
3-2	补码转换幅度码电路	98
第 4 章	Verilog 设计初步	100
4.1	Verilog 的历史	100
4.2	Verilog 模块的结构	101
4.3	Verilog 基本组合电路设计	105
4.3.1	用 Verilog 设计基本组合电路	105
4.3.2	用 Verilog 设计加法器	105
4.4	Verilog 基本时序电路设计	108
4.4.1	用 Verilog 设计触发器	108
4.4.2	用 Verilog 设计计数器	109
	习题 4	111
	实验与设计	111
4-1	Synplify Pro 综合器的使用方法	111
4-2	Synplify 综合器的使用方法	115
第 5 章	Verilog 语言要素	117
5.1	概述	117
5.2	常量	118
5.2.1	整数 (Integer)	118
5.2.2	实数 (Real)	120
5.2.3	字符串 (Strings)	120
5.3	数据类型	121
5.3.1	net 型	122
5.3.2	variable 型	123

5.4	参数	124
5.4.1	参数 parameter	124
5.4.2	Verilog-2001 中的参数声明	125
5.4.3	参数的传递	126
5.4.4	localparam	126
5.5	向量	127
5.6	运算符	129
	习题 5	133
	实验与设计	134
5-1	用 altpll 锁相环宏模块实现倍频和分频	134
5-2	消抖动电路	139
第 6 章	Verilog 语句语法	141
6.1	过程语句	141
6.1.1	always 过程语句	142
6.1.2	initial 过程语句	145
6.2	块语句	146
6.2.1	串行块 begin-end	146
6.2.2	并行块 fork-join	147
6.3	赋值语句	148
6.3.1	持续赋值与过程赋值	148
6.3.2	阻塞赋值与非阻塞赋值	149
6.4	条件语句	151
6.4.1	if-else 语句	151
6.4.2	case 语句	152
6.5	循环语句	157
6.5.1	for 语句	157
6.5.2	repeat、while、forever 语句	158
6.6	编译指示语句	160
6.7	任务与函数	161
6.7.1	任务 (task)	162
6.7.2	函数 (function)	163
6.8	顺序执行与并发执行	167
6.9	Verilog-2001 语言标准	168
6.9.1	Verilog-2001 改进和增强的语法结构	168
6.9.2	属性及 PLI 接口	177
	习题 6	179
	实验与设计	180
6-1	FIFO 缓存器设计	180
第 7 章	Verilog 设计的层次与风格	184
7.1	Verilog 设计的层次	184
7.2	门级结构描述	184

7.2.1	Verilog 门元件	185
7.2.2	门级结构描述	187
7.3	行为描述	188
7.4	数据流描述	189
7.5	不同描述风格的设计	190
7.5.1	半加器设计	190
7.5.2	1 位全加器设计	191
7.5.3	加法器的级连	193
7.6	多层次结构电路的设计	194
7.6.1	模块例化	194
7.6.2	用 parameter 进行参数传递	196
7.6.3	用 defparam 进行参数重载	198
7.7	基本组合电路设计	198
7.7.1	门电路	198
7.7.2	编译码器	199
7.8	基本时序电路设计	201
7.8.1	触发器	201
7.8.2	锁存器与寄存器	202
7.8.3	计数器与串并转换器	203
7.8.4	简易微处理器	204
7.9	三态逻辑设计	206
	习题 7	208
	实验与设计	208
7-1	数字表决器	208
第 8 章	Verilog 有限状态机设计	212
8.1	有限状态机	212
8.2	有限状态机的 Verilog 描述	214
8.2.1	用三个 always 块描述	215
8.2.2	用两个过程描述	216
8.2.3	单过程描述方式	218
8.3	状态编码	219
8.3.1	常用的编码方式	219
8.3.2	状态编码的定义	221
8.3.3	用属性指定状态编码方式	224
8.4	有限状态机设计要点	225
8.4.1	复位和起始状态的选择	225
8.4.2	多余状态的处理	228
	习题 8	229
	实验与设计	229
8-1	流水灯控制器	229
8-2	汽车尾灯控制器	231

第 9 章 Verilog 驱动常用 I/O 外设	234
9.1 4×4 矩阵键盘	234
9.2 标准 PS/2 键盘	236
9.3 字符液晶	243
9.4 汉字图形点阵液晶	248
9.5 VGA 显示器	254
9.5.1 VGA 显示原理与时序	254
9.5.2 VGA 彩条信号发生器	258
9.5.3 VGA 图像显示与控制	260
9.6 乐曲演奏电路	266
习题 9	271
实验与设计	273
9-1 实用多功能数字钟	273
第 10 章 Verilog 设计进阶	282
10.1 设计的可综合性	282
10.2 流水线设计技术	285
10.3 资源共享	288
10.4 阻塞赋值与非阻塞赋值	290
10.5 加法器设计	294
10.5.1 行波进位加法器	294
10.5.2 超前进位加法器	295
10.5.3 数据流描述的加法器	299
10.5.4 流水线加法器	300
10.6 乘法器设计	300
10.6.1 并行乘法器	300
10.6.2 移位相加乘法器	302
10.6.3 布斯乘法器	305
10.6.4 查找表乘法器	307
10.7 奇数分频与小数分频	308
10.7.1 奇数分频	308
10.7.2 半整数分频与小数分频	309
习题 10	311
实验与设计	312
10-1 小数分频	312
10-2 如何在 FPGA 设计中消除毛刺	314
第 11 章 Verilog Test Bench 仿真	317
11.1 系统任务与系统函数	317
11.2 用户自定义元件	321
11.2.1 组合电路 UDP 元件	322
11.2.2 时序逻辑 UDP 元件	323

11.3	延时模型的表示	325
11.3.1	时间标尺定义`timescale	325
11.3.2	延时的表示与延时说明块	326
11.4	Test Bench 测试平台	327
11.5	组合和时序电路的仿真	330
11.5.1	组合电路的仿真	330
11.5.2	时序电路的仿真	332
	习题 11	333
	实验与设计	333
11-1	用 ModelSim SE 仿真 8 位二进制加法器	333
11-2	用 ModelSim SE 仿真乘累加器	340
第 12 章	Verilog 设计实例	343
12.1	m 序列产生器	343
12.1.1	m 序列的原理与性质	343
12.1.2	m 序列产生器设计	345
12.2	Gold 码	347
12.2.1	Gold 码的原理与性质	348
12.2.2	Gold 码产生器设计	349
12.3	CRC 校验码	350
12.4	数字过零检测与等精度频率测量	352
12.4.1	数字过零检测	352
12.4.2	等精度频率测量	354
12.4.3	数字频率测量系统顶层设计及仿真	355
12.5	QPSK 调制器	360
12.5.1	QPSK 调制原理	360
12.5.2	QPSK 调制器的设计实现	361
12.5.3	QPSK 调制器的仿真	369
12.6	小型神经网络	370
12.6.1	人工神经网络	370
12.6.2	设计实现与仿真	371
12.7	数字 AGC	374
12.7.1	数字 AGC 技术的原理	375
12.7.2	数字 AGC 的实现与仿真	376
	习题 12	383
	实验与设计	383
12-1	异步串行接口 (UART)	383
附录 A	Verilog HDL (IEEE Std 1364-1995) 关键字	389
附录 B	Verilog HDL (IEEE Std 1364-2001) 关键字	390
附录 C	DE2-115 介绍	391
附录 D	有关术语与缩略语	393
	参考文献	398

第 1 章 EDA 技术概述

我们已经进入数字化和信息化的时代，其特点是各种数字产品的广泛应用。现代数字产品在性能提高、复杂度增大的同时，更新换代的步伐也越来越快，实现这种进步的因素在于芯片制造技术和设计技术的进步。

芯片制造技术以微细加工技术为代表，目前已进展到深亚微米阶段，可以在几平方厘米的芯片上集成数千万个晶体管。摩尔曾经对半导体集成技术的发展做出预言：大约每 18 个月，芯片的集成度提高 1 倍，功耗下降 1 倍，他的预言被人们称为摩尔定律 (Moore's law)。几十年来，集成电路的发展与这个预言非常吻合，数字器件经历了从 SSI, MSI, LSI 到 VLSI，直到现在的 SoC (System on Chip, 芯片系统)，我们已经能够把一个完整的电子系统集成在一个芯片上。还有一种器件的出现极大改变了设计制作电子系统的方式与方法，这就是可编程逻辑器件 (Programmable Logic Device, PLD)。PLD 器件是 20 世纪 70 年代后期发展起来的一种器件，它经历了可编程逻辑阵列 (Programmable Logic Array, PLA)、通用阵列逻辑 (Generic Array Logic, GAL) 等简单形式到现场可编程门阵列 (Field Programmable Gate Array, FPGA) 和复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD) 的高级形式的发展，它的广泛使用不仅简化了电路设计、降低了研制成本、提高了系统可靠性，而且给数字系统的整个设计和实现过程带来了革命性的变化。

电子系统的设计理念和设计方法也发生了深刻的变化，从电子 CAD (Computer Aided Design)、电子 CAE (Computer Aided Engineering) 到电子设计自动化 (Electronic Design Automation, EDA)，设计的自动化程度越来越高，设计的复杂性也越来越强。

EDA 技术已成为现代电子设计技术的有力工具，没有 EDA 技术的支持，要完成超大规模集成电路的设计和制造是不可想象的，反过来，生产制造技术的进步又不断对 EDA 技术提出新的要求，促使其不断向前发展。

1.1 EDA 技术及其发展

在现代数字系统的设计中，EDA 技术已经成为一种普遍的工具。对设计者而言，熟练地掌握 EDA 技术，可以极大地提高工作效率，起到事半功倍的效果。

EDA (电子设计自动化) 技术没有一个精确的定义，我们可以这样来认识，所谓的 EDA 技术就是以计算机为工具，设计者基于 EDA 软件平台，采用原理图或者硬件描述语言 (HDL) 完成设计输入，然后由计算机自动完成逻辑综合、优化、布局布线和仿真，直至对于目标芯片 (CPLD、FPGA) 的适配和编程下载等工作 (甚至是完成 ASIC 专用集成电路掩膜设计)，上述辅助进行电子设计的软件工具及技术统称 EDA。EDA 技术的发展以计算机科学、微电子技术的发展为基础，融合了应用电子技术、智能技术，以及计算机图形学、拓扑学、计算数学等众多学科的最新成果。EDA 技术经历了一个由简单到复杂、由初级到高级不断发展进步的阶段。从 20 世纪 70 年代，人们就已经开始基于计算机开发出一些软件工具帮助设计者完成电路系统的设计任务，以代替传统的手工设计

方法,随着计算机软件和硬件技术水平的提高,EDA 技术也在不断进步,大致经历了下面三个发展阶段。

1. CAD 阶段

电子 CAD 阶段是 EDA 技术发展的早期阶段(时间大致为 20 世纪 70 年代至 80 年代初)。在这个阶段,一方面,计算机的功能还比较有限,个人计算机还没有普及;另一方面,电子设计软件的功能也较弱。人们主要是借助计算机对所设计电路的性能进行一些模拟和预测;另外,就是完成 PCB 的布局布线,简单版图的绘制等工作。

2. CAE 阶段

集成电路规模的扩大,电子系统设计的逐步复杂,使得电子 CAD 的工具逐步完善和发展,尤其是人们在设计方法学、设计工具集成化方面取得了长足的进步,EDA 技术就进入了电子 CAE 阶段(时间大致为 20 世纪 80 年代初至 90 年代初)。在这个阶段,各种单点设计工具、各种设计单元库逐渐完备,并且开始将许多单点工具集成在一起使用,大大提高了工作效率。

3. EDA 阶段

20 世纪 90 年代以来,微电子工艺有了显著的发展,工艺水平达到深亚微米级,在一个芯片上可以集成数目上千万乃至上亿的晶体管,芯片的工作速度达到 Gbps 级,这样就对电子设计的工具提出了更高的要求,也促进了设计工具的发展。

在今天,EDA 技术已经成为电子设计的普遍工具,无论是设计集成电路还是设计普通的电子电路,没有 EDA 工具的支持,都是难以完成的。EDA 技术的使用贯穿电子工程师进行电子系统开发的全过程,以及进行开发设计涉及的各个方面。从一个角度看,EDA 技术可粗略分为系统级、寄存器传输级(RTL)、门级和版图级几个层次的辅助设计过程;从另一个角度来看,EDA 技术包括电子电路设计的各个领域,即从低频电路到高频电路、从线性电路到非线性电路、从模拟电路到数字电路、从 PCB 设计到 FPGA 开发等。EDA 技术的功能和范畴如图 1.1 所示。

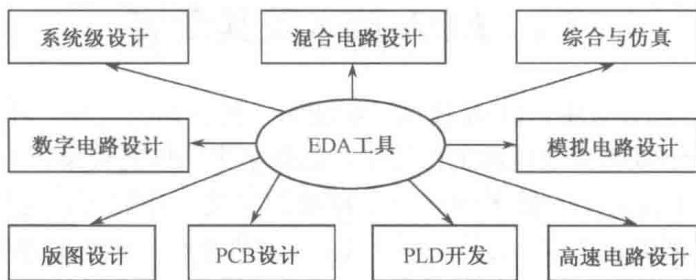


图 1.1 EDA 技术的功能和范畴

进入 21 世纪后,EDA 技术得到了更快的发展,开始步入一个新的时期,突出地表现在以下几个方面。

(1) 电子技术各个领域全方位融入 EDA 技术,除日益成熟的数字技术外,可编程模拟器件的设计技术也有了很大的进步。EDA 技术使得电子领域各学科的界限更加模糊,相互包容和渗透,如模拟与数字、软件与硬件、系统与器件、ASIC 与 FPGA、行为与结构等,

软硬件协同设计技术也成为 EDA 技术的一个发展方向。

(2) IP (Intellectual Property) 核在电子设计领域得到了更广泛的应用,进一步缩短了设计周期、提高了设计效率。基于 IP 核的 SoC (System on Chip, 芯片系统) 设计技术趋向成熟,电子设计成果的可重用性得到提高。

(3) 嵌入式微处理器软核的出现、更大规模的 FPGA/CPLD 器件的不断推出,使得 SoPC (System on Programmable Chip, 可编程芯片系统) 步入实用化阶段,在一片 FPGA 芯片中实现一个完备的系统成为可能。

(4) 用 FPGA (Field Programmable Gate Array, 现场可编程门阵列) 器件实现完全硬件的 DSP (数字信号处理) 处理成为可能,用纯数字逻辑进行 DSP 模块的设计,为高速数字信号处理算法提供了实现途径,并有力地推动了软件无线电技术的实用化。

(5) 在设计和仿真两方面支持标准硬件描述语言的 EDA 软件不断推出,系统级、行为验证级硬件描述语言的出现(如 System C)使得复杂电子系统的设计和验证更加高效。在一些大型的系统设计中,设计验证工作非常艰巨,这些高效的 EDA 工具的出现,减少了开发人员的工作量。

除了上述发展趋势,现代 EDA 技术和 EDA 工具还呈现出以下一些共同特点。

1) 硬件描述语言 (HDL) 标准化程度提高

硬件描述语言 (Hardware Description Language, HDL) 不断进化,其标准化程度越来越高,便于设计的复用、交流、保存和修改,也便于组织大规模、模块化的设计。标准化程度最高的硬件描述语言是 Verilog HDL 和 VHDL,它们早已成为 IEEE 标准,并且有新的版本获得通过,比如 Verilog 有 Verilog-1995 和 Verilog-2001 两个版本,其功能得到了增强,标准化程度得到提高。

2) EDA 工具的开放性和标准化程度不断提高

现代 EDA 工具普遍采用标准化和开放性的框架结构,可以接纳其他厂商的 EDA 工具一起进行设计工作。这样可实现各种 EDA 工具间的优化组合,并集成在一个易于管理的统一环境之中,实现资源共享,有效提高设计者的工作效率,有利于大规模、有组织的设计开发工作。

EDA 工具已经能接受功能级或 RTL (Register Transport Level) 级的 HDL 描述进行逻辑综合和优化。为了更好地支持自顶向下的设计方法,EDA 工具需要在更高的层级进行综合和优化,并进一步提高智能化程度,提高设计的优化程度。

3) EDA 工具的库 (Library) 更完备

EDA 工具要具有更强大的设计能力和更高的设计效率,必须配有丰富的库,比如元器件图形符号库、元器件模型库、工艺参数库、标准单元库、可复用的宏功能模块库、IP 库等。在电路设计的各个阶段,EDA 系统需要不同层次、不同种类的元器件模型库的支持。例如,原理图输入时需要原理图符号库、宏模块库,逻辑仿真时需要逻辑单元的功能模型库,模拟电路仿真时需要模拟器件的模型库,版图生成时需要适应不同层次和不同工艺的底层版图库等。各种模型库的规模和功能是衡量 EDA 工具优劣的一个重要标志。

总而言之,从过去发展的过程看,EDA 技术一直滞后于制造工艺的发展,它在制造技术的驱动下不断进步;从长远看,EDA 技术将随着微电子技术、计算机技术的不断发展而

发展。“工欲善其事，必先利其器”，EDA 工具在现代电子系统的设计中所起的作用越来越大，未来它将在诸多因素的推动下继续进步。

1.2 Top-down 设计与 IP 核复用

数字系统的设计方法发生了深刻的变化。传统的数字系统采用搭积木式的方式进行设计，即由一些固定功能的器件加上一定的外围电路构成模块，由这些模块进一步形成各种功能电路，进而构成系统。构成系统的积木块是各种标准芯片，如 74/54 系列 (TTL)、4000/4500 系列 (CMOS) 芯片等，这些芯片的功能是固定的，用户只能根据需要从这些标准器件中选择，并按照推荐的电路搭成系统。设计时几乎没有灵活性可言，设计一个系统所需的芯片种类多且数量大。

PLD 器件和 EDA 技术的出现，改变了这种传统的设计思路，使人们可以立足于 PLD 芯片来实现各种不同的功能，新的设计方法能够由设计者自己定义器件的内部逻辑和引脚，将原来由电路板设计完成的工作大部分放在芯片的设计中进行。这样不仅可以通过芯片设计实现各种数字逻辑功能，而且引脚定义的灵活性减轻了原理图和印制板设计的工作量和难度，增加了设计的自由度，提高了效率。同时，这种设计减少了所需芯片的种类和数量，缩小了体积，降低了功耗，提高了系统的可靠性。

在基于 EDA 技术的设计中，通常有两种设计思路：一种是自顶向下 (Top-down) 的设计思路，另一种是自底向上 (Bottom-up) 的设计思路。

1.2.1 Top-down 设计

Top-down 设计，即自顶向下的设计。这种设计方法首先从系统设计入手，在顶层进行功能方框图的划分和结构设计。在功能级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述，然后用综合工具将设计转化为具体门电路网表，其对应的物理实现可以是 PLD 器件或专用集成电路 (ASIC)。设计的主要仿真和调试过程是在高层次上完成的，这一方面有利于早期发现结构设计上的错误，避免设计工作的浪费，另一方面也减少了逻辑功能仿真的工作量，提高了设计的一次成功率。

在 Top-down 设计中，将设计分成几个不同的层次：系统级、功能级、门级和开关级等，按照自上而下的顺序，在不同的层次上对系统进行设计与仿真。图 1.2 是这种设计方式的示意图。如图中所示，在 Top-down 的设计过程中，需要 EDA 工具的支持，有些步骤 EDA 工具可以自动完成，比如综合等，有些步骤 EDA 工具为用户提供了操作平台。Top-down 设计必须经过“设计—验证—修改设计—再验证”的过程，不断反复，直到得到的结果能够完全实现所要求的逻辑功能，并且在速度、功耗、价格和可靠性方面实现较为合理的平衡。不过，这种设计也并非绝对的，在设计的过程中，有时也需要用到自下而上的方法，就是在系统划分和分解的基础上，先进行底层单元设计，然后逐步向上进行功能块、子系统的设计，直至构成整个系统。

图 1.3 所示是用 Top-down 的设计方式设计 CPU 的示意图。首先在系统级划分，将整个 CPU 划分为几个模块，如 ALU，PC，RAM 模块等，对每个模块分别进行设计与描述，然后通过 EDA 工具将整个设计综合为门级网表，并实现它。在设计过程中，需要进行多次仿真和验证，不断修改设计。

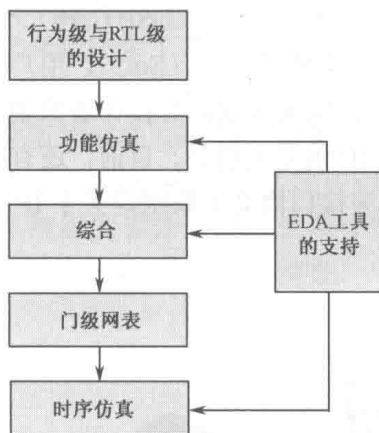


图 1.2 Top-down 设计方式

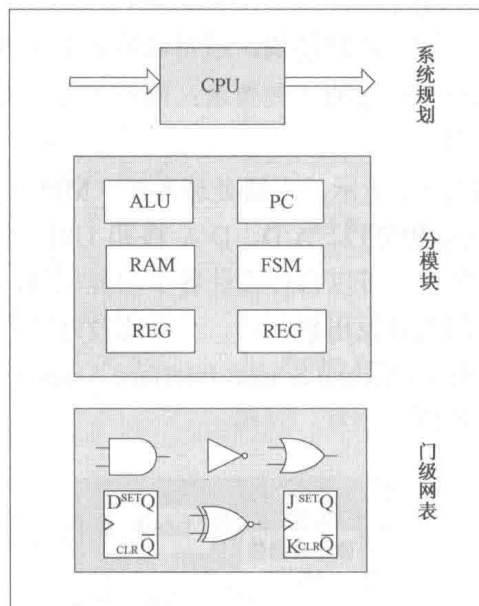


图 1.3 CPU 的 Top-down 设计方式示意图

1.2.2 Bottom-up 设计

Bottom-up 设计，即自底向上的设计，这是一种传统的设计思路。这种设计方式，一般是设计者选择标准集成电路，或者将各种基本单元，如各种门电路以及加法器、计数器等模块做成基本单元库，调用这些基本单元，逐级向上组合，直到设计出满足自己需要的系统。这样的设计方法就如同一砖一瓦建造金字塔，不仅效率低、成本高，而且容易出错。

Top-down 设计由于更符合人们逻辑思维的习惯，也容易使设计者对复杂的系统进行合理的划分与不断的优化，因此是目前设计思想的主流。而 Bottom-up 设计往往使设计者关注了细节，而对整个系统缺乏规划，当设计出现问题时，如果要修改，就会比较麻烦，甚至前功尽弃，不得不从头再来。因此，在数字系统的设计中，主要采用 Top-down 的设计思路，而以 Bottom-up 设计为辅。

1.2.3 IP 复用技术与 SoC

电子系统的设计越向高层发展，基于 IP 复用（IP Reuse）的设计技术越显示出优越性。IP（Intellectual Property）原来的含义是指知识产权、著作权等，在 IC 设计领域，可将其理解为实现某种功能的设计，IP 核（IP 模块）则是指完成某种功能的设计模块。

IP 核分为硬核、固核和软核三种类型。软核指的是在寄存器级或门级对电路功能用 HDL 进行描述，表现为 VHDL 或 Verilog HDL 代码。软核与生产工艺无关，不涉及物理实现，为后续设计留有很大空间，增大了 IP 的灵活性和适应性。用户可以对软核的功能加以裁剪以符合特定的应用，也可以对软核的参数进行设置，包括总线宽度、存储器容量、使能或禁止功能块等。硬核指的是以版图形式实现的设计模块，它基于一定的设计工艺，通

常用 GDS II 格式表示,不同的客户可以根据自己的需要选用特定生产工艺下的硬核。固核是完成了综合的功能块,通常以网表的形式提交客户使用。软核使用灵活,但其可预测性差,延时不一定能达到要求;硬核可靠性高,能确保性能,如速度、功耗等,能够很快地投入使用。

如图 1.4 所示,由微处理器核 (MPU Core)、数字信号处理器核 (DSP Core)、存储器核 (RAM/ROM)、A/D、D/A 核和 USB 接口核等构成一个系统芯片 (SoC)。用户在设计一个系统时,可以自行设计各个功能模块,也可以用 IP 模块来构建。对设计者来说,想要在短时间内开发出新产品,一个比较好的方法就是使用 IP 核完成设计。目前,还有专门的组织 VSIA (Virtual Socket Interface Association, 虚拟插座接口协会)来制定关于 IP 产品的标准与规范。

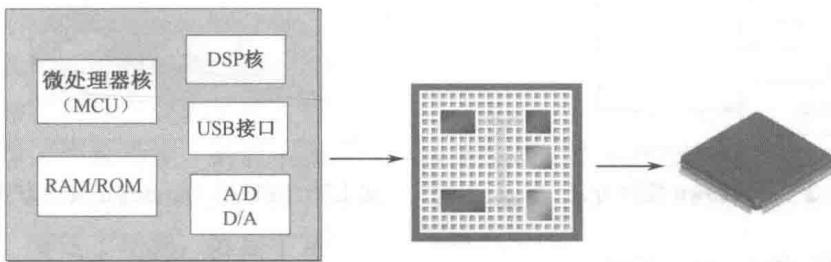


图 1.4 系统芯片 (SoC) 示意图

如上所述,基于 IP 复用的开发给设计者带来了诸多好处,如节省时间、缩短开发周期、避免重复劳动等。当然,IP 的发展还存在一些问题,如 IP 版权的保护、IP 的保密、IP 间的集成等。但基于 IP 复用的设计技术无疑会成为电子系统开发的重要手段之一。

系统芯片 (SoC),或者称为芯片系统、片上系统,是指把一个完整的系统集成在一个芯片上;或者说是用一个芯片实现一个功能完整的系统。系统芯片可以采用全定制的方式来实现,把设计的网表文件提交给半导体厂家流片得到,但采用这种方式风险性高、费用大、周期长。还有一种方式是采用可编程逻辑器件来实现。CPLD 和 FPGA 的集成度越来越高,速度也越来越快,设计者可以在其上通过编程完成自己的设计。今天,已不仅能用它们实现一般的逻辑功能,还可以把微处理器、DSP、存储器、标准接口等功能部件全部集成在其中,真正实现 System on Chip。

微电子制造工艺的进步为 SoC 的实现提供了硬件基础,而 EDA 软件技术的提高则为 SoC 创造了必要的开发平台。目前,EDA 的新工具、新标准和新方法正在向着高层化发展,过去已将设计从晶体管级提高到了逻辑门级,后来,又提高到了寄存器传输级,现在则越来越多地在系统级完成。

在数字系统进入 SoC 时代后,设计方法也随之产生变化。如果把器件的设计看成是设计者根据设计规则用软件搭接已有的不同模块,那么早期的设计是基于晶体管的 (Transistor Based Design)。在这一阶段,设计者最关心的是怎样减小芯片的面积,所以又称为面积驱动的设计 (Area Driving Design, ADD)。随着设计方法的改进,出现了以门级模块为基础的设计 (Gate Based Design)。在这一阶段,设计者在考虑芯片面积的同时,更多关注门级模块之间的延时,所以这种设计又称为时延驱动的设计 (Time Driving Design, TDD)。20

世纪 90 年代以来, 芯片的集成度进一步提高, 系统芯片 SoC 的出现, 使得以 IP 模块复用为基础的设计逐渐流行, 这种设计方法称为基于模块的设计方法 (Block Based Design, BBD)。在应用 BBD 方法进行设计的过程中, 逐渐产生的一个问题是, 在开发完一个产品后, 怎么能尽快开发出其系列产品。这样就产生了新的概念——PBD, PBD 是基于平台的设计方法 (Platform Based Design), 它是一种基于 IP 的、面向特定应用领域的 SoC 设计环境, 可以在更短的时间内设计出满足需要的电路。PBD 的实现依赖于如下关键技术的突破: 高层次系统级的设计工具, 软硬件协同设计技术, 等等。图 1.5 是上述设计方法演变的示意图。

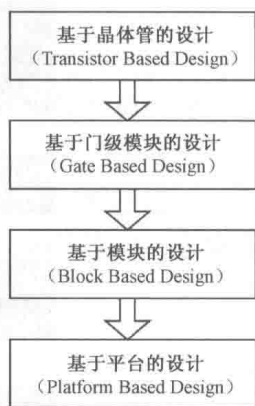


图 1.5 设计方法的演变

1.3 数字设计的流程

数字系统的实现主要可选择两类器件, 一类是可编程逻辑器件 (PLD), 另一类是专用集成电路 (ASIC), 这两类器件各有优点。

PLD (主要包括 FPGA 和 CPLD) 是一种半定制的器件, 器件内已做好各种逻辑资源, 用户只需对器件内的资源编程连接就可实现所需的功能, 而且可以反复修改、反复编程, 直到满足设计要求。用 PLD 实现设计直接面向用户, 具有其他方法不可比拟的方便性、灵活性和通用性, 硬件测试和实现快捷, 开发效率高、成本低、风险小。现代 FPGA 器件集成度不断提高, 等效门数已达到了千万门级, 在器件中, 除集成各种逻辑门和寄存器外, 还集成了嵌入式块 RAM、硬件乘法器、锁相环、DSP 块等功能模块, 使 FPGA 的使用更方便。EDA 开发软件对 PLD 器件提供强有力的支持, 其功能更全面、兼容性更强。

专用集成电路 (Application Specific Integrated Circuit, ASIC) 指用全定制方法来实现设计的方式, 它在最低层, 即物理版图级实现设计, 因此也称为掩膜 (Mask) ASIC。采用 ASIC, 能得到最高速度、最低功耗和最省面积的设计。它要求设计者必须使用版图编辑工具从晶体管的版图尺寸、位置及连线开始进行设计, 以得到芯片的最优性能。在进行版图设计时, 设计者需手工设计版图并精心地布局布线, 以获得最佳的性能和最小的面积。版图设计完成后, 还要进行一系列检查和验证, 包括设计规则检查、电学规则检查、连接性检查、版图与电路图一致性检查等, 全部通过后, 才可以将得到的标准格式的版图文件 (一般为 CIF、GDS II 格式) 交给半导体厂家进行流片。

ASIC 是在母片 (晶圆) 的基础上实现芯片的, 图 1.6 所示为一片 8 寸的晶圆 (Wafer), 每一个小方格经过切割, 封装后就是一颗芯片。ASIC 的实现成本高、设计周期长, 但可以设计出速度快、功耗低、尽量节省面积芯片, 适用于对性能要求很高、批量很大的芯片。

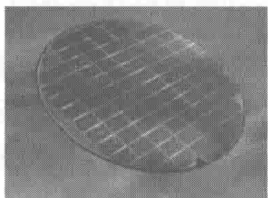


图 1.6 晶圆

采用 PLD 器件实现系统是一种周期短、投入少、风险小的选择; 而对于成熟的设计来说, 可考虑采用 ASIC 的形式实现, 以获得最优的性价比。

基于 FPGA/CPLD 器件的数字系统设计流程如图 1.7 所示, 包括设计输入、综合、布局布线、仿真和编程配置等步骤。