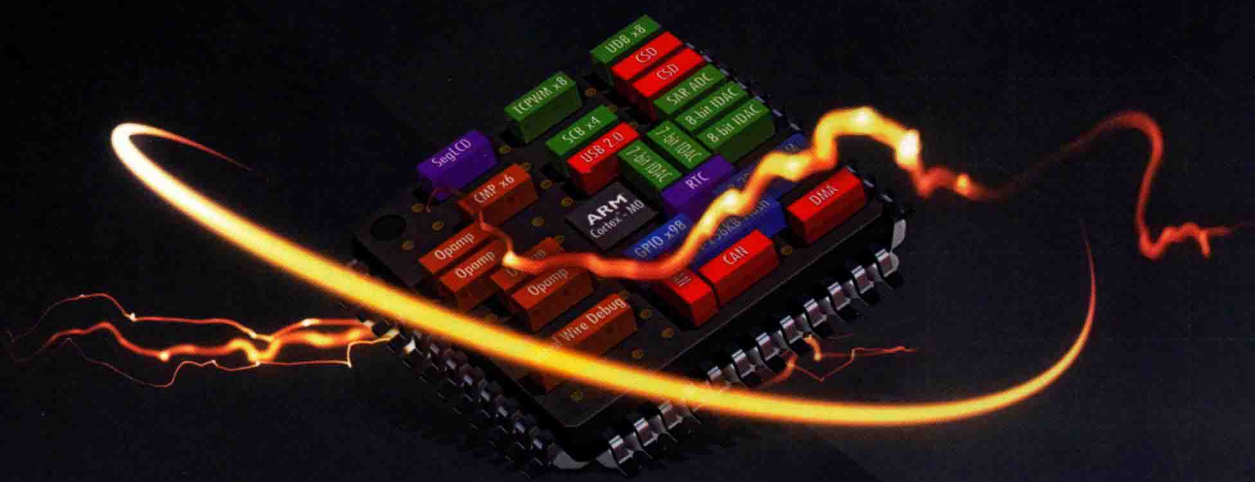
学习资源
见书中
学习说明

电子系统EDA新技术丛书

可重构嵌入式系统设计与实现

基于Cypress PSoC4 BLE智能互联平台

◎ 何 宾 编著



- 堆积木式的硬件系统和软件代码自动生成的低功耗嵌入式系统设计平台
- 内嵌用于智能互联的低功耗蓝牙模块
- 将模拟元件、数字元件和ARM Cortex-M0处理器内核集成在单芯片中

中国工信出版集团
電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
http://www.phei.com.cn

电子系统 EDA 新技术丛书

可重构嵌入式系统设计与实现

基于 Cypress PSoC4 BLE 智能互联平台

何 宾 编著

電子工業出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书基于 Cypress 公司的 PSoC4 BLE 嵌入式平台，该平台以 ARM Cortex-M0 处理器为内核，集成了模拟可编程阵列和数字可编程阵列，并且新集成了低功耗蓝牙模块，使得该平台成为物联网应用的极佳选择。本书共 14 章，主要包括可重构嵌入式系统设计导论、可重构嵌入式系统基本设计流程、Cortex-M0 CPU 结构、Cortex-M0 指令集、AHB-Lite 总线结构分析、Cortex-M0 低功耗特性、Cortex-M0 汇编语言编程基础、中断系统的构建和实现、C 语言代码设计与优化方法、电容感应触摸控制模块原理及实现、低功耗蓝牙模块原理及实现、通用数字块原理及实现、模拟子系统原理及实现，以及 FreeRTOS 原理及应用等内容。

本书反映了基于 Cypress 公司的 PSoC 可编程片上系统发展的最新成果，系统化和模块化地介绍了 PSoC4 BLE 内所集成的 ARM Cortex-M0 CPU 硬核处理器的结构及指令集、PSoC4 BLE 内各个功能单元的结构，以及基于 PSoC Creator 4.1 软件的片上系统的设计流程。

本书注意理论和实践相结合，同时给出了大量的设计实例，使读者能够掌握这一新的设计技术，以便推动电子系统设计方法的创新。

本书可作为大学本科生和研究生教材，也可作为从事 Cypress 可编程片上系统设计的设计人员的参考用书，同时也可作为 Cypress 公司相关内容的培训教材。

图书在版编目（CIP）数据

可重构嵌入式系统设计与实现：基于 Cypress PSoC4 BLE 智能互联平台 / 何宾编著. —北京：电子工业出版社，2018.11
（电子系统 EDA 新技术丛书）
ISBN 978-7-121-35104-4

Ⅰ. ①可… Ⅱ. ①何… Ⅲ. ①微型计算机－系统设计 Ⅳ. ①TP360.21

中国版本图书馆 CIP 数据核字（2018）第 218250 号

策划编辑：张 迪（zhangdi@phei.com.cn）
责任编辑：张 迪
印 刷：北京京科印刷有限公司
装 订：北京京科印刷有限公司
出版发行：电子工业出版社
北京市海淀区万寿路 173 信箱 邮编 100036
开 本：787×1 092 1/16 印张：17 字数：435 千字
版 次：2018 年 11 月第 1 版
印 次：2018 年 11 月第 1 次印刷
定 价：69.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888，88258888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式：（010）88254469；zhangdi@phei.com.cn。

前　言

随着半导体技术的发展和芯片集成度的提高，越来越多的厂商开始提供在单芯片上实现复杂系统的解决方案，即基于 PSoC 的解决方案。这种解决方案提高了设计的可靠性，缩短了系统设计周期，降低了设计成本，极大地满足了市场对产品竞争力的要求。

作为全球知名的半导体公司，美国 Cypress 公司率先在业界实现了完全意义上的 PSoC 解决方案，即在单芯片上实现了 MCU、数字和模拟系统的高度集成。PSoC 技术的不断发展，将大大推动电子系统设计方法的创新，并且对未来嵌入式系统设计领域带来深远的影响。Cypess 的 PSoC4 BLE 集成了 ARM 公司的 Cortex-M0 CPU 核。这种集成高性能 Cortex-M0 CPU 的片上可编程系统，极大地改善了片上系统的整体性能，拓宽了片上可编程系统的应用领域，进一步满足了不同用户的需求，尤其是在物联网方面的应用。

本书全面系统地介绍了 Cypress 公司的 PSoC4 BLE 可编程片上系统体系结构。通过系统介绍其系统结构和设计流程，使读者能够系统且全面地掌握 PSoC 的体系结构和实现方法。本书共 14 章，主要包括可重构嵌入式系统设计导论、可重构嵌入式系统基本设计流程、Cortex-M0 CPU 结构、Cortex-M0 指令集、AHB-Lite 总线结构分析、Cortex-M0 低功耗特性、Cortex-M0 汇编语言编程基础、中断系统的构建和实现、C 语言代码设计与优化方法、电容感应触摸控制模块原理及实现、低功耗蓝牙模块原理及实现、通用数字块原理及方法实现、模拟子系统原理及实现，以及 FreeRTOS 原理及应用等内容。

在本书的编写过程中，引用和参考了 Cypress 公司新一代的研究成果和设计文档等资料。参加本书编写的还有王中正、汤宗美和张艳辉。此外，本书写作得到了 Cypress 公司的大力帮助，为本书的编写提供了数据手册、技术参考资料和 PSoC4 BLE 开发板。此外，在编写 FreeRTOS 原理及应用一章的内容时，参考了一些网上作者的研究成果（已经进行了说明），在此也向他们的辛勤工作表示感谢。

本书的完稿也意味着，Cypress PSoC 系列书籍形成了一个完整的框架结构，用于满足国内不同层次的读者对 PSoC4 BLE 新技术的需要。在本书的出版过程中，得到了电子工业出版社编辑和领导的帮助与指导，在此向电子工业出版社的各位朋友表示深深的谢意。

由于编者水平有限，编写时间仓促，书中难免有疏漏之处，敬请读者批评指正。

作者

2018 年 11 月

学 习 说 明

Study Shows

1．本书视频课堂地址

书中提及的完整的公共免费高清视频可到北京汇众新特科技有限公司网络课堂观看学习，网址：

http://www. edawiki. com

2．本书教学课件（PPT）及工程文件下载地址

北京汇众新特科技有限公司维基页面，网址：

http://www.edawiki.com

注意：所有教学课件及工程文件仅限购买本书的读者学习使用，不得以任何方式传播！

3．本书作者联络方式

何宾的网站：http://www.gpnewtech.com

何宾的电子邮件：hb@gpnewtech.com

4．何宾老师的微信公众号

5．STC 单片机交流群

群号：457066869

目　录

第 1 章　可重构嵌入式系统设计导论

Cypress（赛普拉斯）公司的可重构微控制器（Reconfigurable Microcontroller Unit，RMCU）将处理器内核、可编程逻辑阵列和模拟可编程阵列等资源集成在单芯片上，为嵌入式系统的发展带来了前所未有的机遇。

本章将主要介绍可重构嵌入式系统的背景和优势、可重构嵌入式系统的设计重用、PSoC4 BLE 的结构及功能、PSoC4 BLE 设计流程和 PSoC4 BLE 的硬件连接。通过这些内容的介绍，可以帮助读者理解为什么可重构嵌入式系统是嵌入式系统的发展方向，以及为嵌入式开发人员所带来的前所未有的机遇。

1.1　可重构嵌入式系统的背景和优势

嵌入式系统（Embedded System）包含以下几个层次的含义：

（1）面向特定的应用，如移动电话和平板电脑等都是面向某一类的应用。

（2）包含软件和硬件的计算机系统。

（3）体积较小，结构紧凑。

（4）功耗进行优化，强调低功耗。

（5）具有较好的性价比，即在成本和性能之间进行最优的权衡。

其中第（2）点是构成嵌入式系统最基本的要素，即在嵌入式系统中必须包含软件和硬件。

1.1.1　传统的嵌入式系统构建方法

传统上，构成嵌入式系统硬件的核心部件是微控制器（Microcontroller Unit，MCU），例如由 8051 核构成的 MCU。目前，构成嵌入式系统 MCU 的内核主要是指 ARM 公司的 Cortex-M、Cortex-R 和 Cortex-A 系列的处理器 IP 核。ARM 公司（http://www.arm.com）本身并不制造芯片，它只是将这些处理器的 IP 核授权给芯片制造商，如 NXP、ST、TI、CYPRESS 公司，然后由这些芯片制造商基于授权的处理器 IP 核，制造出能够满足不同需求的 MCU。这些需求分布在不同的领域，如汽车电子、移动支付和移动通信等。

因此，对于一个 MCU 而言，很难满足多个领域的要求，这是因为这些 MCU 芯片的内部结构是固定的，并且外设（外部设备）接口的功能和数量也是固定的。传统上，为了满足不同的应用需求，就需要为不同的应用选择不同类型的 MCU。例如，意法半导体公司提供了多达上百种的 MCU 供设计者进行选择。很明显，当选择不同的 MCU 时，就需要重新设计一套包含 MCU、模拟和数字器件的硬件系统。此外，当选择不同的 MCU 时，也需要在不同的 MCU 之间“移植”应用，这样也会增加设计成本和设计周期。

综上所述，传统的嵌入式系统的设计方法已经不能满足未来世界在新兴技术方面的发展要求，如物联网（Internet of Thing，IoT）的应用要求。在这种技术中，需要将具有不同功能和接口的“物”（获取信息的传感器）互联在一起，并且通过编写软件代码从这些“物”中提取所需要的信息。

在嵌入式系统中，采用什么样的硬件和软件方案，成本、性能、功耗、设计周期和器件的供货周期是最重要的考虑因素，具体归结为以下几个因素：

（1）硬件的整体成本，包括使用的元器件的总成本、电路板的设计成本和 PCB 的制板成本等。

（2）软件的整体成本，包括编写代码投入的开发人员和开发软件的设计周期等。在不同的 MCU 之间移植软件设计代码时，可能需要重新编写所有的设计代码。

（3）系统的整体功耗。在嵌入式系统中，所用 MCU 是影响系统整体功耗的最重要因素。但是，在所用不同类型 MCU 功耗差别不大的情况下，所使用的电子元器件数量越少，则系统的整体功耗就越小。

（4）系统的体积和结构。在嵌入式设计中，系统的体积和结构也是选择方案的一个重要因素。很明显，当嵌入式系统所使用的电子元器件数量越少，则 PCB 的面积就越小，系统的体积就会显著减少。

从上面可知，在传统的嵌入式系统设计中，所选择的 MCU 大多采用了具有强大功能的片上系统（System on Chip，SoC）解决方案，即在 MCU 中尽可能地集成高性能的处理器内核、大容量的 Flash、大容量的 SRAM，以及外设控制器等资源，这样做可以显著降低嵌入式系统所使用的元器件数量，因而降低了系统的整体功耗和系统的体积。

但是，对于一些应用而言，采用 SoC 方案的 MCU 仍然不能解决下面的问题：

（1）应用领域相对较窄，也就是说一个采用 SoC 方案的 MCU 可以应用的领域非常有限，因此，硬件和软件的通用型受到限制，硬件和软件的可移植性较差。

（2）由于采用 SoC 方案的 MCU 的内部结构是固定的，也就是设计者不可能修改 MCU 的内部架构，因此在应用时就存在不能最大限度发挥其性能的缺陷。对于软件设计人员而言，只能在这个固定架构的 MCU 上开发应用，这样也限制了软件设计的灵活性。

（3）由于在面向不同的应用时需要重新进行硬件和软件的设计与移植，因此延长了产品的开发周期，增加了设计成本。

综上所述，在选择嵌入式系统的解决方案时，要从系统整体进行分析，而不是仅仅局限在某个局部。例如，我们经常听到很多嵌入式工程师在选择设计方案时说，某 MCU 非常便宜，某 MCU 很贵，单纯的价钱贵贱并是唯一的考虑因素，而是要“物尽其用”。

1.1.2 可重构嵌入式系统构建方法

问题的进一步延伸，读者自然会想到下面的问题，即 MCU 能否不但具有传统 SoC 的强大功能，而且还能让设计者修改 MCU 内部的结构，包括所使用的资源，以及这些资源之间的连接关系。因此，我们将这种可以修改内部结构并且具有传统 SoC 强大功能的 MCU 称为可重构 MCU。这种可重构 MCU 为嵌入式系统朝着“定制化、通用化、智能化”方向的发展奠定了坚实的基础。

可重构 MCU 由世界著名的半导体厂商——美国 Cypress（中文名为赛普拉斯，官网为

http://www.cypress.com）公司实现（据 2016 年统计，赛普拉斯是全球第 8 大 MCU 厂商，其在嵌入式领域的市场份额增长迅猛），将其称为可编程片上系统（Programmable System on Chip，PSoC）。这种可重构 MCU 最具有以下特点。

（1）在一个 MCU 芯片内，集成了处理器内核、模拟器件和数字逻辑阵列。根据片内集成处理器内核的不同，将其进一步划分为 PSoC1、PSoC3、PSoC4、PSoC5 和 PSoC6。

① PSoC1 的 MCU 芯片内集成了 M8C 的 8 位处理器内核。

② PSoC3 的 MCU 芯片内集成了 8051 的 8 位处理器内核。

③ PSoC4 的 MCU 芯片内集成了 Cortex-M0 的 32 位处理器内核。当在 PSoC4 内集成蓝牙模块时，进一步细分为 PSoC4 BLE。

④ PSoC5 的 MCU 芯片内集成了 Cortex-M3 的 32 位处理器内核。

⑤ PSoC6 的 MCU 芯片内集成了两个 Cortex-M0 的 32 位处理器内核。

（2）采用了基于知识产权（Intellectual Property，IP）核的“积木块”的设计思想。在 Cypress 提供的 PSoC Creator 软件集成开发环境中，根据不同的应用要求，在原理图设计界面内通过连线将不同的积木块（IP 核）进行组合，从而可以在可重构 MCU 内灵活构建嵌入式系统的硬件结构。

（3）如果嵌入式开发人员发现，Cypress 提供的“积木块”不能够满足某些数字设备的应用需求时，还可以通过可重构 MCU 内集成的通用逻辑块（Universal Design Block，UDB）资源，使用 Verilog HDL 语言，在 MCU 内“合成”一个特定的专用数字外设。

（4）软件自动生成技术。设计者一旦在可重构 MCU 内完成了嵌入式系统的硬件构建，就可以通过 PSoC Creator 软件自动为这些硬件生成“高度封装”的应用程序接口（Application Program Interface，API）函数，这些函数尽可能屏蔽了底层的具体硬件结构，结果使得软件设计人员在开发软件应用时根本不需要知道底层的硬件细节。

（5）软件的自动移植技术。当设计者在 Cypress 不同系列的可重构 MCU 上移植软件应用时，PSoC Creator 软件根据不同的处理器内核自动生成“高度封装”的 API，使得软件设计人员无须修改软件应用，就可以在不同的可重构 MCU 上运行软件应用。

通过表 1.1，可以使读者更进一步理解可重构 MCU 与采用 ARM Cortex-M0 的通用 MCU 的区别。

表 1.1　可重构 MCU 与采用 ARM Cortex-M0 的通用 MCU 的区别

	可重构 MCU	采用 ARM Cortex-M0 的通用 MCU
典型器件	采用 Cortex-M0 内核的 PSoC4 MCU，如 CY8C4124PVI-442T	ST（意法半导体）公司的 STM32F0x0
硬件	内部集成大量软件和硬件可配置的模拟模块	内部虽然有部分模拟模块，但功能简单，不能随意配置
	内部根据用户要求可定制外设（IP）	无用户定制外设（IP）功能
	端口功能丰富，可配置模拟/数字功能、驱动能力等	端口功能单一
	引脚可以和内部模块任意连接	引脚固定，不能修改引脚和内部模块的连接方式
软件	汇编和 C 语言编程	汇编和 C 语言编程
	预建立/用户定制元件驱动函数自动生成	无元件驱动函数自动生成

当嵌入式系统采用可重构 MCU 构建时，与传统采用固定 SoC 架构的 MCU 相比，优势主要体现在以下几方面。

（1）由于在可重构 MCU 内提供了大量通用的电子模块（IP 核）单元，减少了系统中所使用的电子元器件的数量，因而显著减少了 PCB 的面积，使得所构建的嵌入式系统的体积小巧，结构紧凑。

（2）由于可重构 MCU 基于 IP 搭积木的设计思想，使得在有限个 IP 的情况下，可以构建出大量的不同硬件结构来满足设计要求，这也是以“不变”应“万变”，即需求总是不断变化的，而只使用一个可重构 MCU，采用设计“重用”的方法，就可以满足不断变化的需求。

（3）软件代码自动生成技术和软件应用“重用”方法，显著降低了软件应用的开发难度和软件代码的编写量。

（4）采用可重构 MCU 的嵌入式系统，提供了更加灵活的功耗控制方法。与传统上采用 SoC 架构的 MCU 所构建的嵌入式系统相比，采用可重构 MCU 的嵌入式系统的整体功耗进一步降低。

（5）大大缩短了嵌入式产品的上市周期。由于采用可重构 MCU，使得嵌入式系统的软件和硬件均可以实现“重构”和“重用”，因此缩短了新产品的开发时间，加快了产品的上市速度，抢占了市场先机。

1.1.3 PSoC 性能比 MCU 更优越

一个典型的 MCU 架构如图 1.1 所示，它的内部处理器内核为 8051/ARM Cortex，并且包含一系列的外设，如 ADC、DAC、UART、SPI 和通用 I/O，所有这些器件都与 CPU 的寄存器接口相连。在某个内部 MCU 中，可以将 CPU 称为该器件的“心脏”——由于它监控着器件的所有活动，包括设置数据移动和时序。如果没有 CPU，那么该 MCU 便不能发挥其性能。PSoC 的内部架构如图 1.2 所示。

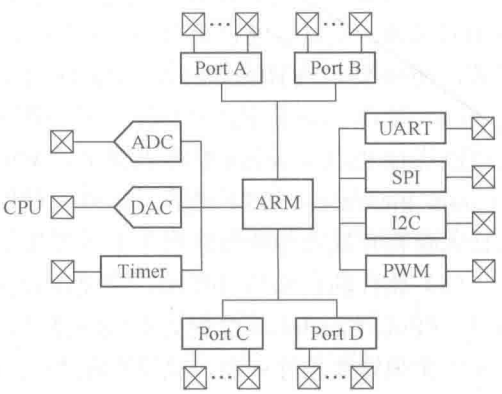


图 1.1 一个典型的 MCU 架构

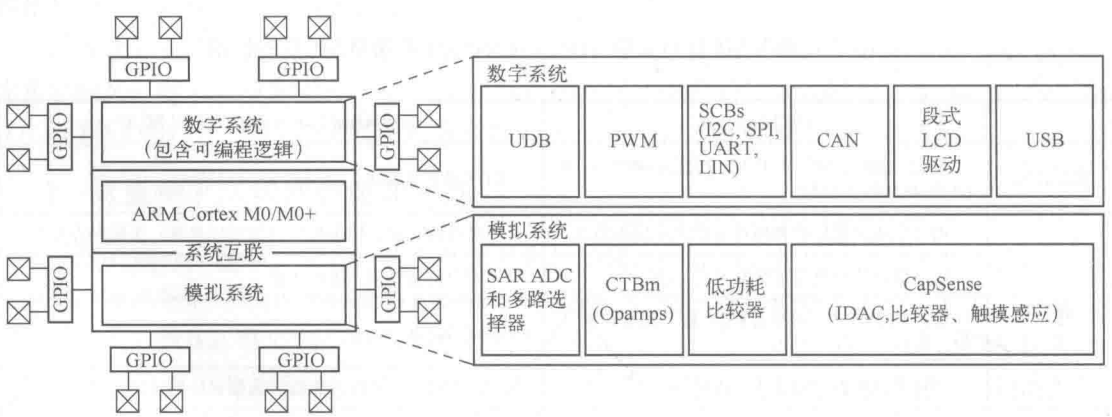


图 1.2 PSoC4 的内部架构