

FPGA技术及应用

FPGA JISHU JI YINGYONG

编 著 ● 李翠锦 朱济宇 钱雅楠 李成勇

FPGA 技术及应用

编 著 // 李翠锦 朱济宇 钱雅楠 李成勇



西南交通大学出版社

• 成都 •

图书在版编目(CIP)数据
FPGA 技术及应用 / 李翠锦等编著. —成都: 西南
交通大学出版社, 2017.10
ISBN 978-7-5643-5811-2

I. ①F… II. ①李… III. ①可编程逻辑器件—系
统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2017) 第 244661 号

FPGA 技术及应用

编著 李翠锦 朱济宇 钱雅楠 李成勇

责任编辑 李芳芳
助理编辑 梁志敏
封面设计 何东琳设计工作室

出版发行 西南交通大学出版社
(四川省成都市二环路北一段 111 号
西南交通大学创新大厦 21 楼)

邮政编码 610031
发行部电话 028-87600564 028-87600533
官网 <http://www.xnjdcbs.com>
印刷 四川森林印务有限责任公司

成品尺寸 185 mm × 260 mm
印张 15
字数 375 千
版次 2017 年 10 月第 1 版
印次 2017 年 10 月第 1 次
定价 39.50 元
书号 ISBN 978-7-5643-5811-2

图书如有印装质量问题 本社负责退换
版权所有 盗版必究 举报电话: 028-87600562

前言

FPGA（现场可编程门阵列）是一种大规模可编程逻辑器件，在当前的电子设计领域被广泛应用。虽然 FPGA 芯片的成本较高，但是它给电子系统所带来的不可限量的速度和带宽，及其在灵活性、小型性方面的优势，越来越被追求高性能、偏重定制化需求的开发者所青睐。因此，在高校开设此门课程，以适应电子设计专业的发展需要，对培养专业人才，强化学生实践能力意义重大。

本书依托重庆市教委教研教改项目（项目编号：163163）和重庆工程院校内教改重点项目（项目编号：JY2015204），按照 CDIO 工程教育创新模式，结合教育部“卓越工程师教育培养计划”的实施原则，突出基本理论与实际应用相结合。通过合理安排内容，在保证基本理论知识的前提下，兼顾传统设计方法与软硬件设计方法、单元电路与系统设计的关系。本书以 Altera 的 FPGA 为例，对 FPGA 内部结构做了深入的分析，并介绍了 Altera 公司的 Modelsim 仿真软件及 QuartusII 开发环境。

全书共 8 章。第 1 章 FPGA 入门简介，讲述可编程器件的一些基本概念、主要应用领域、相比传统技术的优势以及开发流程。第 2 章 Verilog HDL 的基础知识，介绍使用最广泛的 Verilog 语言的基本语法及使用方法。第 3 章设计验证，讲述如何验证所电路的正确性。第 4 章 Modelsim 仿真软件，介绍 Modelsim 仿真软件的安装流程及使用方法。第 5 章 QuartusII 综合工具，介绍 QuartusII 综合软件安装流程、使用方法及如何下载程序至开发板上。第 6 章可综合模型设计，介绍优良的代码书写规范和风格。第 7 章有限状态机的设计，使用 2 个实例着重介绍时序设计的应用。第 8 章 FPGA 系统设计实例，通过 6 个项目来展示 FPGA 的一些设计流程及在线调试方法。

全书由重庆工程学院李成勇主任统稿和审校，其中第 4、5、6、7、8 章由李翠锦执笔，第 1、3 章由朱济宇执笔，第 2 章由钱雅楠执笔。另外，在本书的编写过程中，得到了曾凡鑫教授的大力支持，他为本书提出了许多宝贵意见，在此表示感谢。

限于编者水平，书中难免存在不足之处，恳请各位专家和读者批评指正。

编者

2017 年 8 月

目 录

第 1 章	FPGA 入门简介	001
1.1	FPGA 发展历程	001
1.2	FPGA 与 ASIC、CPLD 的区别	003
1.2.1	FPGA 与 CPLD	003
1.2.2	FPGA 与 CPLD	003
1.3	FPGA 工作原理	004
1.3.1	FPGA 的基本特点	004
1.3.2	FPGA 配置模式	005
1.4	FPGA 设计流程与设计方法	005
1.4.1	关键步骤的实现	006
1.4.2	自顶向下和自底向上	008
1.4.3	基于 IP 核的设计	008
1.5	主要 FPGA/CPLD 厂家	009
1.6	FPGA 的应用	010
1.7	EAD 技术	010
1.8	本书的编排	012
第 2 章	Verilog HDL 的基础知识	013
2.1	硬件描述语言 (HDL) 概述	013
2.1.1	硬件描述语言的优越性	013
2.1.2	硬件描述语言的发展历史	014
2.1.3	HDL 语言的主要特征	014
2.1.4	Verilog HDL 与 VHDL 的比较	015
2.1.5	Verilog HDL 设计流程及设计方法简介	015
2.1.6	硬件描述语言新的发展	017
2.2	程序结构	017
2.3	词法习俗	021
2.4	数据类型	024
2.4.1	物理数据类型	024
2.4.2	抽象数据类型	024
2.5	运算符和表达式	025
2.5.7	其他运算符	030
2.5.8	运算符优先级排序	031

2.6	控制结构	032
2.6.1	选择结构	032
2.6.2	重复结构	033
2.7	其他语句	035
2.8	任务和函数结构	038
2.9	时序控制	039
2.9.1	延迟控制	039
2.9.2	事件	040
2.9.3	等待语句	041
2.9.4	延迟定义块	042
第 3 章	设计验证	044
3.1	验证综述	044
3.1.1	验证的概念	044
3.1.2	验证和测试	045
3.1.3	自顶向下和自底向上的验证方法	045
3.1.4	主要验证技术	047
3.1.5	验证工具介绍	049
3.1.6	验证计划和流程	050
3.2	功能验证	052
3.2.1	验证程序 (testbench) 的组成	052
3.2.2	实用构造 testbench 技术	058
3.3	基于断言的验证	078
3.4	时序验证	081
3.4.1	静态时序分析概述	082
3.4.3	假路径和多周期路径	089
第 4 章	Modelsim 仿真软件	093
4.1	Modelsim 软件安装	093
4.2	Modelsim 仿真方法	094
4.2.1	前仿真	094
4.2.2	后仿真	094
4.3	Modelsim 仿真的基本步骤	095
4.3.1	建立库	095
4.3.2	编写与编译测试文件	096
4.3.3	执行仿真	099
4.4	Modelsim 波形	106
4.4.1	手动创建输入波形	106
4.4.2	观察特定信号波形	107

4.4.3	保存和导入波形文件	108
4.4.4	Dataflow 窗口观察信号波形	108
第 5 章	Quartus 综合工具	110
5.1	基于 Quartus II 的系统设计流程	110
5.2	计数器的 Verilog HDL 设计	111
5.2.1	编辑设计文件	111
5.2.2	创建工程	113
5.2.3	编译前设置	116
5.2.4	编 译	117
5.2.5	仿 真	119
5.2.6	引脚锁定	123
5.2.7	编程下载	124
第 6 章	可综合模型设计	126
6.1	可综合代码的编码风格	126
6.1.1	阻塞赋值和非阻塞赋值	126
6.1.2	组合电路设计	131
6.1.3	时序电路设计	145
6.3.2	时序电路的建模	149
6.2	亚稳态及其解决方法	151
6.3	存储器的设计	154
6.4	模块设计	155
6.5	系统规范	157
6.5.1	系统规范的内容	157
第 7 章	有限状态机的设计	160
7.1	有限状态机简介	160
7.1.1	有限状态机的基本概念	160
7.1.2	用 Verilog 语言描述显示的有限状态机	161
7.2	两种状态机模型	162
7.2.1	moore 型红绿灯	162
7.2.2	mealy 型红绿灯	166
7.3	深入理解状态机	168
7.3.1	一段式状态机	168
7.3.2	两段式状态机	173
7.4	应用实例	176
7.4.1	独热码状态机	176
7.4.2	格雷码状态机	180

第 8 章	FPGA 系统设计实例	184
8.1	项目一 出租车计费器	184
8.1.1	项目设计目的	184
8.1.2	项目设计功能描述	184
8.1.3	项目实现要求	184
8.1.4	项目设计思想和过程	184
8.1.5	项目设计扩展	190
8.2	项目二 智力抢答器	190
8.2.1	项目设计目的	190
8.2.2	项目设计要求	190
8.2.3	项目设计思想和过程	191
8.2.4	项目设计扩展	198
8.3	项目三 点阵型显示	198
8.3.1	项目设计目的	198
8.3.2	项目设计要求	199
8.3.3	项目设计思想和过程	199
8.3.4	项目设计扩展	204
8.4	项目四 自动售货机	204
8.4.1	项目设计目的	204
8.4.2	项目设计要求	204
8.4.3	项目设计思想和过程	205
8.4.4	项目设计扩展	210
8.5	项目五 数字闹钟	211
8.5.1	项目设计目的	211
8.5.2	项目设计要求	211
8.5.3	项目设计思想和过程	211
8.5.4	项目设计扩展	221
8.6	项目六 乒乓球游戏电路	221
8.6.1	项目设计目的	221
8.6.2	项目设计要求	221
8.6.3	项目设计思想和过程	221
8.6.4	项目设计扩展	231
参考文献		232

第 1 章 FPGA 入门简介

FPGA (Field-Programmable Gate Array), 即现场可编程门阵列, 是在 PAL、GAL、CPLD 等可编程器件的基础上进一步发展的产物。它作为专用集成电路 (ASIC) 领域中的一种半定制电路, 既解决了定制电路的不足, 又克服了原有可编程器件门电路数有限的缺点。读者可以带着如下问题阅读本章:

- (1) FPGA 与 ASIC、CPLD 的主要区别有哪些?
- (2) FPGA 的特点是什么?
- (3) FPGA 设计流程是什么?

1.1 FPGA 发展历程

每一个看来很成功的新事物, 从诞生到发展壮大都不可避免地经历过艰难的历程, 并可能成为被研究的案例, FPGA 也不例外。

1985 年, 当全球首款 FPGA 产品——XC2064 诞生时, 注定要使用大量芯片的 PC 机刚刚走出硅谷的实验室进入商业市场, 因特网只是科学家和政府机构通信的神秘链路, 无线电话笨重得像砖头, 日后大红大紫的 BillGates 正在为生计而奋斗, 创新的可编程产品似乎并没有什么用武之地。

事实也的确如此。最初, FPGA 只是用于胶合逻辑 (GlueLogic), 从胶合逻辑到算法逻辑再到数字信号处理、高速串行收发器和嵌入式处理器, FPGA 真正地从配角变成了主角。在以闪电般速度发展的半导体产业里, 22 年足够改变一切。“在未来十年内每一个电子设备都将有一个可编程逻辑芯片”的理想正成为现实。

1985 年, Xilinx 公司推出的全球第一款 FPGA 产品 XC2064 怎么看都像是一只“丑小鸭”——采用 2 μm 工艺, 包含 64 个逻辑模块和 85 000 个晶体管, 门数量不超过 1 000 个。22 年后的 2007 年, FPGA 业界双雄 Xilinx 和 Altera 公司纷纷推出了采用最新 65 nm 工艺的 FPGA 产品, 其门数量已经达到千万级, 晶体管个数更是超过 10 亿个。一路走来, FPGA 在不断地紧跟并推动着半导体工艺的进步——2001 年采用 150 nm 工艺、2002 年采用 130 nm 工艺, 2003 年采用 90 nm 工艺, 2006 年采用 65 nm 工艺。

在上世纪 80 年代中期, 可编程器件从任何意义上来讲都不是当时的主流, 虽然其并不是一个新的概念。可编程逻辑阵列 (PLA) 在 1970 年左右就出现了, 但是一直被认为速度慢, 难以使用。1980 年之后, 可配置可编程逻辑阵列 (PAL) 开始出现, 可以使用原始的软件工具提供有限的触发器和查找表实现能力。PAL 被视为小规模/中等规模集成胶合逻辑的替代选

择被逐步接受,但是当时可编程能力对于大多数人来说仍然是陌生和具有风险的。20 世纪 80 年代在“megaPAL”方面的尝试使这一情况更加严重,因为“megaPAL”在功耗和工艺扩展方面有严重的缺陷,限制了它的广泛应用。

然而,Xilinx 公司创始人之一——FPGA 的发明者 RossFreeman 认为,对于许多应用来说,如果实施得当的话,灵活性和可定制能力都是具有吸引力的特性。也许最初只能用于原型设计,但是未来可能代替更广泛意义上的定制芯片。事实上,正如 Xilinx 公司亚太区营销董事郑馨南所言,随着技术的不断发展,FPGA 由配角到主角,很多系统设计都是以 FPGA 为中心来设计的。FPGA 走过了从初期开发应用到限量生产应用再到大批量生产应用的发展历程。从技术上来说,最初只是逻辑器件,现在强调平台概念,加入数字信号处理、嵌入式处理、高速串行和其他高端技术,从而被应用到更多的领域。90 年代以来的 20 年间,PLD 产品的终极目标一直瞄准速度、成本和密度三个指标,即构建容量更大、速度更快和价格更低的 FPGA,让客户能直接享用。Actel 公司总裁兼首席执行官 JohnEast 如此总结可编程逻辑产业的发展脉络。

当 1991 年 Xilinx 公司推出其第三代 FPGA 产品——XC4000 系列时,人们开始认真考虑可编程技术了。XC4003 包含 44 万个晶体管,采用 0.7 μm 工艺,FPGA 开始被制造商认为是可以用于制造工艺开发测试过程的良好工具。事实证明,FPGA 可为制造工业提供优异的测试能力,FPGA 开始用来代替原先存储器所扮演的用来验证每一代新工艺的角色。最新工艺的采用为 FPGA 产业的发展提供了机遇。

Actel 公司相信,Flash 将继续成为 FPGA 产业中重要的一个增长领域。Flash 技术有其独特之处,能将非易失性和可重编程性集于单芯片解决方案中,因此能提供高成本效益,有利于抢占庞大的市场份额。Actel 以 Flash 技术为基础的低功耗 IGLOO 系列、低成本的 ProASIC3 系列和混合信号 Fusion FPGA 将因具备 Flash 的固有优势而继续引起全球广泛的兴趣和注意。

Altera 公司估计可编程逻辑器件市场在 2006 年的规模大概为 37 亿美元,Xilinx 公司的估计更为乐观一些,为 50 亿美元。虽然两家公司合计占据该市场 90% 的市场份额,但是作为业界老大的 Xilinx 公司在 2006 年的营收不过 18.4 亿美元,Altera 公司则为 12.9 亿美元。PLD 市场在 2000 年达到 41 亿美元,其后两年出现了下滑,2002 年大约为 23 亿美元。虽然从 2002 年到 2006 年,PLD 市场每年都在增长,复合平均增长率接近 13%,但是 PLD 终究是一个规模较小的市场。而 Xilinx 公司也敏锐地意识到,FPGA 产业在经历了过去几年的快速成长后将放慢前进的脚步,那么,未来 FPGA 产业的出路在哪里?

Altera 公司总裁兼首席执行官 John Daane 认为,FPGA 及 PLD 产业发展的最大机遇是替代 ASIC 和专用标准产品 (ASSP),主要由 ASIC 和 ASSP 构成的数字逻辑市场规模大约为 350 亿美元。由于用户可以迅速对 PLD 进行编程,按照需求实现特殊功能,与 ASIC 和 ASSP 相比,PLD 在灵活性、开发成本以及产品及时面市方面更具优势。然而,PLD 通常比这些替代方案有更高的成本结构。因此,PLD 更适合对产品及时面市有较大需求的应用,以及产量较低的最终应用。PLD 技术和半导体制造技术的进步,从总体上缩小了 PLD 和固定芯片方案的相对成本差,在以前由 ASIC 和 ASSP 占据的市场上,Altera 公司已经成功地提高了 PLD 的销售份额,并且今后将继续这一趋势。“FPGA 和 PLD 供应商的关键目标不是简单地增加更多的原型客户,而是向大批量应用最终市场和客户渗透。” John Daane 为 FPGA 产业指明了方向。

1.2 FPGA 与 ASIC、CPLD 的区别

1.2.1 FPGA 与 ASIC

IC 的种类非常多,从完成简单逻辑功能的 IC 到完成复杂系统功能的系统芯片。我们主要介绍两类芯片:可编程逻辑器件 PLD 和专用集成电路 ASIC。其中可编程逻辑器件按其规模可划分为低密度可编程逻辑器件和高密度可编程逻辑器件,FPGA 是高密度可编程逻辑器件。

与通用 IC 不同的是,这两类芯片都可以根据用户的需要实现特殊功能。其中,ASIC 是为用户定制的芯片,需要经过 ASIC 厂家生产,它可以完成非常复杂的系统功能,芯片的规模也可以非常大。与通用集成电路相比,ASIC 在构成电子系统时具有以下几个方面的优越性:

- (1) 缩小系统的体积、减轻系统重量、降低系统功耗和提高系统性能。
- (2) 提高可靠性,用 ASIC 芯片进行系统集成后,外部连线减少,因而可靠性明显提高。
- (3) 可增强保密性,电子产品中的 ASIC 芯片对用户来说相当于一个“黑匣子”,难于仿造。
- (4) 在大批量应用时,可显著降低成本。

PLD 也可以根据用户的需要完成特殊的功能,其中低密度可编程逻辑器件只能完成简单的逻辑功能,而高密度逻辑可编程器件如 CPLD 和 FPGA 则可以实现非常复杂的系统功能。与 ASIC 不同的是,PLD 可在市面上直接购买,其实现功能可以在现场进行修改,而 ASIC 一旦生产就不能修改了。FPGA 的主要用途有两个方面:

(1) 作为 ASIC 设计的快速原型系统。生产 ASIC 的费用非常昂贵,其中包含了两个费用:一是设计 ASIC 的工具费用;另外就是 ASIC 中不可回归的工程费用,即通常所言的 NRE (Nonrecurring Engineering) 费用。正如前面所言,ASIC 一旦生产,就不能再进行修改,设计中任何微小的错误都可能导致 ASIC 的失败,如果修改后重新投片,需要向 ASIC 厂家再支付一笔 NRE。因此,许多 ASIC 设计人员在流片之前,先用 FPGA 系统验证 ASIC 设计。与流片费用相比,购买 FPGA 的价格要低得多。另外,如果购买了某个厂家的 FPGA,FPGA 的供应商会提供相应的开发系统。从经济角度讲,FPGA 的开发费用要小得多。但是,如果 ASIC 用量非常大,NRE 费用平摊到每个芯片上时,ASIC 单片价格就比购买 FPGA 的价格更低,因此,在大批量使用时,一般采用 ASIC 而不是 FPGA。

(2) 验证新算法的物理实现。很多应用场合,设计人员提出一些新的算法,为了验证算法在硬件上的可实现性和算法正确性,通常也用 FPGA 作为实现的一种载体。

随着半导体工艺的进步,FPGA 厂家也在生产一些比较廉价的 FPGA,因此在使用数量不多的时候,也可以考虑用 FPGA 而不使用 ASIC。此外,由于电子产品更新换代的速度加快,许多产品为了快速占领市场,也在大量使用 FPGA。

1.2.2 FPGA 与 CPLD

CPLD 和 FPGA 都是由可编程的逻辑单元、I/O 块和互连资源三个部分组成。I/O 块功能基本相同,而其他两个部分则有所区别。

除了 Actel 的 FPGA,其他的 FPGA 和 CPLD 的逻辑单元的结构均由与阵列、或阵列和

可配置的输出宏单元组成。

FPGA 的逻辑单元是小单元，每个单元只有 1 或 2 个触发器，其输入变量通常只有几个，采用查表的结构。这样的结构占用的芯片的面积小、速度快，每个 FPGA 芯片上能集成的单元数目多，但是每个逻辑单元实现的功能少，因此，我们也把 FPGA 称为细粒度结构。实现一个复杂的逻辑函数时，需要用到多个逻辑单元，输入到输出的延时大，互连关系比较复杂。

CPLD 的逻辑单元是大单元，通常其输入变量的数目可以达到 20~28 个，我们称之为粗粒度结构。因为变量多，所以只能采用 PAL 结构。这样一个单元内可以实现复杂的逻辑功能，因此实现复杂的逻辑函数时，CPLD 的互连关系比较简单，一般通过总线就可以实现互连。CPLD 的大单元使用互连矩阵，总线上任意一对输入端之间的延时相等，因此，其延时是可预测的。而 FPGA 的小单元使用直接连接、长线连接和分段连接等不同类型的互连，互连结构复杂，延时不易确定。

如何在 CPLD 和 FPGA 之间进行选择呢？实际上主要还是取决于设计项目的需要。表 1.1 对 FPGA 和 CPLD 的一些主要特性做了简要的比较，以供参考。

表 1.1 CPLD 和 FPGA 的比较

主要特性	CPLD	FPGA
结构	类似 PAL	类似门阵
速度	快、可预测	取决于应用
密度	低等到中等	中等到高
互连	纵横	路径选择
功耗	高	低

1.3 FPGA 工作原理

FPGA 采用了逻辑单元阵列 LCA (Logic Cell Array) 这样一个概念，内部包括可配置逻辑模块 CLB (Configurable Logic Block)、输入输出模块 IOB (Input Output Block) 和内部连线 (Interconnect) 三个部分。

1.3.1 FPGA 的基本特点

FPGA 的特点包括：

- (1) 采用 FPGA 设计 ASIC 电路 (特定用途集成电路)，用户不需要投片生产，就能得到适合使用的芯片。
- (2) 可做其他全定制或半定制 ASIC 电路的中试样片。
- (3) 内部有丰富的触发器和 I/O 引脚。
- (4) 是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一。
- (5) 采用高速 CHMOS 工艺，功耗低，可以与 CMOS、TTL 电平兼容。

可以说, FPGA 芯片是小批量系统提高系统集成度和可靠性的最佳选择之一。

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的, 因此, 工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式, 采用不同的编程方式。

加电时, FPGA 芯片将 EPROM 中的数据读入片内编程 RAM 中, 配置完成后, FPGA 进入工作状态。掉电后, FPGA 恢复成白片, 内部逻辑关系消失, 因此, FPGA 能够反复使用。FPGA 的编程无须专用的 FPGA 编程器, 采用通用的 EPROM、PROM 编程器即可。当需要修改 FPGA 功能时, 只需换一片 EPROM。这样, 同一片 FPGA 加载不同的编程数据, 可以产生不同的电路功能。因此, FPGA 的使用非常灵活。

1.3.2 FPGA 配置模式

FPGA 有多种配置模式: 并行主模式为一片 FPGA 加一片 EPROM 的方式; 主从模式可以支持一片 PROM 编程多片 FPGA; 串行模式可以采用串行 PROM 编程 FPGA; 外设模式可以将 FPGA 作为微处理器的外设, 由微处理器对其编程。

如何实现快速的时序收敛、降低功耗和成本、优化时钟管理并降低 FPGA 与 PCB 并行设计的复杂性等问题, 一直是采用 FPGA 的系统设计工程师需要考虑的关键问题。如今, 随着 FPGA 向更高密度、更大容量、更低功耗和集成更多 IP 的方向发展, 系统设计工程师在从这些优异性能获益的同时, 不得不面对由于 FPGA 前所未有的性能和能力水平而带来的新的设计挑战。

例如, 领先 FPGA 厂商 Xilinx 最近推出的 Virtex-5 系列采用 65 nm 工艺, 可提供高达 33 万个逻辑单元、1 200 个 I/O 和大量硬 IP 块。超大的容量和密度使复杂的布线变得更加不可预测, 由此带来更严重的时序收敛问题。此外, 针对不同应用而集成的更多的逻辑功能、DSP、嵌入式处理和接口模块, 也让时钟管理和电压分配问题变得更加困难。

幸运的是, FPGA 厂商、EDA 工具供应商正在通力合作解决 65 nm FPGA 独特的设计挑战。不久以前, Synplicity 与 Xilinx 宣布成立超大容量时序收敛联合工作小组, 旨在最大限度地帮助系统设计工程师以更快、更高效的方式应用 65 nm FPGA 器件。设计软件供应商 Magma 推出的综合工具 Blast FPGA 能帮助建立优化的布局, 加快时序的收敛。

最近 FPGA 的配置方式已经多元化。

1.4 FPGA 设计流程与设计方法

基于 FPGA 的设计是指用 FPGA 器件做载体, 借助于设计自动化 (Electronic Design Automation, EDA) 工具, 实现有限功能的数字系统设计, FPGA 的设计过程就是从系统功能到具体实现之间若干次变换的过程。FPGA 设计需要按照一定的设计流程进行, 在流程的某些环节, 需要遵循一定的原则和规定。为了对基于 FPGA 设计有一个粗略上的认识, 我们简要介绍一下通用的 FPGA 设计流程, 如图 1.1 所示。

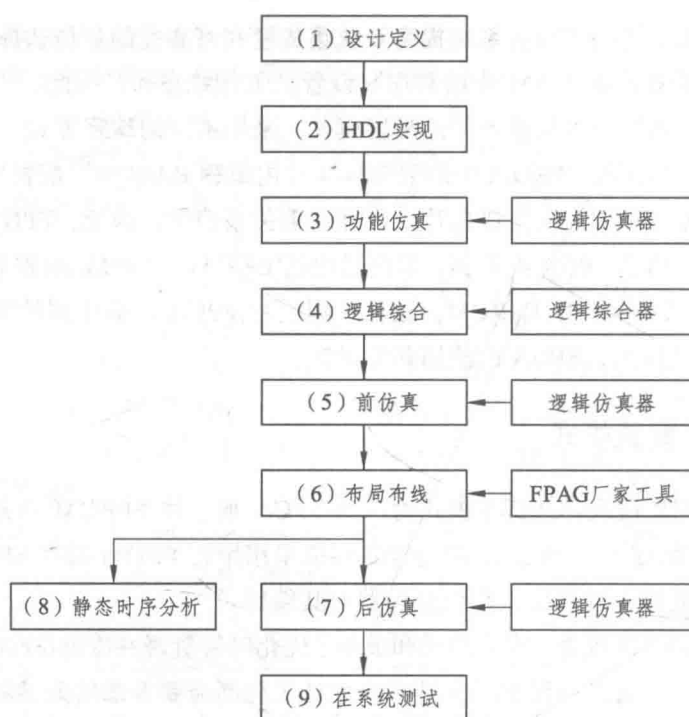


图 1.1 FPGA 设计流程

说明：

(1) 逻辑仿真器主要指 Modelsim, Verilog-XL 等。

(2) 逻辑综合器主要指 LeonardoSpectrum、Synplify、FPGA Express/FPGA Compiler 等。

(3) FPGA 厂家工具指的是如 Altera 的 Max+PlusII、QuartusII, Xilinx 的 Foundation、Alliance、ISE4.1 等。

1.4.1 关键步骤的实现

1. 功能仿真

功能仿真的流程如图 1.2 所示。其中“调用模块的行为仿真模型”，指的是 RTL 代码中引用的由厂家提供的宏模块/IP，如 Altera 提供的 LPM 库中的乘法器、存储器等部件的行为模型。

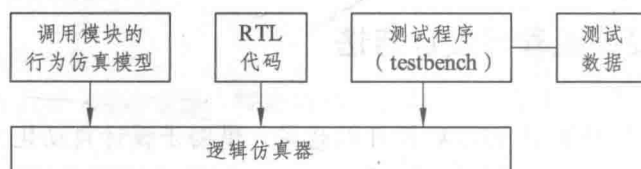


图 1.2 功能仿真流程图

2. 逻辑综合

逻辑综合的流程如图 1.3 所示。其中“调用模块的黑盒子接口”的导入，指的是由于 RTL

代码调用了一些外部模块，而这些外部模块不能被综合或无需综合，但逻辑综合器需要其接口的定义来检查逻辑并保留这些模块的接口。

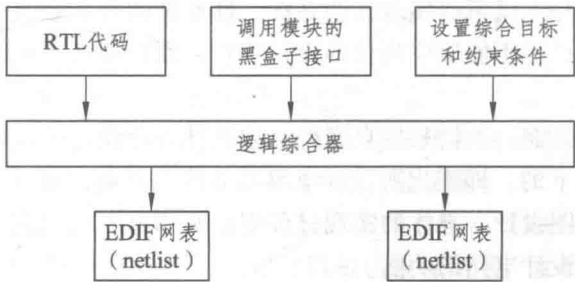


图 1.3 逻辑综合流程图

3. 前仿真

一般来说，对 FPGA 设计这一步可以跳过不做，但可用于检查综合有无问题。

4. 布局布线

布局布线的流程如图 1.4 所示。

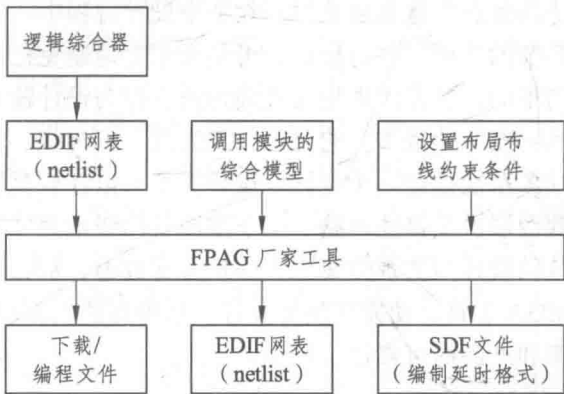


图 1.4 布局布线流程图

5. 后仿真

后仿真的流程如图 1.5 所示。

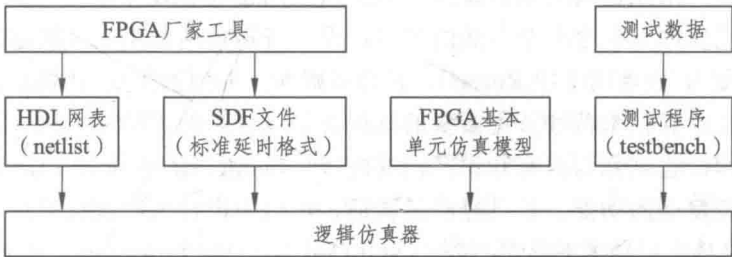


图 1.5 后仿真流程图

1.4.2 自顶向下和自底向上

随着微电子技术的快速发展,深亚微米的工艺可以使一个芯片上集成数以千万计,甚至上亿的晶体管,单个芯片上就可以实现复杂系统,即所谓的片上系统。在这种情况下,传统的自底向上的设计方法已经不能适应当代的设计要求,而自顶向下的设计方法已经成为业界的主流设计方法。

在 EDA 工具出现以前,人们采用自底而上的设计方法设计集成电路。在这种设计方法中,功能设计是自顶向下的,即提出所设计电路要完成的功能,然后进行行为级描述,RTL 级设计、逻辑设计和版图设计。具体的实现过程则正好相反,从最底层的版图开始,然后是逻辑设计,直到完成所设计电路的功能。

这种设计方法的缺点是:效率低、设计周期长、设计质量难以保证、可适用于小规模电路设计。

自顶向下的设计方法是和 EDA 工具同步发展起来的,借助于 EDA 工具可以实现从高层次到低层次的变换,无论是功能设计和具体实现都是自顶向下的。FPGA 设计流程就是典型的自顶向下设计方法(图 1.18)的一个体现。在这个设计流程中,设计人员从制定系统的规范开始、依次进行系统级设计和验证、模块级设计和验证、设计综合和验证、布局布线和时序验证、最终在载体上实现所设计的系统。

自顶向下的设计方法的优点是显而易见的,在整个设计过程中,借助于 EDA 仿真工具可以及时发现每个设计环节的错误,进行修正,可最大限度地避免把错误带入后续的设计环节中。另外由于在自顶向下的设计方法中用硬件描述语言作为设计输入,改变了传统的电路设计方法,是 EDA 技术一次巨大进步。它可以在系统级、行为级、寄存器传输级、逻辑级和开关级等五个不同的抽象层次描述一个设计,设计人员可以在较高层次的寄存器传输级描述设计,不必在门级原理图层次上描述电路。由于摆脱了门级电路实现细节的束缚,设计人员可以把精力集中于系统的设计与实现方案上,一旦方案成熟,那么就可以以较高层次描述的形式输入计算机,由 EDA 工具自动完成整个设计。这种方法大大缩短了产品的研制周期、极大地提高了设计的效率和产品的可靠性。

1.4.3 基于 IP 核的设计

由于芯片的集成度变得越来越高,设计的难度也變得越来越大,设计代价事实上主导了芯片的代价。如何提高设计效率,最大限度地缩短设计周期,使产品快速上市是设计人员面临的最重要的问题。采用他人成功的设计是解决这个问题的有效方法。

所谓设计重用实际上包含两个方面的内容:设计资料重用和生成可被他人重用的设计资料。前者通常被称为 IP 重用(IP Reuse),而后者则涉及如何去生成 IP 核。设计资料内不仅仅包含一些物理功能和技术特性,更重要的是包含了设计者的创造性思维,具有很强的知识内涵。这些资料因而也被称为具有知识产权的内核(Intellectual Property Core),简称 IP 核,它们通常实现比较复杂的功能,且已经经过验证,可以被设计人员直接采用。

一般来讲,IP 核有三种表现形式:软核(Soft-Core)、固核(Firm-Core)和硬核(Hard-Core)。

(1) 软核:软核以硬件描述语言 Verilog 或 VHDL 语言代码的形式存在,软核功能的验

证通常是通过时序模拟。软核不依赖于任何实现工艺或实现技术，具有很大的灵活性。设计者可以方便地将其映射到自己所使用的工艺上去，可重用性很高。

(2) 硬核：以集成电路版图 (Layout) 的形式提交，并经过实际工艺流片验证。显然，硬核强烈地依赖于某一个特定的实现工艺，而且在具体的物理尺寸，物理形态及性能上具有不可更改性。

(3) 固核：处于软核和硬核之间的固核以电路网表 (Netlist) 的形式提交，并通常采用硬件进行验证。硬件验证的方式有很多种，比如可以采用可编程器件 (如 FPGA、EPLD) 进行验证，采用硬件仿真器 (Hardware Emulator) 进行验证等。

不同的 FPGA 厂商在其不同的 FPGA 系列中都具有嵌入式的 IP 核，这些核可能是硬核 (如锁相环)，也可能是可配置的软核。用户可以根据设计需求，直接使用这些 IP 核，借助于这些 IP 核，用户可以加快设计进度，提高设计效率和设计可靠性。

1.5 主要 FPGA/CPLD 厂家

FPGA 由于开发周期短、功能强、可靠性高和保密性好等特点广泛应用于各个领域。FPGA 应用领域的不断扩大和半导体加工工艺的不断进步，也促进了 FPGA 的快速发展，其中 Altera 和 Xilinx 公司的产品占到整个 FPGA/CPLD 市场的 80%。Actel 虽然规模较小，但是由于它提供了反熔丝 FPGA，保密性和可靠性非常好，因此，在航空和军品领域占有很大的市场。

(1) Altera 公司：世界最大的 CPLD/FPGA 供应厂家之一，是结构化 ASIC 的首创者。其产品包括 FPGA 系列、CPLD 系列和结构化 ASIC 系列。FPGA 系列有：Stratix II、Stratix、CycloneII、Cyclone、StratixGX、APEX II、APEX 20K、Mercury、FLEX 10K、ACEX 1K、FLEX 6000；CPLD 系列 MAX 7000，MAX 3000A 和 MAX 7000；结构化 ASIC 包括 hardcopy Stratix 系列和 hardcopy Flex 20K 系列。Altera 的开发集成环境是 MAX+PLUS II 和 Quartus II，其中 Quartus II 是 Altera 最新推出的集成环境，与第三方软件工具无缝连接，支持 Altera 所有产品的开发。

(2) Xilinx 公司：Xilinx 公司是 FPGA 的发明者。其产品种类较多，主要有：XC9500/4000、Coolrunner (XPLA3)、Spartan、Virtex 等系列。其中 2002 年推出 Virtex-II Pro 系列是 Xilinx 公司自 1984 年发明 FPGA 以来所推出的最重要产品之一，支持芯片到芯片、板到板、机箱到机箱，以及芯片到光纤应用，将可编程技术的使用模式从逻辑器件层次提升到系统一级。Xilinx 的软件集成环境是 foundation 和 ISE，其中 ISE 为最新推出的集成环境，将逐步取代 foundation。另外，Xilinx 公司还提供免费的开发软件 IEWEBPACK，其功能比 ISE 少些，可直接从网上下载。

(3) Actel 公司：产品包括反熔丝和 Flash 两类 FPGA。其中 Flash 产品包括 ProASICPlus 和 ProASIC；基于反熔丝的产品包括：Axcelerator SX-A/SX EX 和 MX。Actel 的产品由于抗辐射、耐高低温、功耗低、速度快，保密性强等特点，所以被应用在军品和宇航领域。Actel 软件集成环境是 Libero，集成了针对 FPGA 结构而开发 Syncity 软件，综合效率非常高。

(4) lattice 公司：Vantis Lattice 是 ISP (In-System Programmability) 技术的发明者，ISP 技术极大地促进了 PLD 产品的发展，与 Altera 和 Xilinx 相比，其开发工具比 Altera 和 Xilinx