

电子技术专业系列



普通高等教育“十一五”国家级规划教材

电子设计自动化 (EDA)

主 编 刘婷婷 李 军

副主编 孙飞龙 陈大力



北京师范大学出版集团
BEIJING NORMAL UNIVERSITY PUBLISHING GROUP
北京师范大学出版社

电子技术专业系列



普通高等教育“十一五”国家级规划教材

电子设计自动化 (EDA)

主 编 刘婷婷 李 军

副主编 孙飞龙 陈大力

参 编 马玉丽 王淑文



北京师范大学出版集团
BEIJING NORMAL UNIVERSITY PUBLISHING GROUP
北京师范大学出版社

图书在版编目 (CIP) 数据

电子设计自动化 : EDA / 刘婷婷, 李军主编. — 3 版. — 北京 : 北京师范大学出版社, 2017.2

高等职业教育“十三五”规划教材·电子技术专业系列

ISBN 978-7-303-22102-8

I. ①电… II. ①刘… ②李… III. ①电子电路—电路设计—计算机辅助设计—高等职业教育—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字(2017)第 027997 号

营销中心电话 010-62978190 62979006
北师大出版社科技与经管分社 www.jswsbook.com
电子信箱 jswsbook@163.com

出版发行: 北京师范大学出版社 www.bnup.com
北京市海淀区新街口外大街 19 号
邮政编码: 100875

印 刷: 三河市东兴印刷有限公司
经 销: 全国新华书店
开 本: 787 mm×1092 mm 1/16
印 张: 17.25
字 数: 287 千字
版 次: 2017 年 2 月第 3 版
印 次: 2017 年 2 月第 2 次印刷
定 价: 33.00 元

策划编辑: 周光明 苑文环	责任编辑: 周光明 苑文环
美术编辑: 李葆芬	装帧设计: 李葆芬
责任校对: 李 茵	责任印制: 孙文凯 赵非非

版权所有 侵权必究

反盗版、侵权举报电话: 010-62978190

北京读者服务部电话: 010-62979006-8021

外埠邮购电话: 010-62978190

本书如有印装质量问题, 请与出版部联系调换。

印制管理部电话: 010-62979006-8006

前 言

《电子设计自动化 (EDA)》是集成电路设计技术从出现、发展到成熟应用的产物,是电子、通信、计算机及自动控制类专业的主干课程,也是该专业高等技术应用型人才必须掌握的一门专业技术。

本教材从可编程逻辑器件的结构与特点出发,结合多年的教学实践,以CPLD/FPGA系列器件为机型,从软件和硬件两方面讲述了微机的基本原理、指令系统及接口技术,力求新颖、实用。

全书共9章,参考学时为72学时。第1章绪论,主要介绍了EDA仿真技术;第2章可编程逻辑器件基础,着重讲述PLD器件的基本结构、编程逻辑器件的编程及测试技术;第3章为可编程逻辑器件,重点讲述了Altera器件、MAX7000系列器件、FLEX10K系列器件、Xilinx可编程逻辑器件;第4章为VHDL设计方法,重点讲述了组合逻辑电路和逻辑电路的设计方法及技巧;第5章为状态机设计,介绍了Mealy型状态机的设计方法及步骤;第6章为MAX+PLUS II操作简介,讲述了MAX+PLUS II的设计过程;第7章为逻辑综合和设计实现,分别针对CPLD和FPGA器件讲述了其综合实现过程;第8章为数字系统设计与现场集成技巧,讲述了同步电路设计技巧、多级逻辑设计技巧、数字系统的FPGA现场集成设计中的基本问题、高速电路设计;第9章为EDA综合设计实例,提供了一些实用的设计实例。考虑到读者的特点与高职教学和特色,在讲述理论知识的过程中注重实践环节。本书配有大量的实例,帮助读者理解和掌握可编程逻辑器件的结构及应用,同时还增加了综合应用实例进一步提高学生的综合分析问题和解决问题的能力。

本书由刘婷婷、李军任主编,孙飞龙、陈大力任副主编。其中第4、5、8章由刘婷婷执笔,第7章由孙飞龙执笔,第1、2章由陈大力执笔,第3、9章由李军执笔,第6章由马玉丽执笔,王淑文参加了本书部分章节的编写。

由于信息技术发展迅速,其应用领域不断扩展,限于编者的常识水平和知识范围,书中不足之处在所难免,敬请广大读者批评指正。

编 者

目 录

第1章 绪 论	(1)	3.2.1 FLEX10K 系列器件简介	(31)
1.1 引 言	(1)	3.2.2 结构特点与功能描述 ...	(32)
1.2 可编程逻辑器件(PLD)	(3)	3.3 Altera APEX20 系列芯片	(41)
1.3 EDA 技术的发展	(4)	3.3.1 APEX 系列器件简介 ...	(41)
第2章 可编程逻辑器件基础	(8)	3.3.2 APEX20K 系列的特点	(42)
2.1 可编程逻辑器件的分类	(8)	3.4 Xilinx XC9500 系列器件	(42)
2.1.1 可编程逻辑器件的集成度分类	(8)	3.4.1 XC9500 系列器件简介	(42)
2.1.2 可编程逻辑器件的其他分类方法	(10)	3.4.2 XC9500 系列器件的特点	(44)
2.2 PLD 器件的基本结构 ...	(12)	3.5 在系统可编程(ISP)逻辑器件	(44)
2.2.1 与或阵列	(13)	第4章 VHDL 设计方法	(48)
2.2.2 宏单元	(14)	4.1 VHDL 设计概述	(48)
2.3 可编程元件	(16)	4.1.1 VHDL 的优势	(48)
2.3.1 熔丝开关和反熔丝开关	(16)	4.1.2 VHDL 的设计步骤	(49)
2.3.2 浮栅编程技术	(17)	4.2 VHDL 的模型结构	(50)
2.3.3 SRAM 配置存储器	(20)	4.2.1 设计实体 (Design Entities)	(50)
2.4 可编程逻辑器件的编程及测试技术	(21)	4.2.2 实体说明(Entity Declarations)	(50)
2.4.1 在系统可编程技术	(21)	4.2.3 构造体	(52)
2.4.2 边界扫描测试技术 (Boundary Scan Test) ...	(23)	4.3 VHDL 语言的基本要素	(55)
第3章 可编程逻辑器件	(29)	4.3.1 标识符	(55)
3.1 Altera 器件综述	(29)		
3.2 Altera FLEX10K 系列芯片	(30)		



4.3.2 数据对象	(55)	6.4.1 图形输入法的设计过程	(121)
4.3.3 数据类型及其他类型 ...	(58)	6.4.2 语言描述输入法	(138)
4.3.4 运算符	(63)	6.4.3 层次化设计	(139)
4.4 VHDL 基本描述语句 ...	(65)	第7章 逻辑综合和设计实现 ...	(145)
4.4.1 并行语句	(66)	7.1 概 述	(145)
4.4.2 顺序语句	(73)	7.2 设计实现的实例	(146)
4.4.3 其他常用语句	(78)	7.3 逻辑综合与实现	(149)
4.5 VHDL 的基本设计	(82)	7.4 针对 CPLD 器件的设计实现	(150)
4.5.1 组合逻辑电路设计	(82)	7.4.1 面向 FLASH370 的设计综合和装配	(151)
4.5.2 同步时序逻辑电路设计	(88)	7.5 针对 FPGA 器件的设计实现	(189)
4.5.3 典型设计实例	(95)	7.5.1 面向 pASIC380 的综合与布局布线	(191)
第5章 状态机设计	(100)	7.5.2 设计中的折中考虑	(193)
5.1 概 述	(100)	7.5.3 参数指引下的逻辑综合 (Directive-Driven Synthesis)	(197)
5.2 一个简单的设计实例	(100)	7.5.4 设计调整: DRAM 控制器	(201)
5.2.1 传统的设计方法	(101)	7.5.5 在一个 8KB 容量的 FPGA 中实现网络中继器	(202)
5.2.2 利用 VHDL 语言进行状态机描述	(102)	7.5.6 预指定的引脚配置 (Preassigning Pinouts)	(205)
5.3 内存控制器设计	(105)	第8章 数字系统设计与现场集成技巧	(209)
5.3.1 状态转移图	(106)	8.1 同步电路设计技巧	(209)
5.3.2 状态转移图的 VHDL 编码	(107)	8.1.1 同步电路与异步电路的基本概念	(209)
第6章 MAX+PLUS II 操作简介	(115)	8.1.2 FPGA 现场集成中常见的问题	(211)
6.1 MAX+PLUS II 概述	(115)	8.1.3 同步逻辑电路设计中的基本技巧	(215)
6.1.1 简介	(115)	8.2 多级逻辑设计技巧	(217)
6.1.2 工具条和常用菜单选项说明	(115)		
6.2 MAX+PLUS II 10.2 的安装	(117)		
6.3 MAX+PLUS II 的设计过程	(120)		
6.4 MAX+PLUS II 的设计输入方法	(121)		

8.2.1	FPGA 实现中的基本延时	(218)	8.5.4	电源对系统的干扰	(237)
8.2.2	流水线的基本概念	(218)	8.5.5	接地	(238)
8.2.3	流水线应用的设计	(219)	8.5.6	串扰抑制	(238)
8.3	数字系统的 FPGA 现场集成设计中的基本问题	(220)	第 9 章 EDA 综合设计实例	(240)	
8.3.1	数字系统现场集成的系统级设计过程	(220)	9.1	多功能数字钟	(240)
8.3.2	现场集成设计中的仿真	(223)	9.1.1	多功能数字钟设计要求	(240)
8.3.3	可编程器件的选择方案	(223)	9.1.2	多功能数字钟的顶层结构	(240)
8.3.4	低功耗设计	(229)	9.1.3	主要模块的 VHDL 源程序	(241)
8.4	FPGA 实用设计中的技巧	(231)	9.2	“梁祝”乐曲演奏电路	(250)
8.4.1	阶层化设计	(231)	9.2.1	乐曲演奏电路设计要求	(250)
8.4.2	为优化逻辑而进行复制	(234)	9.2.2	乐曲演奏电路的顶层结构	(251)
8.5	高速电路设计	(235)	9.2.3	主要模块 VHDL 源程序	(252)
8.5.1	高速电路的定义	(235)	9.3	频率计	(257)
8.5.2	输入输出阻抗影响电路的负载能力	(236)	9.3.1	频率计的设计要求	(258)
8.5.3	阻抗匹配	(237)	9.3.2	频率计电路的顶层结构	(258)
			9.3.3	主要 VHDL 源程序	(260)

第1章 绪论

本章重点

- ◆ 电子设计方法的变革和现代电子设计思想
- ◆ 可编程逻辑器件发展概况
- ◆ EDA 技术的发展概况

1.1 引言

21 世纪人类已经进入了数字化的时代,从计算机应用、通信、智能仪表、医用设备、军用雷达到民用电器等数字技术应用比比皆是,由于数字技术在处理与传输信息方面的各种优点,使数字技术的使用渗透到了人类生活的各个领域。

数字系统同电子系统一样,通常采用自底向上的设计流程,即首先确定构成系统最底层的电路模块或元件的结构和功能,然后根据主系统的功能要求,将它们组合成更大的功能块,使它们的结构和功能满足高层系统的要求。并逐步向上递推,直到完成整个目标系统的设计。例如:一般的电子系统设计,使用自底向上的设计方法,必须首先决定使用的器件类别和规格,如 74 系列的器件、某种 RAM 和 ROM、某类 CPU 或单片机以及某些专用功能芯片等,然后构成多个功能模块,如数据采集控制模块、信号处理模块、数据交换和接口模块等,直到最后利用它们完成整个系统的设计。在设计时,设计者没有灵活性可言,搭成的系统需要的芯片种类多且数目大。

然而随着可编程逻辑器件和 EDA 技术的发展,传统的系统设计方法有了飞跃的进步。

可编程逻辑器件的出现,改变了传统的数字系统设计方法。传统的数字设计只能对电路板进行设计,通过设计电路板来实现系统功能。采用可编程器件则可以对器件进行设计,通过设计芯片来实现系统功能,这种方法称为基于芯片的设计方法。新的设计方法能够由设计者定义器件的内部逻辑和引脚,将原来由电路板设计完成的大部分工作放在芯片中设计,这样不仅可通过芯片设计实现多种数字逻辑系统功能,而且由于引脚定义的灵活性,大大减轻了电路图设计和电路板设计的工作量和难度,从而有效地增强了设计的灵活性,提高了工作效率;同时基于芯片的设计可以减少芯片数量,缩小体积,降低能耗,提高性能指标和可靠性。

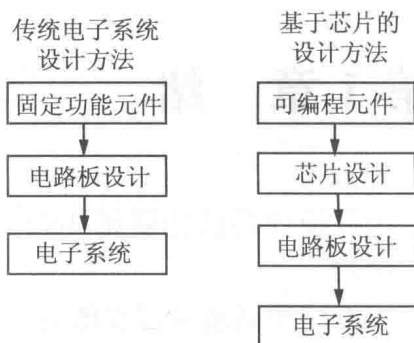
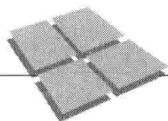


图 1-1 传统电子系统设计方法和基于芯片的设计方法

在电子设计领域，随着 EDA 技术的快速发展和成熟应用，自顶向下的设计方法已经成为可能。在基于功能强大的 EDA 工具，具备集系统描述、行为描述和结构描述功能为一体的 VHDL 硬件描述语言，以及先进的 ASIC 制造工艺和 FPGA 开发技术。当今，自顶向下的设计方法已经是 EDA 技术的首选设计方法，是 ASIC 制造工艺和 FPGA 开发的主要设计手段。

在 EDA 技术应用中，自顶向下的设计方法就是在整个设计流程中设计环节逐步求精的过程。一个项目的设计包括从自然语言说明到 VHDL 的系统行为描述、系统的分解、RTL 级建模、门级模型产生，到最终可以通过物理布线的底层电路，就是从高抽象级别到低抽象级别的整个设计周期。后端设计还必须涉及硬件的物理结构实现方法和测试。

自顶向下的设计方法能使系统被分解为各个模块的集合之后，可以对设计的每个独立模块指派不同的工作小组。这些工作小组可以工作在不同地点，甚至可以分属不同的单位，最后将不同的模块集成为最终的系统模型，并对其进行综合测试和评估。

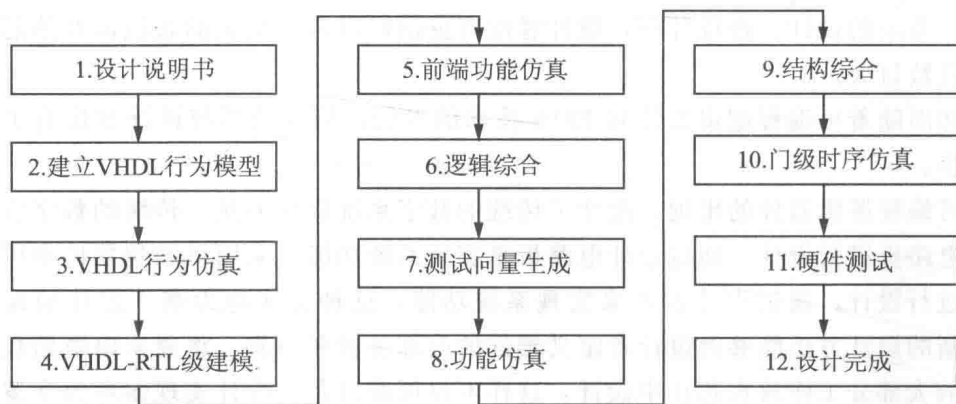


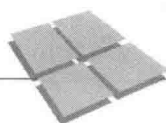
图 1-2 自顶向下的设计流程

1.2 可编程逻辑器件(PLD)

1. 可编程逻辑器件发展概况

数字集成电路从 20 世纪 60 年代开始起步,先后发展了小规模集成电路(SSI)、中规模集成电路(MSI)、大规模集成电路(LSI)、超大规模集成电路(VLSI)和专用集成电路(ASIC)。其中,专用集成电路中的可编程逻辑器件 PLD,近十年发展非常迅猛,新产品层出不穷。当今,PLD 器件已成为世界电子工业发展最快的门类,几乎获得了近 30% 的年增长率。它的问世被称为是“冲击硅谷的第二次浪潮”,应用领域也日益广泛。目前,各种 PLD 产品正在风靡欧美电子技术市场,国内的电子技术专业人员已越来越重视该技术的引进与应用,已取得了许多重大成果。由于 PLD 器件的可开发性与灵活性,使其能够实现较丰富的逻辑功能;实现系统之间的硬件接口与通信功能;尤其是,当用计算机系统过于浪费,而用中小规模集成电路芯片又明显繁杂与功能不足的场合,PLD 器件为电子设计师提供了较为适当的第二种选择。所以,可编程逻辑器件在数字系统中有着非常美好的应用前景,当今的一些电子产品已广泛地采用了这类器件。它们特别适用于科研和小批量生产,适用于各种数字电路,能提高系统性能、缩短设计周期、降低开发成本;而用户的要求反过来又加速了器件的发展,它们正在逐渐取代标准的中小规模逻辑器件。但在这方面的应用,我国目前处于初步阶段。现在,在数字电路实验和系统设计中大量使用的数字逻辑器件主要是 54 和 74 系列的 TTL 器件、74HC 和 CD4000 系列的 CMOS 器件等中小规模集成的标准器件,与这些传统的只能实现固定功能的标准逻辑器件相比,PLD 器件可反复修改,重新使用,在满足专用的、个性化的设计需求方面具有更大的灵活性和更强的竞争力。

最早的可编程逻辑器件出现在 20 世纪 70 年代初,它的基本结构包含一个固定的“与”阵列和一个可编程“或”阵列,称为可编程只读存储器(PROM)此后出现新的 PLD 器件——可编程逻辑阵列 PLA,它的“与”阵列和“或”阵列都是可编程的,且全部输入和输出都是可以控制的,70 年代末出现可编程阵列逻辑(PAL)既具有 PLA 的灵活性,又具有 PROM 的易编程特性。其基本特性包括一个可编程“与”阵列和一个固定的“或”阵列。80 年代初,美国 Lattice 公司推出通用阵列逻辑 GAL,与 PAL 相比,GAL 具有输出逻辑宏单元,这样使 GAL 设计灵活,能满足更多逻辑电路的要求。80 年代,美国 Xilinx 公司率先推出了现场可编程门阵列 CFPGA 器件,它采用逻辑单元阵列结构静态随机存储工艺,设计灵活,集成度高,可反复编程,可现场模拟调试验证。90 年代初,Lattice 公司又推出了在系统可编程大规模集成电路 ISP LSI,该器件采用先进的 E²CMOS 工艺,结合了传统 PLD 器件的简单性、高性能以及 FPGA 的灵活性高密度等特点。



2. 可编程逻辑器件的特点及应用

(1) 器件的高密度与高性能。一片 PLD 器件的逻辑规模具有几十万甚至上百万个门, 用一片 PLD 器件就能实现一个数字系统。

(2) PLD 器件实现了系统硬件的软化设计。采用 PLD 器件后使设计数字系统的主要工作就是用 PLD 器件开发软件进行编程, 在编程过程中可充分利用各种功能模块或专用模块, 这将大大缩短系统设计周期。

(3) 对写入 PLD 器件的程序能进行加密处理。

(4) 用 PLD 器件设计的系统可用计算机进行结果仿真, 以验证设计是否符合预期的要求, 如不符合可进行修改, 直至满足设计要求。

(5) PLD 器件运行工作频率可高达 100MHz 以上, 特别适合图像处理、数据实时解压、高速编码、LAN(网络)或 DMA(直接存储器访问)控制等场合。

1.3 EDA 技术的发展

电子设计自动化 EDA(Electronic Design Automation)是指利用计算机完成电子系统的设计。EDA 技术是以计算机和微电子技术为先导, 汇集了计算机图形学、拓扑、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。

EDA 技术以计算机为工具, 代替人完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需完成对系统功能的描述, 就可以由计算机软件进行处理, 得到设计结果, 修改设计如同修改软件一样方便, 极大地提高了设计效率。

20 世纪后半期, 随着集成电路和计算机技术的飞速发展, 数字系统也得到了飞速发展, 其实现方法经历了由分立元件 SSI、MSI 到 LSI、VLSI 以及 UVLSI 的过程。同时, 为了提高系统的可靠性与通用性, 微处理器和专用集成电路(ASIC)逐渐取代了通用全硬件(LSI)电路, 而在这二者中, ASIC 以其体积小、重量轻、功耗低、速度快、成本低和保密性好而脱颖而出。总的来说, ASIC 的制作可粗略地分为掩模方法和现场可编程方法两大类。目前, 大量可编程逻辑器件(PLD), 尤其是现场可编程逻辑器件(FPLD)被大量地应用在 ASIC 的制作当中。在可编程集成电路的开发过程中, 电子设计自动化(EDA)技术应运而生。它是一种以计算机为基本工作平台, 利用计算机图形学、拓扑逻辑学、计算数学、微电子工艺与结构学以至人工智能学等多种计算机应用学科的最新成果开发出来的一整套软件工具, 是一种帮助电子设计工程师从事电子元件产品和系统设计的综合技术。EDA 技术的出现, 不仅为电子系统设计带来了一场革命性的变化, 从某种角度来说, 也成为其发展的必然。

EDA 工具的发展经历了两个大的阶段: 物理工具和逻辑工具。现在 EDA 和系

统设计工具正逐渐被理解成一个整体的概念：电子系统设计自动化。物理工具用来完成设计中的实际物理问题，如芯片布局、印制电路板布线等；逻辑工具是基于网表、布尔逻辑、传输时序等概念，首先由原理图编辑器或硬件描述语言进行设计输入，然后利用 EDA 系统完成综合、仿真、优化等过程，最后生成物理工具可以接受的网表或 VHDL、Verilog-HDL 的结构化描述。现在常见的 EDA 工具有编辑器、仿真器、检查/分析工具、优化/综合工具等。

EDA 技术的发展经历了一个由浅入深的过程。根据电子设计技术的发展特征，EDA 技术发展大致分为三个阶段。

1. CAD 阶段

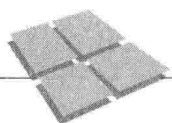
20 世纪 60 年代中期至 80 年代初期，随着中小规模集成电路的开发应用，传统的手工制图设计印制电路板和集成电路的方法已无法满足设计精度和效率的需要，因此工程师们开始进行二维平面图形的计算机辅助设计，以便解脱繁杂、机械的版图设计工作。这个阶段的特点是一些单独的工具软件，主要有 PCB(Printed Circuit Board)布线设计、电路模拟、逻辑模拟和版图的绘制等。例如，目前常用的 Protel 早期版本 Tango，以及用于电路模拟的 PSPICE 软件和后来产品化的 K 版图编辑与设计规则检查系统等软件，都是这个阶段的产品。这个时期的 EDA 一般称为 CAD (Computer Aided Design)。

2. CAE 阶段

20 世纪 80 年代初期至 90 年代初期，这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果。各种设计工具，如原理图输入、编译与连接、逻辑模拟、测试码生成、版图自动布局以及各种单元库已齐全。由于采用了统一数据管理技术，因而能够将各个工具集成为一个 CAE(Computer Aided Engineering)系统。按照设计方法学制定的设计流程，可以实现从设计输入到版图输出的全程设计自动化。这个阶段主要采用基于单元库的半定制设计方法，采用门阵列和标准单元设计的各种 ASIC 得到了极大的发展，将集成电路工业推入了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件，进而可以实现电子系统设计自动化。

3. EDA 阶段(20 世纪 90 年代以来)

20 世纪 90 年代以来，微电子技术以惊人的速度发展，其工艺水平达到深亚微米(Deep-Submicron)级，在一个芯片上可集成数百万乃至上千万只晶体管，工作速度可达到 GHz，这为制造出规模更大，速度更快和信息容量更大的芯片系统提供了条件，但同时也对 EDA 技术提出了更高的要求，并促进了 EDA 技术的发展。总的来说，现代 EDA 技术的基本特征是采用高级语言描述，具有系统级仿真和综合能力。它主要采用并行工程和“自顶向下”的设计方法，使开发者从一开始就要考虑到产品生成周期的诸多方面，包括质量、成本、开发时间及用户的需求等。然后从系



统设计入手,在顶层进行功能方框图的划分和结构设计,在方框图一级进行仿真、纠错,并用 VHDL、Verilog-HDL、ABEL 等硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证,最后再用逻辑综合优化工具生成具体的门级逻辑电路的网表,其对应的物理实现级可以是印制电路板或专用集成电路。目前 EDA 技术主要有以下特征:

(1)高层综合的理论和方法取得进展,从而将 EDA 设计层次由 RT 级提高到了系统级(又称行为级),并推出了相应的行为级综合优化工具,大大缩短了复杂 ASIC 的设计周期,同时改进了设计质量。

(2)采用硬件描述语言来描述 10 万门以上的设计,并形成了 VHDL 和 Verilog-HDL 两种标准硬件描述语言。它们均支持不同层次的描述,使复杂 IC 的描述规范化,便于传递、交流、保存与修改,并可建立独立工艺的设计文档,便于设计重用。

(3)采用平面规划(Floor planing)技术对逻辑综合和物理版图设计进行联合管理,做到在逻辑设计综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息,设计者能更进一步进行综合与优化,并保证所做的修改只会提高性能而不会给版图设计带来负面影响。这在深亚微米级布线延时已成为主要延时的情况下,加速设计过程的收敛与成功是有所帮助的。

(4)可测性综合设计。由于 ASIC 的规模与复杂性的增加,测试难度与费用急剧上升,由此产生了将可测性电路结构制作在 ASIC 芯片上的想法,并开发了扫描插入、内建自检测、边界扫描等可测性设计(DFT)工具,并已集成到 EDA 系统。

(5)为带有嵌入 IP 核的 ASIC 设计提供软、硬件协同设计工具。协同验证弥补了硬件设计和软件设计流程之间的空隙,保证了软、硬件之间的同步协调工作。协同验证是当今系统集成的核心,它以高层系统设计为主导,以性能优化为目标,融合了逻辑综合、性能仿真、形式验证和可测性设计。

(6)建立并行设计工具框架结构的集成化设计环境,以适应当今 ASIC 的如下特点:规模大而复杂;数字与模拟电路并存;硬件与软件设计并存;产品上市速度快。近几年来,硬件描述语言等设计数据格式的逐步标准化、不同设计风格和应用的的要求导致各具特色的 EDA 工具被集成在同一个工作站上,从而使 EDA 框架日趋标准化。

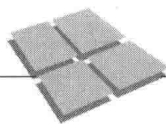
EDA 工具的出现,给电子系统设计带来了革命性的变化。随着 Intel 公司 Pentium 处理器的推出, Xilinx 等公司几万门脚模的 FPGA 以及大规模的芯片组和高速、高密度印制电路板的应用,EDA 技术在仿真、时序分析、集成电路自动测试、高速印制电路板设计及操作平台的扩展等方面将迎来新的巨大的挑战和发展机遇。

本章小结

本章简述了可编程逻辑器件发展概况和 EDA 技术的发展概况, 通过对其发展的了解进一步学习其结构和应用。

习题与思考题

- (1) 简述可编程逻辑器件的特点。
- (2) 简述 EDA 技术的主要特征。



第2章 可编程逻辑器件基础

本章重点

- ◆ 可编程逻辑器件的分类
- ◆ PLD 器件的基本结构
- ◆ 可编程元件
- ◆ 在线可编程技术
- ◆ 边界扫描测试技术

2.1 可编程逻辑器件的分类

可编程逻辑器件的种类很多,几乎每个大的可编程逻辑器件供应商都能提供具有自身结构特点的 PLD 器件。所以 PLD 的分类方法很多,较常见的分类是按集成度和编程方式来区分。

2.1.1 可编程逻辑器件的集成度分类

根据可编程逻辑器件门电路的集成度,分为低密度可编程逻辑器件(LDPLD)

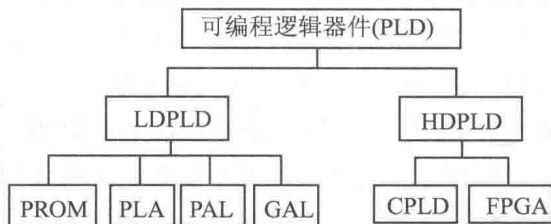


图 2-1 按集成度(PLD)分类

和高密度可编程逻辑器件(HDPLD)两大类(如图 2-1 所示):以 1000 门为界,1000 门以下的为低密度;1000 门以上的为高密度。早期出现的 PROM、PLA、PAL、GAL 都属于低密度器件。现在大量使用的 CPLD、FPGA 器件都属于高密度器件,并且可以加密。

1. 低密度可编程逻辑器件——LDPLD(Low Density PLD)

PROM(Programmable Read Only Memory)即可编程只读存储器,其基本结构是“与”阵列固定和“或”阵列可编程,PROM 采用熔丝工艺编程,只能写一次,不可以擦除或重写。随着技术的发展和应用要求,又出现了 EPROM(紫外线擦除存储器)和 EEPROM(电擦除存储器)。

PLA(Programmable Logic Array)是“与或”结构器件,它是“与”阵列和“或”阵列均可编程。由于器件的资源利用率低,现在已经不常使用。

PAL(Programmable Array Logic)是“与或”结构器件,它包括一个可编程的“与”阵列和一个固定的“或”阵列,其中“与”阵列的编程特性可以使用输入项增多,而“或”阵列的固定使器件结构简单。PAL 具有多输出结构形式,因而其型号最多。

GAL(Generic Array Logic)是在 PAL 器件结构的基础上产生的新一代器件,其结构与 PAL 一样,也是由一个可编程的“与”门阵列去驱动一个固定的“或”门阵列,但它的输出单元的结构完全不同。GAL 器件的每个输出引脚都接有一个输出逻辑宏单元(OLMC),这些宏单元可由设计者通过编程进行不同模式的组合,因而为设计提供了高度的灵活性。与 PAL 器件相比,GAL 器件由于采用了先进的 E²COM 工艺,数秒内即可完成芯片的擦除和编程过程,并可反复改写。而 PAL 器件采用的是熔丝工艺的编程技术,每只芯片只能编程一次,一旦编程后不能再改写,GAL 是产品开发中的理想器件,因此受到 PLD 器件使用者的青睐。

2. 高密度可编程逻辑器件——HDPLD(High Density PLD)

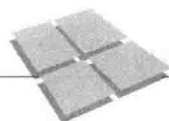
CPLD(Complex Programmable Logic Device)即复杂的可编程逻辑器件。它将简单 PLD(PAL、GAL)的概念作了进一步扩展,并提高了器件的集成度。与简单的 PLD 相比,CPLD 增加了内部连线,对逻辑宏和 I/O 单元也进行了重大改进。CPLD 允许有更多的输入信号、更多的乘积项和更多的宏单元,其内部含有多个逻辑单元块,每个逻辑单元块相当于一个 GAL 器件,这些逻辑块之间可以使用可编程内部连线实现相互连接。CPLD 是在一块芯片上集成多个 GAL(PAL)块,其基本逻辑单元是乘积项,即 CPLD 是乘积项阵列的集合,各个 GAL(PAL)块可以通过共享的可编程互联资源交换信息,实现 GAL(PAL)块之间的互联。因此,CPLD 通常又被称为分段式阵列结构。CPLD 器件的结构包含可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线。部分 CPLD 器件内部还集成了 ROM、FIFO 或双口 ROM 寄存器,以适应 DSP 应用的要求。

典型的 CPLD 器件有 Lattice/Vantice 的 pLSI/ispLSI 系列器件和 MACH 系列器件、XILINX 公司的 7000 和 9500 系列器件、Altera 公司的 MAX9000 系列。

FPGA(Field Programmable Gate Array)即现场可编程门阵列。FPGA 器件与传统的掩模编程门阵列相似,即芯片内部由逻辑单元阵列 LCA 组成,而 LCA 又由纵横交错的分布式可编程互联线连接起来的。因此,可编程门阵列又被称为通道式阵列结构。它具有门阵列的高密度和 PLD 器件的灵活性和易用性。FPGA 器件不受“与或”阵列结构的限制以及触发器和 I/O 端数量上的限制,可以靠内部的逻辑单元以及它们的连接构成任何复杂的逻辑电路,实现多级逻辑功能。XILINX 公司是世界上最大的 FPGA 器件供应商,该公司的产品在技术和性能上都处于领先地位。FPGA 器件的内部结构为逻辑单元阵列 LCA(Logic Cell Array),它由三类可配置单元组成:

(1)可编程逻辑块 CLB(Configurable Logic Blocks)。CLB 是逻辑资源,实现用户定义的基本逻辑功能。

(2)可编程输入/输出块 IOB(Input Output Block)。IOB 是 I/O 资源,实现内部逻辑与器件封装引脚之间的接口。



(3)可编程内部连线 PI(Programmable Interconnect)。PI 是互联资源,实现模块之间的信号传递。另外需指出, FPGA 器件的功能由逻辑结构的配置数据决定。工作时,这些配置数据存放在片内的 SRAM 或熔丝图上。在工作前需要从芯片外部加载配置数据,配置数据可以存储在片外的 EPROM 或存储体上。

XILINX 公司的 FPGA 产品:XC2000 是第一代产品;XC3000 是第二代产品;XC4000、XC5200、XC8100 系列是高密度产品。除 XILINX 公司外,ALTERA 和 AACTEL 等公司也可提供高性能的 FPGA 芯片。

2.1.2 可编程逻辑器件的其他分类方法

1. 根据与阵列和或阵列是否可编程分为三种基本类型

(1)与阵列固定,或阵列可编程:可编程只读存储器 PROM 或可擦除编程只读存储器 EPROM。这一类型的代表器件是可编程只读存储器 PROM(Programmable Read Only Memory),图 2-2 是一个 8×3 (与门 $\times$ 或门)阵列结构。因为与阵列固定,输入信号的每个组合都固定连接,所以与门阵列在全译码阵列。它经常被用来作为数据存储器,如作为顺序控制的数据场合等。

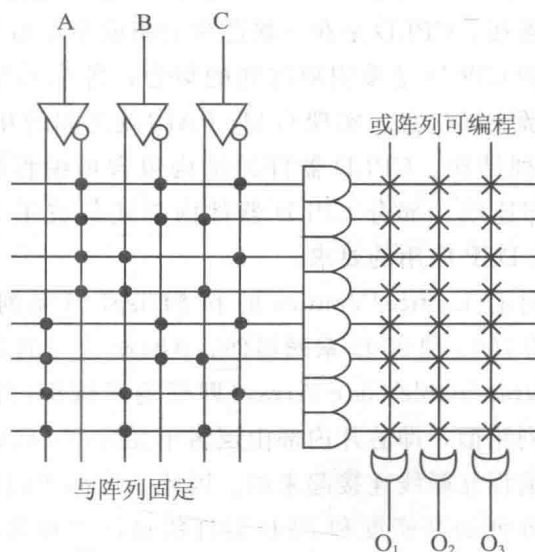


图 2-2 8×3 (与门 $\times$ 或门)阵列结构

若用 PROM 或 EPROM 来实现逻辑函数,则会随着输入信号的增加,使得芯片面积增大,利用率和工作速度降低。例如,输入信号有 10 个,所需要的函数乘积项仅有 40 个的时候,由于固定的与阵列所产生的 10 个信号的乘积项有 $2^{10} = 1024$ 个,所以将所有的乘积项(1024)减去所需的乘积项(40)就有 984 个乘积项被空闲。

(2)与阵列、或阵列均可编程:可编程逻辑阵列 PLA。这种类型的代表器件是可编程逻辑阵列 PLA(Programmable Logic Array),如图 2-3 所示。在可编程逻辑器件中,它的灵活性最高。由于它具有与或阵列均能编程的特点,在实现函数时,