



普通高等教育“十三五”规划教材
电子信息科学与工程类专业规划教材

Vivado入门与 FPGA设计实例

◎ 廉玉欣 侯博雅 等编著



外借



中国工信出版集团



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

电子信息科学与工程类专业规划教材

Vivado 入门与 FPGA 设计实例

廉玉欣 侯博雅 王 猛 侯云鹏 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书以 Xilinx 公司的 Vivado FPGA 设计套件为软件平台, 以依元素科技有限公司的 EGO1 Aritix-7 实验板卡为硬件平台, 将硬件描述语言 Verilog HDL 与 FPGA 设计实例相结合, 系统介绍了利用 Vivado 和 Verilog HDL 进行数字电路设计和 FPGA 开发的方法与流程。

本书主要内容包括硬件平台介绍、Vivado 软件平台介绍、FPGA 设计实例、组合逻辑电路设计实例、时序逻辑电路设计实例、数字逻辑电路设计及接口实例和数字逻辑综合实验。本书将 Verilog HDL 的语法讲解融入大量的 FPGA 设计实例中, 内容由浅入深、循序渐进、系统全面, 易于读者掌握 Verilog HDL 和 FPGA 设计方法。

本书不仅可作为高等学校电子信息类、电气信息类、自动化类等专业的本科生教材, 也可以作为数字电路设计工程师和技术人员的参考用书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有, 侵权必究。

图书在版编目 (CIP) 数据

Vivado 入门与 FPGA 设计实例 / 廉玉欣等编著. —北京: 电子工业出版社, 2018.9
ISBN 978-7-121-34768-9

I. ①V… II. ①廉… III. ①可编程逻辑器件—系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2018) 第 161519 号

策划编辑: 冉 哲

责任编辑: 冉 哲

印 刷: 北京京师印务有限公司

装 订: 北京京师印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 18 字数: 530 千字

版 次: 2018 年 9 月第 1 版

印 次: 2018 年 9 月第 1 次印刷

定 价: 48.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888, 88258888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: ran@phei.com.cn。

前 言

近年来,随着半导体工艺和处理器技术的高速发展,可编程逻辑器件已经成为业界大多数逻辑系统设计的核心。美国的 Xilinx 公司是全球领先的可编程逻辑器件及完整解决方案的供应商, Xilinx 新一代 FPGA 设计套件 Vivado 与上一代 ISE 设计套件相比,在设计环境和设计方法上发生了重大变化。Vivado 侧重基于知识产权(Intellectual Property, IP)核的设计,允许用户根据需要选择不同的设计策略,大大提高了 FPGA 的设计效率。

随着全开放、自主学习式实验教学模式的改革以及 FPGA“口袋实验室”在国内高校的日益普及,传统的数字逻辑实验课程面临巨大挑战。例如,传统实验教学中常用的 74 系列或 4000 系列中规模集成电路芯片价格较高且采购困难,数字逻辑综合实验需要使用大量的中规模集成电路芯片,硬件电路连线繁多,不易于安装与调试。通过 FPGA“口袋实验室”可以很容易地解决上述问题。每个学生都可以利用 FPGA 板卡,随时随地验证理论课程的教学内容,并将自己的设计或创意在板卡上运行,有利于培养学生的自主学习能力、实践能力和创新能力。

本书以 Vivado FPGA 设计套件为软件平台,以依元素科技有限公司的 EGO1 Aritix-7 实验板卡为硬件平台,将硬件描述语言 Verilog HDL 与 FPGA 设计实例相互结合,系统介绍了利用 Vivado 和 Verilog HDL 进行数字逻辑电路设计和 FPGA 开发的方法与流程。书中的 83 个例程都可以用 EGO1 实验板卡实现, FPGA 实例所用的 Vivado 为 2017.2 版本。

本书内容的安排由浅入深、循序渐进、系统全面,不仅有利于读者对理论知识的消化吸收,而且对实践操作具有直接指导意义。

本书内容分为 4 部分,安排具体如下:

第 1 部分介绍硬件平台,包括 Xilinx 公司的 FPGA 器件系列,以及 EGO1 实验板卡的主电路和外围接口电路。

第 2 部分介绍 Vivado 软件平台,使读者对 Vivado 有一个初步的全面认识。

第 3 部分结合硬件平台和 Vivado 软件平台,通过设计实例介绍基于 Vivado 进行 FPGA 设计的三种基本方法,使读者快速入门 Vivado。

第 4 部分按照数字逻辑实验教学的主线,分别介绍基于 Vivado 的组合逻辑电路设计实例、时序逻辑电路设计实例、数字逻辑电路设计及接口实例和数字逻辑综合实验。

本书由依元素科技有限公司陈俊彦经理提议和发起,在写作过程中吸取了哈尔滨工业大学国家级电工电子实验教学中心教师的实践教学经验,由廉玉欣负责全书的统筹规划和文字润饰。第 1 章、第 2 章、第 3 章由廉玉欣完成,第 4 章、第 5 章、第 6 章由侯博雅完成,第 7 章的 7.1 节、7.2 节由王猛完成,第 7 章的 7.3 节、7.4 节由侯云鹏完成。

本书的撰写得到了 Xilinx 公司陆佳华先生和依元素科技有限公司工程师团队的大力支持和帮助,他们为本书的编写提供了大量的资料和硬件平台,在此向各位致以衷心的感谢!

FPGA 技术发展迅速,软件版本每年会有几次更新。编者水平有限,书中难免有错误和不妥之处,敬请读者批评指正,以便于本书的修订和完善。

作者

2018 年 6 月于哈尔滨工业大学

目 录

第 1 章 硬件平台介绍 1	第 4 章 组合逻辑电路设计实例 89
1.1 Xilinx FPGA 器件..... 1	4.1 逻辑门电路..... 89
1.1.1 Xilinx 公司简介..... 1	4.1.1 基本及常用的逻辑门..... 89
1.1.2 Xilinx 的 FPGA 器件系列..... 1	4.1.2 与非门的简单应用..... 94
1.2 EGO1 实验板卡..... 4	4.2 多路选择器..... 96
1.2.1 概述..... 4	4.2.1 2 选 1 多路选择器..... 96
1.2.2 使用注意事项..... 4	4.2.2 4 选 1 多路选择器..... 97
1.2.3 用户手册..... 5	4.2.3 4 位 2 选 1 多路选择器..... 100
1.3 EGO1 实验板卡测试流程..... 19	4.2.4 74LS253 的 IP 核设计及应用..... 102
1.4 EGO1 实验板卡的引脚约束..... 20	4.2.5 74LS151 的 IP 核设计..... 104
第 2 章 Vivado 软件平台介绍 25	4.3 数值比较器..... 105
2.1 Vivado 设计套件..... 25	4.3.1 4 位数值比较器..... 106
2.1.1 Vivado 设计套件安装流程..... 25	4.3.2 74LS85 的 IP 核设计及应用..... 108
2.1.2 IP 核封装器、IP 核集成器和 可扩展 IP 核目录..... 29	4.3.3 利用 74LS151 设计 2 位数值 比较器..... 111
2.1.3 标准化 XDC 文件..... 30	4.4 译码器..... 112
2.1.4 Tcl..... 31	4.4.1 3-8 线译码器..... 112
2.1.5 Vivado 设计套件的启动方法..... 31	4.4.2 74LS138 的 IP 核设计及应用..... 114
2.1.6 Vivado 设计套件的界面..... 31	4.4.3 显示译码器..... 116
2.2 FPGA 设计流程..... 36	4.5 编码器..... 121
2.2.1 Vivado 设计套件的设计流程..... 36	4.5.1 二进制普通编码器..... 121
2.2.2 设计综合流程..... 39	4.5.2 二进制优先编码器..... 122
2.2.3 设计实现流程..... 41	4.5.3 74LS148 的 IP 核设计..... 124
2.3 硬件描述语言..... 43	4.6 编码转换器..... 126
2.3.1 VHDL 简介..... 44	4.6.1 二进制-BCD 码转换器..... 126
2.3.2 Verilog HDL 简介..... 47	4.6.2 格雷码转换器..... 129
第 3 章 FPGA 设计实例 53	4.7 加法器..... 130
3.1 74 系列 IP 核封装设计实例..... 53	4.7.1 半加器..... 131
3.1.1 IP 核分类..... 53	4.7.2 全加器..... 131
3.1.2 IP 核封装实验流程..... 54	4.7.3 4 位全加器..... 132
3.2 基于原理图的设计实例——全加器..... 66	4.8 减法器..... 135
3.2.1 全加器实验原理..... 66	4.8.1 半减器..... 135
3.2.2 实验步骤..... 67	4.8.2 全减器..... 135
3.3 基于 Verilog HDL 的设计实例—— 流水灯..... 79	4.9 乘法器..... 138
3.3.1 设计要求..... 79	4.10 除法器..... 141
3.3.2 实验步骤..... 79	第 5 章 时序逻辑电路设计实例 144
	5.1 锁存器和触发器..... 144

5.1.1	锁存器	144	6.2.2	改进的 GCD 算法	205
5.1.2	触发器	145	6.3	求整数平方根	208
5.1.3	74LS74 的 IP 核设计及应用	150	6.3.1	整数平方根算法	209
5.2	寄存器	152	6.3.2	改进的整数平方根算法	216
5.2.1	基本寄存器	152	6.4	存储器	219
5.2.2	移位寄存器	155	6.4.1	只读存储器	219
5.2.3	74LS194 的 IP 核设计及应用	161	6.4.2	分布式存储器	222
5.3	计数器	163	6.5	VGA 控制器	225
5.3.1	二进制计数器	163	6.5.1	VGA 的时序	226
5.3.2	N 进制计数器	166	6.5.2	VGA 控制器实例	227
5.3.3	任意形式波形的实现	171	6.6	键盘和鼠标接口	246
5.3.4	74LS161 的 IP 核设计及应用	173	6.6.1	键盘	248
5.4	脉冲宽度调制	177	6.6.2	鼠标	251
5.5	时序逻辑电路综合设计	179	第 7 章	数字逻辑综合实验	259
第 6 章	数字逻辑电路设计及接口实例	186	7.1	数字钟	259
6.1	有限状态机	186	7.2	数字频率计	268
6.1.1	Moore 状态机和 Mealy 状态机	186	7.3	7 段数码管滚动显示电话号码	272
6.1.2	有限状态机设计实例	186	7.4	电梯控制器	276
6.2	求最大公约数	197	参考文献	282	
6.2.1	GCD 算法	198			

第 1 章 硬件平台介绍

1.1 Xilinx FPGA 器件

1.1.1 Xilinx 公司简介

Xilinx (赛灵思) 公司成立于 1984 年, 总部设在美国加利福尼亚州圣何塞市, 是全球领先的现场可编程逻辑阵列 (FPGA)、片上系统 (SoC) 和 3D IC 供应商。这些行业领先的器件与新一代设计环境及 IP 核完美地整合在一起, 可满足客户对可编程逻辑器件乃至可编程系统集成的广泛需求。

Xilinx 首创了 FPGA 技术, 并于 1985 年首次推出商业化产品。凭借 3500 项专利和 60 项行业第一, Xilinx 取得了一系列历史性成就, 包括开启无工厂代工模式 (Fabless) 等。Xilinx 产品线还包括复杂可编程逻辑器件 (CPLD)。Xilinx 可编程逻辑解决方案缩短了电子设备制造商开发产品的时间并加快了产品面市的速度, 从而减小了制造商的风险。传统设计方法使用的是固定逻辑门阵列, 而利用 Xilinx 可编程器件, 用户可以更快速地设计和验证电路。而且, 由于 Xilinx 器件是只需要进行编程的标准部件, 用户不需要像采用固定逻辑芯片那样等待样品或者付出巨额成本。

Xilinx 最近的创新, 让其产品转型为 All Programmable, 把各种形式的硬件、软件、数字和模拟可编程技术创建并整合到其 All Programmable FPGA、SoC 和 3D IC 中。这些器件将可编程系统的高集成度、嵌入式智能和灵活性集于一身, 支持高度可编程智能系统的快速开发。此外, Xilinx 器件还能大幅提高系统级性能, 降低功耗, 节约材料成本, 相对于其他解决方案而言, 可提供领先一代的价值。通过结合全球最佳制造工艺、突破性架构、高级电路、出色的设计软件, 以及无与伦比的执行力而实现了更高的质量, 从而创造出更高的价值。

Vivado 设计套件经过彻底全新设计, 可面向今后 10 年的设计要求, 满足软硬件 All Programmable 产品要求。Vivado 设计套件包括基于 C 语言和 IP 核的高级设计抽象以及最先进的实现算法, 工作效率可提高 15 倍。

Xilinx 产品广泛应用于火星探测器、机器人外科手术系统、有线和无线网络基础架构、高清视频摄像头和显示器, 以及工业制造和自动化设备等众多领域。未来, Xilinx All Programmable 器件可以打造出具有实时数据和图形分析功能、智能连接控制功能, 促进稀缺资源的更优化利用, 以及更高安全性的新一代智能系统。Xilinx All Programmable 器件未来还可应用于有线电信运营商和数据中心的软件定义网络 (SDN)、无线基础设施的自组织网络 (SON)、可再生能源的智能电网和风力涡轮、结合 M2M 通信推动智能工厂发展的机器视觉与控制技术、超高清 (4K/2K) 视频基础设施, 以及新一代智能汽车的驾驶员辅助和增强现实平台等。

1.1.2 Xilinx 的 FPGA 器件系列

Xilinx 公司在推出 7 系列 FPGA 之前, 它的 FPGA 器件系列主要包括高性能的 Virtex 系列和大批量的 Spartan 系列。在 20 世纪 90 年代后期推出这两个器件系列的时候, Virtex 和 Spartan 两者采用的是完全不同的架构。从用户的角度来看, 这两个系列的器件之间存在着显著的差别, 包括每种器件对应的 IP 核和使用时的设计体验都存在差异。如果能把终端产品的设计从 Spartan 设计扩展到 Virtex 设计, 架构、IP 核和引脚数量的差异就会非常明显, 反之亦然。

1. Spartan 系列

Spartan 系列适用于普通的工业、商业等领域, 目前主流的芯片包括 Spartan-2、Spartan-2E、Spartan-3、Spartan-3A、Spartan-3E 等种类。其中, Spartan-2 的系统门数最多可达 20 万门, Spartan-2E 的系统门数最多可达 60 万门, Spartan-3 的系统门数最多可达 500 万门, Spartan-3A 和 Spartan-3E

不仅系统门数更多，还增强了大量的内嵌专用乘法器和专用块 RAM 资源，具备实现复杂数字信号处理和片上可编程系统的能力。

Spartan-3E 是在 Spartan-3 成功的基础上进一步改进的产品，提供了比 Spartan-3 更多的 I/O 接口和更低的单位成本，是 Xilinx 公司性价比较高的 FPGA 芯片，具有系统门数从 10 万到 160 万的多款芯片。由于更好地利用了 90nm 技术，因此在单位成本上实现了更多的功能和处理带宽，是 Xilinx 公司新的低成本产品代表，主要面向消费电子应用，如宽带无线接入、家庭网络接入、数字电视设备等。其主要特点如下：

- 采用 90nm 工艺；
- 大量用户 I/O 接口，最多可支持 376 个 I/O 接口或 156 对差分 I/O 接口；
- 接口电压为 3.3V、2.5V、1.8V、1.5V、1.2V；
- 单个接口的数据传输速率可以达到 622Mbit/s，支持 DDR 接口；
- 最多可达 36 个专用乘法器，最大 648Kbit 块 RAM、231Kbit 分布式 RAM；
- 具有较宽的时钟频率，以及多个专用片上数字时钟管理器 (Digital Clock Manager, DCM)。

Spartan-3E 系列产品的主要技术特征见表 1.1。

表 1.1 Spartan-3E 系列产品的主要技术特征

型 号	系统门数	Slice 数	分布式 RAM 容量	块 RAM 容量	专用乘法器数	DCM 数	最大可用 I/O 接口数	最大差分 I/O 接口对数
XC3S100E	100k 门	960 个	15Kbit	72Kbit	4 个	2 个	108 个	40 对
XC3S250E	250k 门	2448 个	38Kbit	216Kbit	12 个	4 个	172 个	68 对
XC3S500E	500k 门	4656 个	73Kbit	360Kbit	20 个	4 个	232 个	92 对
XC3S1200E	1200k 门	8672 个	136Kbit	504Kbit	28 个	8 个	304 个	124 对
XC3S1600E	1500k 门	14752 个	231Kbit	648Kbit	36 个	8 个	376 个	156 对

2. Virtex 系列

Virtex 系列是 Xilinx 公司的高端产品，也是业界的顶级产品，主要面向电信基础设施、汽车工业、高端消费电子等应用。目前主流芯片包括 Virtex-2、Virtex-2 Pro、Virtex-4 和 Virtex-5 等系列。

Virtex-5 系列提供 4 种新型平台，每种平台都在高性能逻辑、串行连接功能、信号处理和嵌入式处理性能方面实现了最佳平衡。现有的三款平台为 LX、LXT 和 SXT。LX 针对高性能逻辑进行了优化，LXT 针对具有低功耗串行连接功能的高性能逻辑进行了优化，SXT 针对具有低功耗串行连接功能的 DSP 和存储器密集型应用进行了优化。其主要特点如下：

- 采用 65nm 工艺，结合低功耗 IP 核将动态功耗降低了 35%，此外，还利用 65nm 三栅极氧化层技术保持低静态功耗；
- 利用 65nm Express Fabric 技术，实现了真正的六输入 LUT，并将性能提高了两个速度级别；
- 内置用于构建更大型阵列的 FIFO 逻辑和 ECC 的增强型 36Kbit 块 RAM，并带有低功耗电路，可以关闭未使用的存储器；
- 逻辑单元多达 330000 个，可以实现更高的性能；
- I/O 接口多达 1200 个，可以实现高带宽存储器/网络接口，1.25Gbit/s LVDS；
- 低功耗收发器多达 24 个，可以实现 100Mbit/s~3.75Gbit/s 高速串行接口；
- 核电压为 1V，采用 550MHz 系统时钟；
- 550MHz DSP48E Slice 内置有 25×18 位乘法器，提供 352G MACs（硬件累加乘法操作，衡量 DSP 运算能力的指标）的性能，能够在将资源利用率降低 50% 的情况下，实现单精度浮

点运算;

- 内置式 PCI-Express 端点和以太网 MAC (Media Access Control) 模块提高面积效率;
- 更加灵活的时钟管理管道 (Clock Management Tile), 结合了用于进行精确时钟相位控制与抖动滤除的新型锁相环 (Phase Locked Loop, PLL) 和用于各种时钟综合的数字时钟管理器;
- 采用了第二代 Sparse Chevron 封装, 改善了信号完整性, 并降低了系统成本;
- 增强了器件配置, 支持商用 Flash 存储器, 从而降低了成本。

Virtex-5 系列产品的主要技术特征见表 1.2。

表 1.2 Virtex-5 系列产品的主要技术特征

型 号	Slice 数	分布式 RAM 容量	块 RAM 容量	以太网 MAC	DSP48E Slice 数	Rocket I/O 接口数	I/O bank 数	最大可用 I/O 接口数
XC5VLX30	4800 个	320Kbit	1152Kbit	0 个	32 个	0 个	13 个	400
XC5VLX50	7200 个	480Kbit	1728Kbit	0 个	48 个	0 个	17 个	560
XC5VLX85	12950 个	840Kbit	3456Kbit	0 个	48 个	0 个	17 个	560
XC5VLX110	17280 个	1120Kbit	4608Kbit	0 个	64 个	0 个	23 个	800
XC5VLX220	34560 个	2280Kbit	6912Kbit	0 个	128 个	0 个	23 个	800
XC5VLX330	51840 个	3520Kbit	10368Kbit	0 个	192 个	0 个	23 个	1200
XC5VLX30T	4800 个	320Kbit	1296Kbit	4 个	32 个	8 个	12 个	360
XC5VLX50T	7200 个	480Kbit	2160Kbit	4 个	48 个	12 个	15 个	450
XC5VLX85T	12960 个	840Kbit	3888Kbit	4 个	48 个	12 个	15 个	450
XC5VLX110T	17280 个	1120Kbit	5328Kbit	4 个	64 个	16 个	20 个	680
XC5VLX220T	34560 个	2280Kbit	7632Kbit	4 个	128 个	16 个	20 个	680
XC5VLX330T	51840 个	3420Kbit	11664Kbit	4 个	192 个	24 个	27 个	980
XC5VSX35T	5440 个	520Kbit	3024Kbit	4 个	192 个	8 个	12 个	360
XC5VSX50T	8160 个	760Kbit	4750Kbit	4 个	288 个	12 个	15 个	480
XC5VSX95T	14720 个	1520Kbit	8784Kbit	4 个	640 个	16 个	18 个	640

3. 7 系列 FPGA

2010 年 2 月, Xilinx 公司宣布采用高 K 金属栅 (HKMG) 高性能、低功耗工艺 (HPL) 生产下一代 28nm 的 FPGA, 而且新的器件应用一个全新的、统一的高级硅模组块 (Advanced Silicon Modular Block, ASMBL) 架构。HKMG 和 Xilinx ASMBL 架构的结合, 使 Xilinx 能够迅速而低成本地打造具有更多功能组合的多个领域优化的平台。7 系列产品包含几个新的 FPGA 系列, 在功耗、性能和设计可移植性方面都取得了更大进展。28nm 工艺和设计将功耗降低了 50%, 统一的架构使得客户能够更加方便地在系列间移植设计, 让其 IP 核投资发挥出更大的成效。这些 FPGA 系列是 Xilinx 新一代、领域优化和特定市场专用目标设计平台的基础。

Artix-7 FPGA 系列针对最低功耗和最低成本进行优化, 特征如下:

- 利用基于 Virtex 架构的 FPGA 满足成本敏感型、大批量市场的要求;
- 与上一代 FPGA 相比, 其功耗降低了 50%, 成本消减了 35%;
- 利用内置式 Gen 1×4 PCI-Express 技术实现了 3.75Gbit/s 串行连接功能;
- 丝焊芯片级 BGA 封装, 实现了小型化和低成本;
- 尺寸、重量和功耗特性都特别符合手持式应用的要求, 如便携式超声波、数字照相机控制

和软件定义无线电。

Kintex-7 FPGA 系列针对更低功耗的经济型信号处理进行优化，特征如下：

- 提供了 Virtex FPGA 级别的性能，并且将性价比提高了 2 倍；
- 与上一代 FPGA 相比，其功耗降低了 50%；
- 1.3125Gbit/s 串行连接功能和内置式 Gen 2×8 PCI-Express 技术；
- 丰富的块存储器和 DSP 资源，是无线通信基础设施设备、LED 背光和 3D 数字视频显示器、医学成像与航空电子成像系统的理想之选。

Virtex-7 FPGA 系列针对低功耗和最高系统性能进行优化，特征如下：

- 多达 2 百万个逻辑单元实现了突破性容量；
- 利用高达 2.4Tbit/s 的 I/O 带宽和 4.7T MACs 的 DSP 性能实现了 2 倍以上的系统性能；
- 实现了新一代 100GE 线卡、300Gbit/s 桥接器、太比特级交换机结构、100Gbit OTN 波长转换器、雷达和 ASIC 仿真；
- 与 EasyPath_7 FPGA 一起提供灵活的、无风险的成本削减方法，专门针对 Virtex-7 FPGA 设计。

1.2 EGO1 实验板卡

1.2.1 概述

EGO1 实验板卡是依元素科技公司基于 Xilinx Artix-7 FPGA 研发的便携式数模混合基础教学平台。EGO1 实验板卡配备的 FPGA (XC7A35T-1CSG324C) 具有大容量、高性能等特点，能实现较复杂的数字逻辑设计；在 FPGA 内可以构建 MicroBlaze 处理器系统，可进行 SoC 设计。该平台拥有丰富的外设，以及灵活的通用扩展接口。EGO1 实验板卡的实物图如图 1.1 所示。

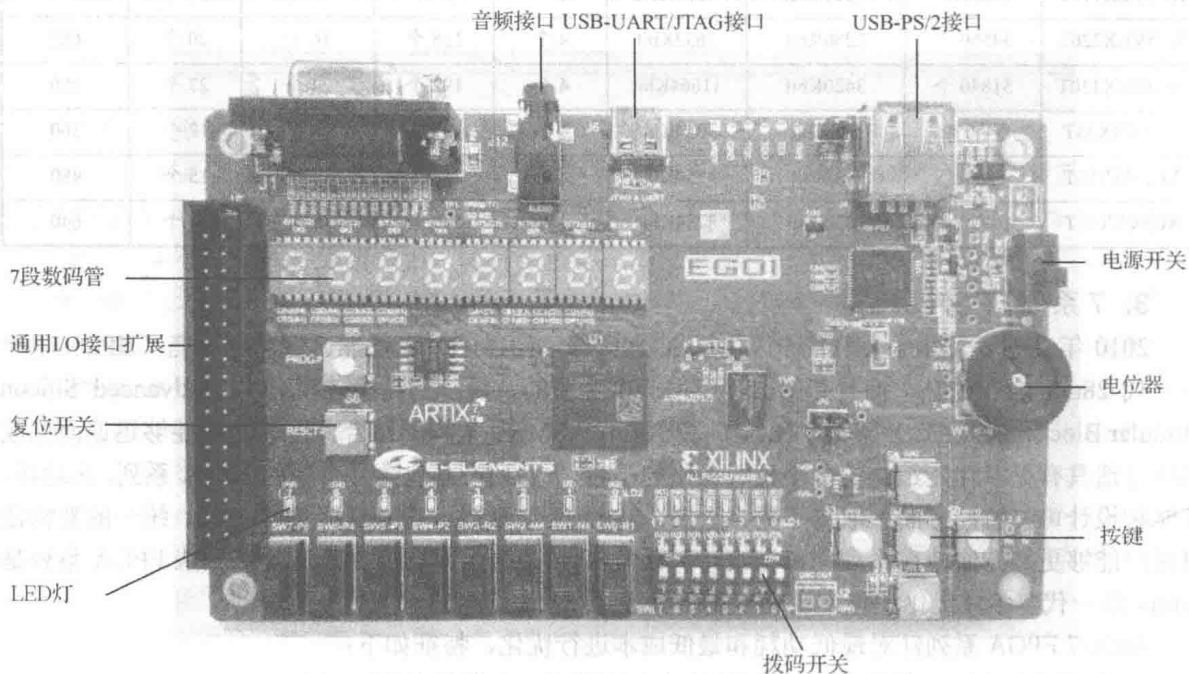


图 1.1 EGO1 实验板卡实物图

1.2.2 使用注意事项

每次使用 EGO1 实验板卡之前，人体应短暂接地，例如，用手触摸一下接地的金属导体，以泄放身上的静电荷，也可以使用专门的防静电工具，如防静电手环。

使用 EGO1 实验板卡时，将板卡附带的 USB 连接线一端插入 EGO1 实验板卡的 USB-UART/JTAG 接口，另一端插入计算机的 USB 接口。然后打开板卡上的电源开关，此时，板卡上的电源指示灯点亮。注意：操作时一定要轻插轻拔，一定不能垂直于板卡方向扭动，否则 USB 接口容易松动甚至脱落，损坏实验板卡。

利用 Vivado 开发工具，即可在 EGO1 实验板卡上进行实验和开发工作。

1.2.3 用户手册

1. FPGA

EGO1 实验板卡采用 Xilinx Artix-7 系列 XC7A35T-1CSG324C FPGA，其搭载的资源如图 1.2 所示。

	Part Number	XC7A12T	XC7A15T	XC7A25T	XC7A35T
Logic Resources	Logic Cells	12 800	16 640	23 360	33 280
	Slices	2 000	2 600	3 650	5 200
	CLB Flip-Flops	16 000	20 800	29 200	41 600
Memory Resources	Maximum Distributed RAM (Kb)	171	200	313	400
	Block RAM/FIFO w/ ECC (36 Kb each)	20	25	45	50
	Total Block RAM (Kb)	720	900	1 620	1 800
Clock Resources	CMTs (1 MMCM + 1 PLL)	3	5	3	5
	Maximum Single-Ended I/O	150	250	150	250
I/O Resources	Maximum Differential I/O Pairs	72	120	72	120
	DSP Slices	40	45	80	90
Embedded Hard IP Resources	PCIe® Gen2 ⁽¹⁾	1	1	1	1
	Analog Mixed Signal (AMS) / XADC	1	1	1	1
	Configuration AES / HMAC Blocks	1	1	1	1
	GTP Transceivers (6.6 Gb/s Max Rate) ⁽²⁾	2	4	4	4
Speed Grades	Commercial	-1, -2	-1, -2	-1, -2	-1, -2
	Extended	-2L, -3	-2L, -3	-2L, -3	-2L, -3
	Industrial	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L	-1, -2, -1L

图 1.2 EGO1 实验板卡搭载的 FPGA 资源

2. 板卡供电

EGO1 提供两种供电方式：Type-C 和外接直流电源。Type-C 接口支持 UART 和 JTAG，该接口用于为板卡供电。板卡上提供电压转换电路，将 Type-C 接口输入的 5V 电压转换为板卡上各类芯片需要的工作电压。上电成功后，板卡上的 LED 灯 D18 和 D30 点亮。

3. 时钟

EGO1 实验板卡搭载一个 100MHz 时钟芯片，输出的时钟信号直接与 FPGA 全局时钟输入引脚 (P17) 相连。若设计中还需要其他频率的时钟，可以采用 FPGA 内部的 MMCM (Mixed-Mode Clock Manager, 混合模式时钟管理器) 生成。EGO1 实验板卡的时钟引脚分配见表 1.3。

表 1.3 时钟引脚分配表

名称	原理图标号	FPGA 引脚
时钟引脚	SYS_CLK	P17

4. FPGA 配置

EGO1 实验板卡在开始工作前必须先配置 FPGA，配置 FPGA 的电路图如图 1.3 所示。板卡提供以下三种方式配置 FPGA：

- ① USB 转 JTAG 接口 J6；
- ② 6-pin 的 JTAG 连接器接口 J3；
- ③ SPI Flash 上电自启动。

5.2 FPGA 的配置文件的后缀名为.bit。用户可以通过上述的三种方式将该.bit 文件烧写到 FPGA 中，该文件可以通过 Vivado 工具生成，其具体功能由用户的原始设计文件决定。

5.3 在使用 SPI Flash 配置 FPGA 时，需要提前将配置文件写入 Flash 中。Xilinx 开发工具 Vivado 提供了写入 Flash 的功能。板上 SPI Flash 型号为 N25Q32，支持 3.3V 电压配置。FPGA 配置成功后，指示灯 D24 将点亮。

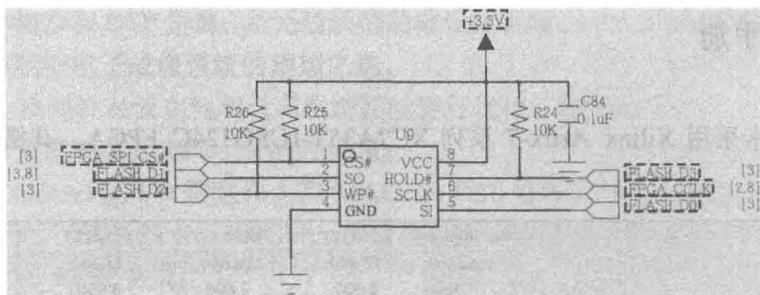


图 1.3 配置 FPGA

5. 通用 I/O 接口

通用 I/O 接口外设包括按键、开关电路、LED 灯电路、7 段数码管电路。

(1) 按键

按键包括 2 个专用按键和 5 个通用按键。2 个专用按键分别用于逻辑复位 RESET (S6) 和擦除 FPGA 配置 PROG (S5)。当设计中不需要外部触发复位时，RESET 按键可以用作其他逻辑触发功能。专用按键电路如图 1.4 所示。5 个通用按键，默认为低电平，当按键按下时，表示 FPGA 的相应输入引脚为高电平，其电路如图 1.5 所示。按键信号引脚分配见表 1.4。

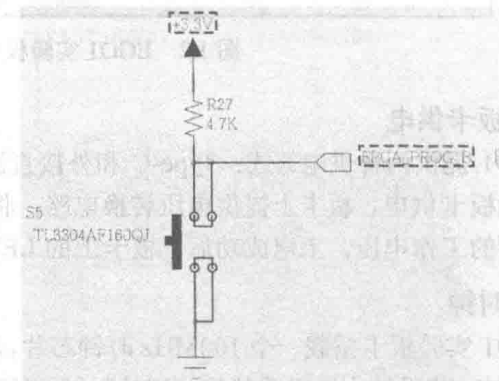
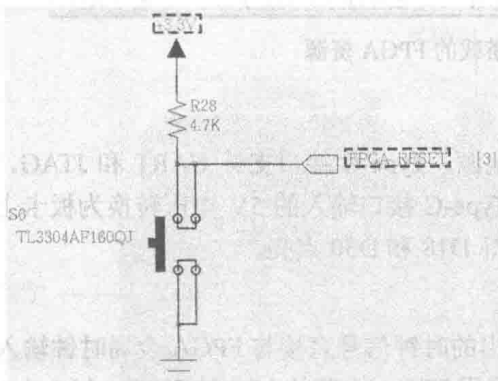


图 1.4 专用按键电路

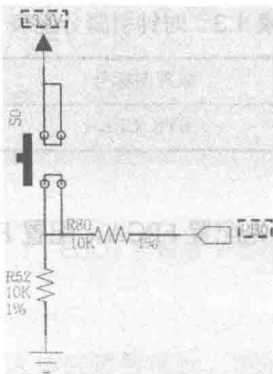


图 1.5 通用按键电路

表 1.4 按键信号引脚分配表

名 称	原理图标号	FPGA 引脚	名 称	原理图标号	FPGA 引脚
复位引脚	FPGA_RESET	P15	S2	PB2	R15
S0	PB0	R11	S3	PB3	V1
S1	PB1	R17	S4	PB4	U4

(2) 开关电路

开关包括 8 个拨码开关和 1 个 8 位 DIP 开关。开关的电路如图 1.6 所示。当开关向下拨动时，表示 FPGA 的输入为低电平。开关信号引脚分配见表 1.5。

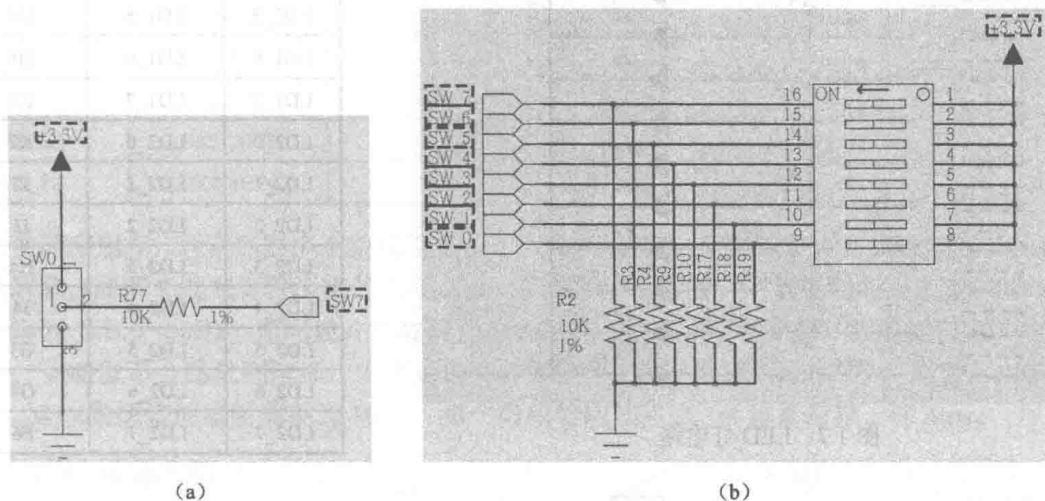


图 1.6 开关电路

表 1.5 开关信号引脚分配表

名 称	原理图标号	FPGA 引脚	名 称	原理图标号	FPGA 引脚
SW0	SW0-R1	R1	SW	SW_0	T5
SW1	SW1-N4	N4		SW_1	T3
SW2	SW2-M4	M4		SW_2	R3
SW3	SW3-R2	R2		SW_3	V4
SW4	SW4-P2	P2		SW_4	V5
SW5	SW5-P3	P3		SW_5	V2
SW6	SW6-P4	P4		SW_6	U2
SW7	SW7-P5	P5		SW_7	U3

(3) LED 灯电路

LED 灯电路如图 1.7 所示。当 FPGA 输出为高电平时，相应的 LED 灯点亮；否则，LED 灯熄灭。板上配有 16 个 LED 灯，在实验中可用作标志显示或代码调试的结果显示，既直观明了又简单方便。LED 灯信号引脚分配见表 1.6。

(4) 7 段数码管电路

7 段数码管为共阴极数码管，即公共极输入低电平。共阴极数码管由三极管驱动，FPGA 需要提供正向信号。同时，段选端连接高电平，数码管上的对应位置才可以被点亮。因此，FPGA 输出有效

的片选信号和段选信号都应该是高电平。数码管显示部分的电路如图 1.8 和图 1.9 所示，其引脚分配见表 1.7。

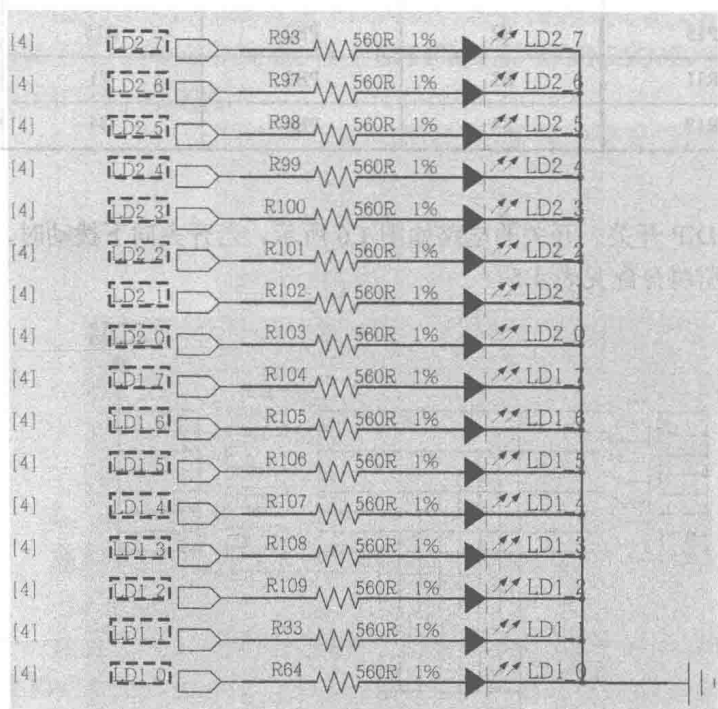


图 1.7 LED 灯电路

表 1.6 LED 灯信号引脚分配表

名称	原理图标号	FPGA 引脚
LD1_0	LD1_0	K3
LD1_1	LD1_1	M1
LD1_2	LD1_2	L1
LD1_3	LD1_3	K6
LD1_4	LD1_4	J5
LD1_5	LD1_5	H5
LD1_6	LD1_6	H6
LD1_7	LD1_7	K1
LD2_0	LD2_0	K2
LD2_1	LD2_1	J2
LD2_2	LD2_2	J3
LD2_3	LD2_3	H4
LD2_4	LD2_4	J4
LD2_5	LD2_5	G3
LD2_6	LD2_6	G4
LD2_7	LD2_7	F6

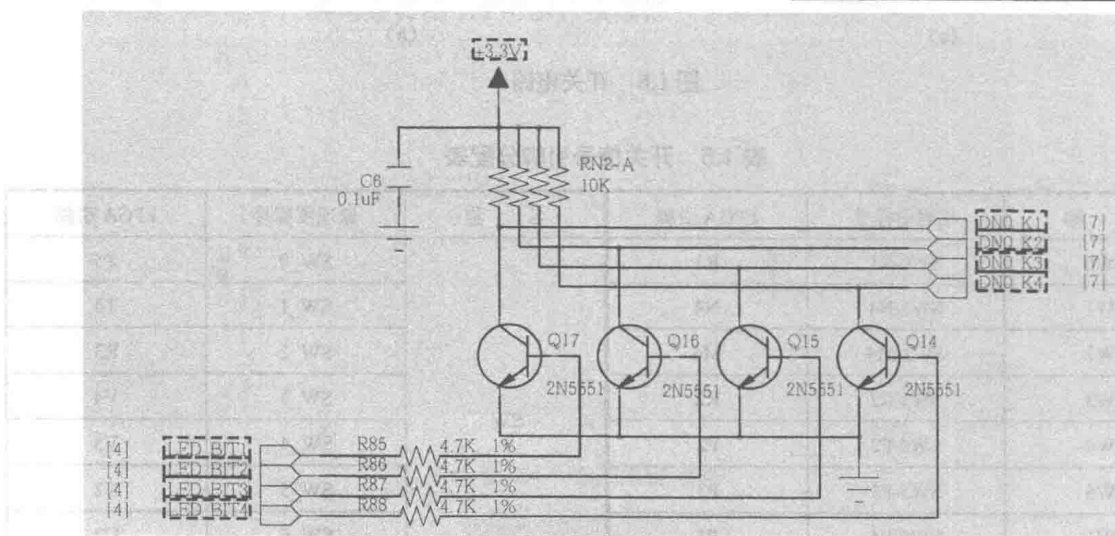


图 1.8 数码管显示部分的电路 1

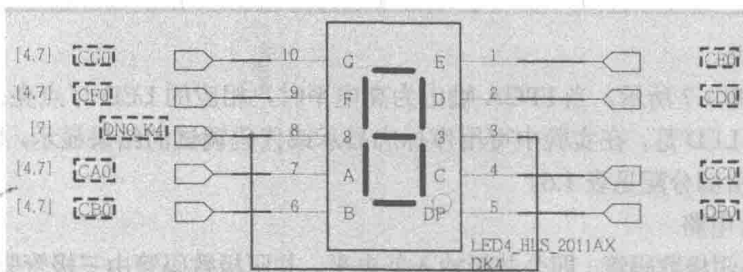


图 1.9 数码管显示部分的电路 2

表 1.7 数码管引脚分配表

名称	原理图标号	FPGA 引脚	名称	原理图标号	FPGA 引脚
CA0	CA0(B4)	B4	CA1	CA1(D4)	D4
CB0	CB0(A4)	A4	CB1	CB1(E3)	E3
CC0	CC0(A3)	A3	CC1	CC1(D3)	D3
CD0	CD0(B1)	B1	CD1	CD1(F4)	F4
CE0	CE0(A1)	A1	CE1	CE1(F3)	F3
CF0	CF0(B3)	B3	CF1	CF1(E2)	E2
CG0	CG0(B2)	B2	CG1	CG1(D2)	D2
DP0	DP0(D5)	D5	DP1	DP1(H2)	H2
DN0_K1	DK1_BIT1	G2	DN1_K1	DK5_BIT5	G1
DN0_K2	DK2_BIT2	C2	DN1_K2	DK6_BIT6	F1
DN0_K3	DK3_BIT3	C1	DN1_K3	DK7_BIT7	E1
DN0_K4	DK4_BIT4	H1	DN1_K4	DK8_BIT8	G6

在实际应用中,经常需要多个数码管显示,一般采用动态扫描显示方式。这种方式利用了人眼的滞留现象,即多个发光管轮流交替点亮。板卡上的 4 个数码管,只要在刷新周期 1~16ms (对应刷新频率为 1kHz~60Hz) 期间使 4 个数码管轮流点亮一次(每个数码管的点亮时间就是刷新周期的 1/4),人眼就不会感觉到闪烁,宏观上仍可看到 4 位 LED 同时显示的效果。例如,刷新频率为 62.5Hz,4 个数码管的刷新周期为 16ms,每个数码管应该点亮 1/4 刷新周期,即 4ms。

6. VGA 显示电路

VGA 显示电路如图 1.10 所示。EGO1 实验板卡利用 14 路 FPGA 信号驱动 VGA 接口,包括红、绿、蓝三基色各 4 位和两个标准行同步、场同步信号。色彩信号由电阻分压电路产生,支持 12 位的 VGA 彩色显示,具有 4096 种不同的颜色。对于每种红、绿、蓝三基色的 VGA 信号,都有 16 级信号电平。由于没有采用视频专用 DAC 芯片,因此色彩过渡表现不是十分完美。VGA 信号引脚分配见表 1.8。

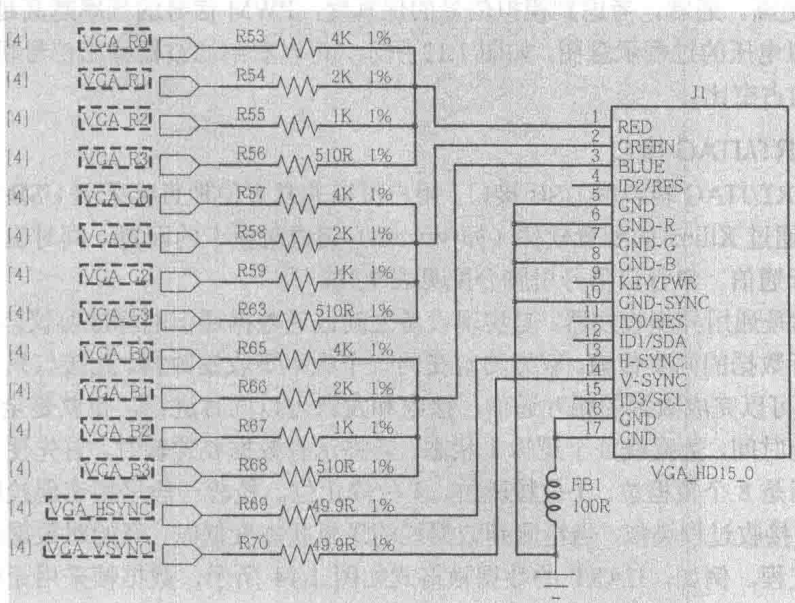


图 1.10 VGA 显示电路

表 1.8 VGA 信号引脚分配表

名 称	原理图标号	FPGA 引脚	名 称	原理图标号	FPGA 引脚
RED	VGA_R0	F5	BLUE	VGA_B0	C7
	VGA_R1	C6		VGA_B1	E6
	VGA_R2	C5		VGA_B2	E5
	VGA_R3	B7		VGA_B3	E7
GREEN	VGA_G0	B6	H-SYNC	VGA_HSYNC	D7
	VGA_G1	A6	V-SYNC	VGA_VSYNC	C4
	VGA_G2	A5			
	VGA_G3	D8			

在实际应用中，利用 FPGA 设计视频控制器电路驱动同步信号和色彩信号时，一定确保正确的时序，否则 VGA 显示电路不能正常工作。

7. 音频接口电路

EGO1 实验板卡上的单声道音频输出接口 (J12) 由低通滤波器电路驱动，如图 1.11 所示。滤波器的输入信号 (AUDIO_PWM) 是由 FPGA 产生的脉冲宽度调制信号 (PWM) 或脉冲密度调制信号 (PDM)。低通滤波器将输入的数字信号转化为模拟电压信号输出到音频插孔上。音频信号引脚分配见表 1.9。

脉冲宽度调制信号是一连串频率固定的脉冲信号，每个脉冲的宽度都可能不同。这种数字信号在通过一个简单的低通滤波器后，被转化为模拟电压信号，电压的大小与一定区间内的平均脉冲宽度成正比。这个区间由低通滤波器的 3dB 截止频率和脉冲频率共同决定。例如，如果脉冲为高电平的时间占有效脉冲周期的 10%，滤波电路产生的模拟电压值就是 V_{dd} 电压的十分之一。图 1.12 是一个简单的 PWM 信号波形。

低通滤波器 3dB 频率要比 PWM 信号频率低一个数量级，这样 PWM 频率上的信号能量才能从输入信号中过滤出来。例如，要得到一个最高频率为 5kHz 的音频信号，那么 PWM 信号的频率至少为 50kHz 或者更高。通常，考虑到模拟信号的保真度，PWM 信号的频率越高越好。PWM 信号整合之后输出模拟电压的过程示意图，如图 1.13 所示，可以看到滤波器输出信号幅度与 V_{dd} 的比值等于 PWM 信号的占空比。

8. USB-UART/JTAG 接口

该模块将 UART/JTAG 转换成 USB 接口。用户可以非常方便地直接采用 USB 线连接板卡与计算机 USB 接口，通过 Xilinx 的配置软件 (如 Vivado) 完成对板卡的配置。同时也可以通过串行口功能与上位机进行通信。串行口信号引脚分配见表 1.10。

UART 的全称是通用异步收发器，是实现设备之间低速数据通信的标准协议。异步是指不需要额外的时钟线进行数据的同步传输，双方约定在同一个频率下收发数据。此接口只需要两条信号线 (RXD、TXD) 就可以完成数据的相互通信，接收和发送可以同时进行，也就是全双工。

在发送器空闲时间，数据线处于逻辑 1 状态。当提示有数据要传输时，首先使数据线的逻辑状态为低 (0)，之后是 8 个数据位、1 位校验位、1 位停止位。校验一般采用奇偶校验，停止位用于表示一帧的结束。接收过程类似，当检测到数据线的逻辑状态变低时，开始对数据线以约定的频率抽样，完成接收过程。例如，UART 的数据帧格式如图 1.14 所示，数据帧采用无校验位，停止位为 1 位。

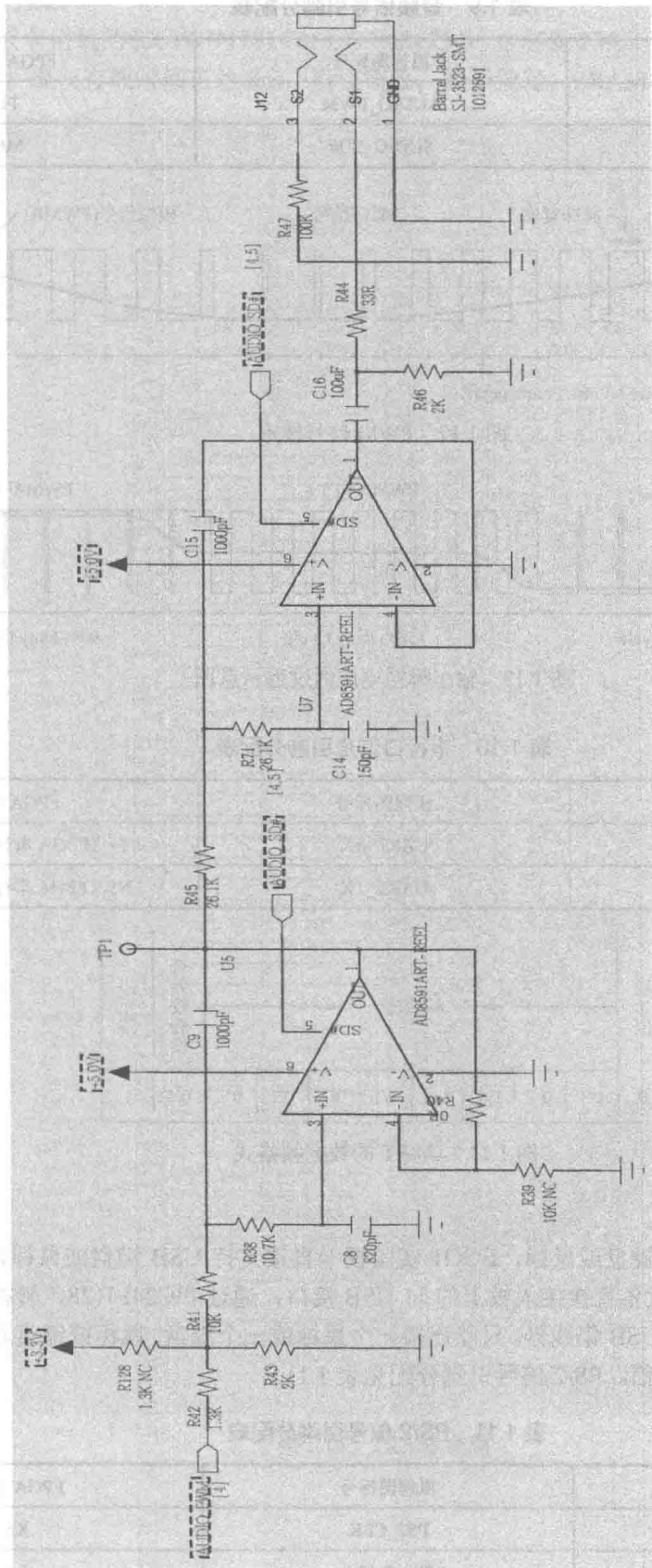


图 1.11 音频接口电路