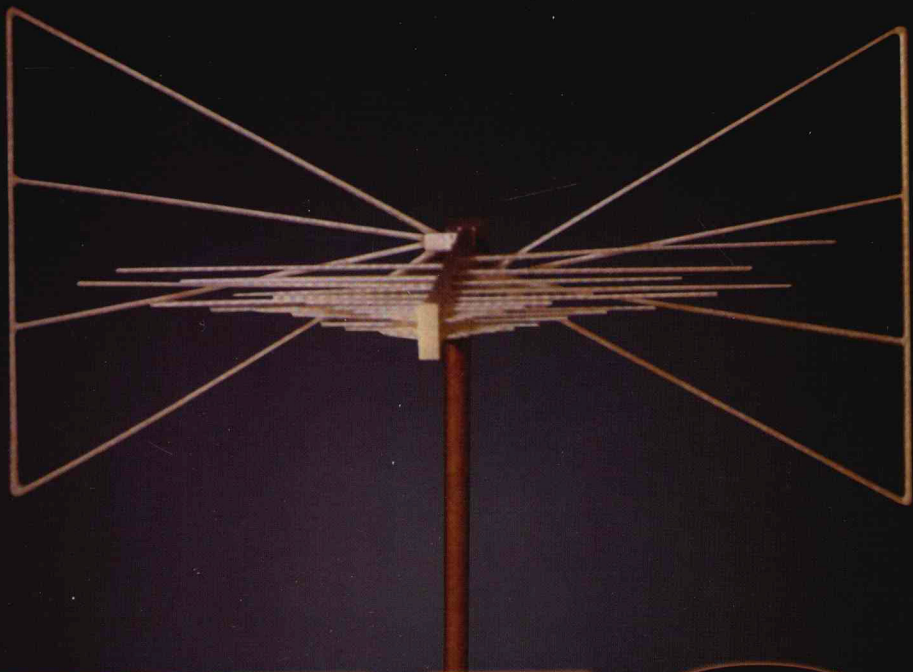


电磁兼容应用技术丛书



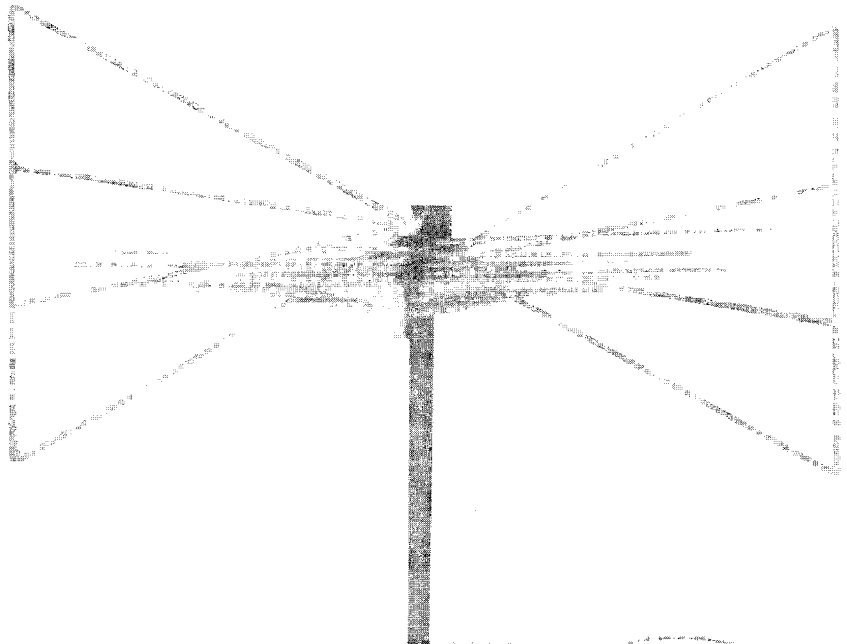
电磁兼容设计 实例精选

白同云 编著



中国电力出版社
www.cepp.com.cn

电磁兼容应用技术丛书



电磁兼容设计 实例精选

白同云 编著



中国电力出版社

www.cepp.com.cn

本书是《电磁兼容设计实践》的姊妹篇，重点介绍了作者亲自参与和多年收集的关于电磁兼容技术的设计实例，读者可在阅读《电磁兼容设计实践》，掌握理论分析和设计方法的基础上，通过书中的完整设计实例学习前人的设计方法和经验，将其应用到自己的设计中。全书最后列出了作者总结的电磁兼容设计步骤和方法，以便读者参考、学习。

全书共分八章，分别介绍了 PCB 设计与信号完整性设计、系统时序管理设计、地线设计、屏蔽设计、滤波设计、谐波抑制与功率因数校正设计、抗扰设计、系统电磁兼容与抗骚扰设计等方面精选的设计实例。

本书适合从事电磁兼容设计与应用的工程技术人员阅读参考，也可供电磁兼容研究领域本科生和研究生参考使用。

图书在版编目 (CIP) 数据

电磁兼容设计实例精选/白同云编著. —北京: 中国电力出版社, 2008

ISBN 978 - 7 - 5083 - 7058 - 3

I. 电… II. 白… III. 电磁兼容性 - 设计 IV. TN03

中国版本图书馆 CIP 数据核字 (2008) 第 060985 号

中国电力出版社出版、发行

(北京三里河路 6 号 100044 [http: //www. cepp. com. cn](http://www.cepp.com.cn))

北京丰源印刷厂印刷

各地新华书店经售

*

2008 年 7 月第一版 2008 年 7 月北京第一次印刷

1000 毫米 × 1400 毫米 B5 开本 14.5 印张 296 千字

印数 0001—3000 册 定价 26.00 元

敬告读者

本书封面贴有防伪标签，加热后中心图案消失

本书如有印装质量问题，我社发行部负责退换

版权专有 翻印必究

Preface

前言

中国正逐渐从“中国制造”走向“中国创造”。“创造”对中国来说，既是机遇，更是挑战。“创造”的核心，是一种广义的设计能力，其中就包括电磁兼容设计能力。纵观世界发达国家，无不以电磁兼容设计能力作为核心竞争力之一。

21 世纪是电子产品的新世纪。缩短设计周期意味着产品必须能做到首件工作正常。我们已经不再可能执行多次产品创建、设计测试、再设计的循环过程了。如果电磁兼容性问题不能从产品开始研发到设计完成前认真加以解决，产品将无法正常工作。

企业为了保持竞争性，就必须做好电磁兼容设计。影响研发进度并造成产品交货推迟，就是企业付出的最昂贵代价。

高密度、超深亚微米 ($0.1 \sim 0.01 \mu\text{m}$) 工艺在 IC 设计中的应用使芯片的集成规模更大，上升/下降沿已达 ps 级，信号互连复杂、密度大，芯片体积越来越小，引脚数越来越多，已达数百甚至上千，封装寄生效应显著，而由 IC 构成的电子系统正朝着大规模、小体积、高密度、高速度的方向飞速发展，而且发展速度越来越快。

在当今快速发展的电子设计领域，速度已成为最重要的因素。随着 IC 制造工艺不断进步，芯片上特征尺寸不断减小，芯片门数不断增加，以至于在同样成本、同样尺寸的芯片上可以有更强的功能。同时，随着上升时间变短，所有与信号完整性相关的问题都变得更加严重。电子设计的体积不断减小，导致 PCB 电路的布局布线密度变大。同时，信号的频率还在提高，PCB 已不仅仅是支撑电子元器件的平台，而成为高性能的系统结构，从而使得如何处理信号完整性问题成为一个设计能否成功的关键因素。或者说，即使布线拓扑结构没有变化，只要芯片速度变得足够快，现有设计也将停止工作。

电磁兼容性是电子设备或系统的主要性能之一。

电磁兼容设计是实现设备或系统规定功能，使系统效能得以充分发挥的重要保证。必须在设备或系统功能设计的同时进行电磁兼容设计。

目前，电子设备或系统设计的重点已由逻辑设计和功能设计转移到电磁兼容设计来了，能解决这些问题的工程师将会决定未来。

2000 年以来，我国电子产品电磁兼容设计逐渐得到重视，越来越多的企业走出了“测试修改法”的怪圈，涌现了一大批很有特色的设计实例。“分层与综合设计法”也得到了很坚实的充实和完善，显露出它的实用性和降低成本等优点，已被越来越多的工程师和企业所接受和认可。

本书是《电磁兼容设计实践》的姊妹篇，书中精选了大量实例，供读者参考。

本书的撰写是在清华大学工程物理系以及核电子学研究室领导和同志们的关心与

帮助下进行的，他们给予作者许多热情的鼓励与支持，特表示衷心的感谢。

本书共分八章，分别介绍了 PCB 设计与信号完整性设计、系统时序管理设计、地线设计、屏蔽设计、滤波设计、谐波抑制与功率因数校正设计、抗扰设计、系统电磁兼容与抗骚扰设计等方面精选的设计实例，期望对广大读者有一定帮助，若有不当之处，敬请批评指正。

白同云

于清华大学工程物理系

Contents

目 录

前言

第一章 PCB 设计与信号完整性设计

实例 1

第一节	速率高达 3.125Gbit/s 的数字互连信号完整性分析	1
-----	-------------------------------	---

第二节	千兆位设备 PCB 的信号完整性设计	3
-----	--------------------	---

第三节	一种低成本高密度的高速数模混合微系统集成	5
-----	----------------------	---

第四节	基于 ADSP21160 的高速并行信号处理板的设计	7
-----	----------------------------	---

第五节	高速 DSP 数据采集的信号完整性问题	10
-----	---------------------	----

第六节	基于 AD6644AST-65 的高速、高分辨率 ADC 电路设计	13
-----	-----------------------------------	----

第七节	高速数据转换器电路设计及布板指南	16
-----	------------------	----

第八节	可减少高频系统 EMI 的低噪声 10ns 触发控制电路设计	25
-----	--------------------------------	----

第二章 系统时序管理设计实例 29

第一节	高速电路抖动性能的剖析	29
-----	-------------	----

第二节	用眼图和抖动显示保证数字信号的质量	32
-----	-------------------	----

第三章 地线设计实例 35

第一节	声频系统的接地	35
-----	---------	----

第二节	通信系统与通信设备的接地	37
-----	--------------	----

第四章 屏蔽设计实例 40

第一节	系统级电磁兼容设计中的屏蔽	40
-----	---------------	----

第二节	CRT 显示器 EMI 抑制	41
-----	----------------	----

第三节	机柜通风孔的电磁屏蔽设计	43
-----	--------------	----

第四节	车载监控调度系统中的电磁兼容性设计	47
-----	-------------------	----

第五节	数字化时代的继电保护结构设计	50
-----	----------------	----

第六节	Belden 电缆的屏蔽解决方案	54
-----	------------------	----

第五章 电磁骚扰滤波器设计 举例 57

第一节	超宽带 EMI 滤波器的设计	57
-----	----------------	----

第二节	铁氧体吸收式滤波器的正确选择与使用	59
-----	-------------------	----

第三节	EMI 滤波器在开关电源中的应用	60
-----	------------------	----

第四节	如何确定在何种场合该选用哪种滤波器	64
-----	-------------------	----

第六章 谐波抑制和功率因数校正 设计实例 70

第一节	交流参数稳压电源及其对谐波的抑制	70
-----	------------------	----

第二节	电气设备的骚扰及其抑制	72
-----	-------------	----

第三节	电视机的谐波电流和抑制技术	76
-----	---------------	----

第四节	开关电源技术发展过程中存在的问题及其分析	79	第八章	电磁兼容设计与抗骚扰设计	
第五节	基于 MC56F8323 的单相功率因数校正模块的应用	83	举例	105	
第六节	高性能软开关功率因数校正电路的设计	88	第一节	PLC 与工业控制系统抗骚扰分析	105
第七章	抗扰设计举例	92	第二节	单片机系统抗骚扰设计	129
第一节	移动通信基站的防雷接地系统的设计	92	第三节	家用电器抗骚扰设计	140
第二节	银行系统电子设备防雷设计及运行维护解决方案	96	第四节	医疗器械的电磁兼容设计	154
第三节	中国国家图书馆计算机网络系统的雷电防护	101	第五节	系统电磁兼容设计	175
			第六节	通信系统电磁兼容设计	199
			第七节	电磁兼容设计步骤和方法	221
			参考文献	225	

Chapter 1

第一章

PCB 设计与信号完整性设计实例

| 第一节 速率高达 3.125Gbit/s 的数字互连信号完整性分析 |

随着时钟频率和数据传输率的激增，系统设计师们不得不关注信号完整性问题，如过冲、下冲、振铃、尖峰脉冲、串扰和过长的信号建立时间等。当问题进一步严重后，电路板的逻辑就会出现問題，使得其他部分都很出色的设计变得黯然失色。正是这类问题的影响，导致其他方面都很正常的信号经过传输后可能无法被接收芯片所识别。此外，还必须考虑诸如有损耗的传输线和复杂过孔模型等深层次效应。

针对数 Gbit/s 速率的分析方法，必须考虑损耗效应和过孔的复杂电气特性。这里的“损耗”是指印制电路板上由于印制线路的阻抗和绝缘材料（如 FR-4）的升温导致传输信号的幅度减弱和波形失真的现象。这种现象在传输较高速率的信号时尤其明显。例如，当驱动信号的上升/下降沿为 2ns 时，这种现象几乎很难被注意到，但是随着信号频率的提高，当上升/下降沿为 200ps 时，这种现象就会变得非常严重了。

为了正确地分析 G 赫兹级的设计，必须考虑损耗效应。随着基频和高频谐波的频率逐渐提高，各种损耗也随之增大，并且开始在电路板上产生副作用。这里主要有两种需要特别注意的损耗， R_s 和 G 分别表示了这两种损耗效应。其中， R_s 表示与频率和金属导线电阻有关的趋肤效应损耗， G 表示与频率有关的介质吸收效应导致的电导。普通印制电路板制造过程中使用的 FR-4 绝缘材料，与其他更加昂贵的绝缘材料相比，尤其容易出现损耗现象。随着频率的提高， R_s 和 G 的值都会增大。因此，信号的高频谐波就会被衰减。简化的特性阻抗方程如下所示，其中考虑了与频率有关的损耗

$$Z_0 = \sqrt{\frac{R_s + j\omega L}{G + j\omega C}}$$

趋肤效应和介质损耗效应都是与频率有关的。这意味着它们会随着频率增加而恶

化。趋肤效应 R_s 是这样形成的：随着频率的增加，导线中的电流趋向于挤到导线横截面的边缘流动；频率越高，导线表面的电流密度也就会越高，从而产生出更大的阻抗。介质损耗的作用机理和趋肤效应相同，信号频率越高，损耗越大。

通常，介质被认为是一种绝缘材料。但是在有高频电流流经导线时，快速变化的电流在介质中产生电流和引起分子运动。显然这种运动需要从信号中吸收能量，从而导致了信号的衰减。事实上，上面方程中的每一个变量， R_s 、 C 、 L 、 G ，都是会随着频率的变化而变化的，因此，上面的表述只是一种高频的近似。与低频相比，信号的高频分量会出现更加严重的衰减，这样就会使信号波形变得平滑、信号幅度出现降低；不同频率的信号在导线中传输速度也不同，这也会导致信号波形的改变。所有的这些损耗效应共同起作用，使得传输到 PCB 线路末端的信号不同于驱动芯片发出的信号，进而改变了信号的时间特性以及其他影响信号质量的关键因素。

随着频率的增加，介质损耗增加得比阻抗损耗快。介质损耗与频率增加成近似的线性关系，而趋肤效应损耗只与频率的增加成近似的平方根关系。这样，大于某个频率点后，介质损耗就超过阻抗损耗，成了主要的损耗。损耗所带来的主要影响是使信号延迟增加和眼图闭合现象。

PCB 过孔电磁效应的重要性绝不次于损耗效应，这种现象取决于拓扑构成和工作频率。随着频率的升高，由于其自身的电感和电容，过孔可能会引发无法预料的时间延迟和信号失真。与线路损耗类似的是，在大于等于 2ns 的驱动器上升/下降沿下，过孔的电磁效应是可以忽略不计的，但是在 200ps 时，其电气复杂性就变得很显著了。可以很清楚地看出延迟的增加。这种过孔损耗效应与由线路引起的信号衰减、延迟现象类似。

低于 GHz 的设计往往具有波形简单、延迟时间短的特点，但是 GHz 级的设计就需要采用“眼图”和“抖动”之类的测量方法了。

前面显示的波形都是基于单个开关或是由振荡得到的。事实上，这是传统同步数字设计的主流分析方法。然而，超高速设计通常都是采用另一种方式，即眼图，来进行时域中的检查。眼图是用一条多周期的长比特流做激励的仿真结果，其中把每一比特周期叠加在其他所有周期的最上面。眼图的波形多少有点像人的眼睛。在接收芯片的眼图中，眼睛中央部分张开的程度可以用来判断接收器恢复原始数据的可信度。在复杂比特流中，比特之间互相缠绕的趋势（在电压和时间轴上）叫做“抖动（jitter）”。出现太多“抖动”的数据通道是不可靠的，因为其比特错误率（BER）将会很高。任何“实际的”（与“理想的”相对）驱动器都会有一定程度的固有“抖动”现象。这种抖动是由时序上的随机不确定性产生的，因为驱动器的每一个跳变沿都是相对其他跳变沿显示的。设计人员可以通过设定“抖动”的百分比并且选择一种抖动的概率分布在仿真中把这种效应包括进去。这些设置可以在对话框的“随机抖动（Random Jitter）”区设定。缺省的设置是比特间隔的 1% 和高斯分布。

| 第二节 千兆位设备 PCB 的信号完整性设计 |

在千兆位设备的 PCB 板设计中,一个好的信号完整性设计要求全面考虑器件、传输线互连方案、电源分配以及 EMC 方面的问题。

高速 PCB 设计 EDA 工具已经从单纯的仿真验证发展到设计和验证相结合,这些工具包括时序分析、信号完整性分析、设计空间参数扫描分析、EMC 设计和电源系统稳定性分析等。需要运用仿真分析工具对供应商的约束规则 and 实际设计进行分析,考察和优化元器件选择、拓扑结构、匹配方案及匹配元器件的值,并最终开发出确保信号完整性的 PCB 布局布线规则。因此,千兆位信号的精确仿真分析变得十分重要,而器件模型在信号完整性分析工作中的作用也越来越得到重视。

1. 损耗影响

当信号频率升高,传输线上的衰减就不可忽略,此时需要考虑由导体串联等效电阻和介质并联等效电导引起的损耗,需使用有损传输线模型进行分析。

有损传输线等效模型如图 1-1 所示,从图中可以看出,表征损耗的是等效串联电阻 R 和等效并联电导 G 。等效串联电阻 R 是直流电阻和趋肤效应引起的电阻,直流电阻为导体本身的电阻,由导体的物理结构和导体的电阻率决定。当频率升高,趋肤效应开始作用,趋肤效应是当高频信号通过导体时,导体中的信号电流集中于导体表面的现象。在导体内部,沿导体截面信号电流密度呈指数衰减,电流密度减小为原来 $1/e$ 时的深度叫趋肤深度。频率越高,趋肤深度越小,导致导体的电阻增加。趋肤深度与频率的平方根成反比。

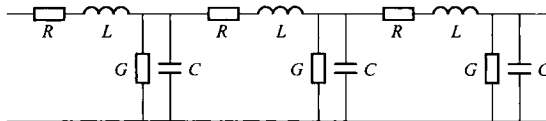


图 1-1 有损传输线等效模型

等效并联电导 G 也称为介质损耗 (Dielectric Loss)。在低频时,等效并联电导与介质的体电导率和等效电容有关,而当频率升高时,介质损耗角开始起主导作用。此时介质电导率由介质损耗角和信号频率决定。

一般来说,当频率小于 1GHz 时,趋肤效应损耗起主要作用,频率在 1GHz 以上时,介质损耗占据主导。

在仿真软件中可以设置介电常数、介质损耗角、导体电导率以及截止频率,软件在仿真时会根据传输线的结构考虑趋肤效应与介质损耗的影响。如果仿真衰减,一定要根据信号的带宽设置相应的截止频率,带宽由信号边沿速率决定,许多 622MHz 信号与 2.5GHz 信号边沿速率差别不大,另外在有损传输线的模型中也可以看到等效电阻和电导随频率变化而不同。损耗使信号的上升沿变缓,即减小了信号的带宽,并且损耗减小了信号的幅度。从另一方面讲,这对于抑制信号过冲是有好处的。传输线的串扰也会影响损耗,串扰决定于传输线物理结构、耦合长度、信号强度和边沿速率。在一

定长度后串扰会饱和, 损耗却不一定增加。

2. 过孔和连接器的影响

过孔将信号输送到板子的另一侧, 板间的垂直金属部分是不可控阻抗, 而且从水平方向变为垂直方向的拐点是一个断点, 会产生反射, 应尽量减少它的出现。

在千兆位系统设计仿真中, 要考虑过孔的影响, 需要有过孔模型。过孔的模型结构为串联电阻 R 、电感 L 和并联电容 C 形式。根据具体应用和精度要求, 可以采用多个 RLC 结构并联的形式, 并考虑与其他导体间的耦合, 此时过孔模型就是一个矩阵。

过孔模型的获取有两种方法: 一种是通过测试, 例如通过 TDR 来获得; 另一种可以通过 3D 的场提取器 (Field Solver), 根据过孔的物理结构来提取。

过孔模型参数与 PCB 的材料、叠层、厚度、焊盘/反焊盘尺寸以及与其连线的连接方式有关。在仿真软件中, 根据精度要求可以设置不同的参数, 软件会依据相应的算法提取过孔的模型并在仿真时考虑其影响。

在千兆位系统 PCB 的设计中尤其要考虑连接器的影响, 现在高速连接器技术的发展已经可以很好地保证信号传输时阻抗与地平面的连续性, 设计中对连接器的仿真分析主要采用多线模型。一般来说, 当频率小于 1GHz 时, 趋肤效应损耗起主要作用, 频率在 1GHz 以上时, 介质损耗占据主导。

在仿真软件中可以设置介电常数、介质损耗角、导体电导率以及截止频率, 软件在仿真时会根据传输线的结构考虑趋肤效应与介质损耗的影响。如果仿真衰减, 一定要根据信号的带宽设置相应的截止频率, 带宽由信号边沿速率决定, 许多 622MHz 信号与 2.5GHz 信号边沿速率差别不大, 另外在有损传输线的模型中也可以看到等效电阻和电导随频率变化而不同。

连接器多线模型是在三维空间下, 考虑管脚间的电感和电容耦合提取出来的模型。连接器多线模型一般使用三维场提取器提取出 RLGC 矩阵, 一般是 Spice 模型子电路形式。由于模型结构复杂, 提取和仿真分析时都需要较长的时间。在 SpectraQuest 软件中, 可以把连接器的 Spice 模型编辑成 Espice 模型, 赋给器件或直接调用, 也可以编辑成 DML 格式的封装模型赋给器件使用。

3. 差分信号及布线考虑

差分信号具有抗骚扰强、传输速率高的优点, 在千兆位信号传输中, 可以更好降低串扰、EMI 等的影响, 其耦合形式有边沿耦合与上下耦合、松耦合和紧耦合等形式。

边沿耦合与上下耦合相比具有更好降低串扰、布线方便、加工简单等优点, 上下耦合更经常应用于布线密度大的 PCB。紧耦合相对于松耦合具有更好的抗骚扰能力, 并能减小串扰, 松耦合则可更好控制差分走线阻抗的连续性。

具体的差分走线规则要根据不同的情况考虑阻抗连续性、损耗、串扰、走线长度差异等的影响。差分线最好用眼图来分析仿真结果。仿真软件可以设定随机序列码产生眼图, 并且可以输入抖动与偏移参数分析其对眼图的影响。

4. 电源分配与 EMC

数据传输速率的提高伴随着更快的边沿速率, 需要在更宽的频带内保证电源稳定性。一个高速系统可能会通过瞬态 10A 的电流, 并且要求电源最大纹波 50mV, 也就是

说要保证一定频率范围内电源分配网路的阻抗在 $5\text{m}\Omega$ 以内，例如信号的上升时间小于 0.5ns ，要考虑的频宽范围达 1.0GHz 。

在千兆位系统设计中，要避免 ΔI 噪声电流的骚扰，保证电源分配系统在带宽范围内具有较低阻抗。一般在低频段采用去耦电容降低阻抗，高频段主要考虑电源、地平面的分布。

SpecctraQuest 软件可以分析由于封装结构造成 ΔI 噪声电流的影响，其中的 Power Integrity (PI) 软件采用频域分析电源分配系统，可以有效地分析去耦电容数量与位置以及电源、地平面的影响效果，帮助工程师进行去耦电容选择以及放置位置、布线和平面分布分析。

EMI 电磁发射产生的主要原因是电路工作频率太高以及布局、布线不合理等许多电磁方面的问题，仿真参数和边界条件设置很困难，这将直接影响仿真结果的准确性和实用性。最通常的做法是将控制 EMI 的各项设计规则应用在设计的每一环节，实现在设计各环节上的规则驱动和控制，设计完成测试验证后又可以形成新的规则应用到新的设计中。

| 第三节 一种低成本高密度的高速数模混合微系统集成 |

多芯片组件 (MCM) 技术是将多块微型元器件组装在同一高密多层互连基板上并封装在管壳中，以实现一定的系统或部件功能的微组装技术。与片上系统 SOC 相比，MCM 系统由于设计灵活、成本低、开发周期短，因而在低成本、高密度的高速数模混合微系统集成中具有独特的优势。

将高速 MCM 用于 500MHz 数字示波器，提供高速触发信号及内插时间测量电压，其集成要求为：① 信号完整性 (SI) 好；② 电磁兼容性 (EMC) 满足标准要求；③ 集成度高、工艺可靠且成本适中。

高速系统中，由于信号上升/下降时间较短，可与互连延迟相比拟，信号传输呈现出电磁波的特性。为保证高速信号在一定时间内以持续的电压和正确的时序到达接收端，需要优化拓扑结构，调整互连阻抗、端接、几何尺寸及板层参数以满足 SI 要求。基于 SI 和 EMC 要求，同时考虑到缩小封装尺寸和降低成本，采用双面布局 6 层布线的 MCM-L 基板结构 (见图 1-2)。

整个基板面积为 $60\text{mm} \times 60\text{mm}$ 。关键芯片在基板两面按信号路径最短布局，并用通孔连接。6 层布线由上至下为：信号层 (1) — 地 (1) — 信号层 (2) — 地 (2) — 电源层 (1) — 信号层 (3)，3 层信号层均与地/电源平面相邻，为高速信号谐波产生的射频骚扰提供面积最小的电流回路。信号走线采用微带线和带状线两种传输线结构。微带线信号传输快，特征阻抗易控制，故数字部分走线较多采用；带状线的场吸收能力和抗骚扰能力强，适于布设易受骚扰的模拟电路走线。为减小数模串扰，将数模电路分区布局，模拟地和数字地用沟槽分开 (见图 1-3)。基板四周设 4 个焊盘区，高速信号引出端和接地端交替排布以减小串扰。信号由图 1-3 左下角输入，沿逆时针方向从沟槽口由地线护送进入模拟区，高速时钟差分走线沿最短路径送到高速 ECL 器件。

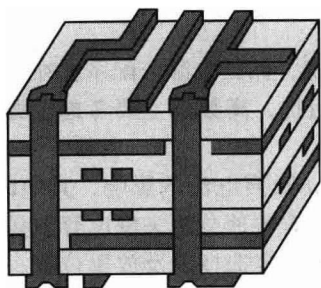


图 1-2 双面布局 6 层布线的
MCM-L 基板结构

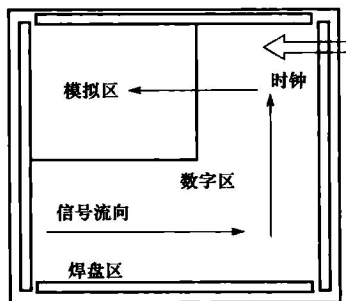


图 1-3 MCM-L 功能分区

基板制作采用 FR-4 材料和 MCM-L 工艺。相对于氧化铝陶瓷, FR-4 材料具有以下优点: ① 介电常数小, 信号传输快, 有利于减小传输延迟; ② 易打孔, 布线层数高, 适宜于低成本的多层布线; ③ 柔韧性好, 易安装, 不会因面积过大而脆裂。FR-4 的缺点是介电损耗大, 会引起较大的信号衰减, 稳定性和散热性不好。工艺方面, 基于 FR-4 的 MCM-L 同基于陶瓷基材的 MCM-D/C (薄厚膜工艺) 相比, MCM-L 成本低, 加工周期短, 易多层布线, 但集成度较低、图形制作不精细。500MHz 微系统的功耗较小 ($<10\text{W}$), 工作环境温度为 $-20 \sim +50^{\circ}\text{C}$, 基板面积大, 选用 FR-4 较好。基板上传输线的特征阻抗为 50Ω , 计算出 FR-4 的导线宽/介质厚, 较大陶瓷更有利于减小传输线的导体损耗和信号衰减。此外, 由于波导波长 (λ_g) 和介电常数的平方根成反比, FR-4 上 λ_g 更长, 传输线尺寸更大, 有利于降低对 MCM-L 图形加工精度的要求。故采用 MCM-L (FR-4 基板、铜导线) 实现该微系统集成, 性价比较高。

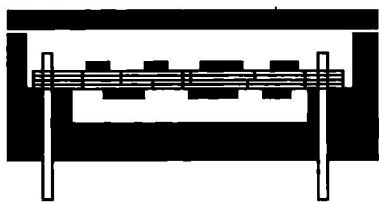


图 1-4 全金属管壳结构

基于电气传输、机械支撑、散热通路及 EMC 对封装的要求, 提出了专用定制全金属管壳结构 (见图 1-4)。管壳由底部管座和顶部盖板构成, 封装尺寸为 $70\text{mm} \times 70\text{mm} \times 20\text{mm}$ 。管座被挖空, 以放置双面基板。基板四周的焊盘打孔, 管座引脚穿过焊盘孔并焊接固定。盖板采用锡焊封帽, 成本低且易返修。镀金引脚共 4×16 根, 烧结在管座四周。引脚间距为 2.54mm , 直径 0.8mm 。引脚长度、管壳材料、管壳壁厚及孔缝尺寸需根据 EMC 的要求确定。该 MCM 中传输信号的波长为

$$\lambda_g = \frac{c}{f \sqrt{\epsilon_r}}$$

式中: c 为光速; ϵ_r 为介电常数; f 为信号频率。若取 $\epsilon_r = 4.5$, 则 $\lambda_g = 28\text{cm}$ 。为抑制引脚的天线辐射, 引脚长度应小于 $\lambda_g/4$, 同时考虑安装要求, 引脚长度设为 2.5cm 。由于基板射频辐射源 (如高速器件、通孔等) 到管壳距离小 ($< \lambda_g/6$), 骚扰源的辐射场可视为近场。近场屏蔽壁的反射损耗与导电率成正比, 与导磁率成反比, 故采用高导电率的铜材制作管壳, 可增加反射损耗, 提高屏蔽效能。此外, 屏蔽效能也受到

管壳壁厚的影响。管壁越厚, 包含的趋肤深度 (δ) 数目越多, 吸收损耗越大, 屏蔽效能越高。每增加一个 δ , 场衰减 8.6dB。500MHz 铜的趋肤深度为 0.00076mm, 故壁厚 1mm 可满足屏蔽效能的要求。为抑制引脚及管帽处的电磁泄漏, 孔径或缝长应小于 $\lambda_g/10 \sim \lambda_g/100$ 。本管壳中孔缝尺寸均可满足要求。

基于器件的 IBIS 模型, 使用 Cadence 公司板级仿真工具 SpectraQuest, 仿真了 MCM-L 基板上一条关键传输线的时序和信号完整性, 图 1-5 为该传输线的仿真波形图。

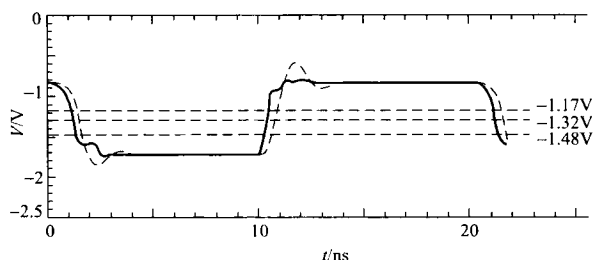


图 1-5 U3 输入信号仿真波形图

图 1-5 给出了 U3 的输入波形 (实线) 和 U5 处的反射仿真波形 (虚线)。可以看到, 反射波的上升/下降沿处出现 50mV 过冲。U3、U5 均为 ECL 器件, 噪声容限为 150mV, 故该过冲在噪声容限以内。

由上述分析可知, 经过较小的传输延迟, MCM-L 基板上的高速信号 ($T_r = 150\text{ps}$) 可以准确沿传输线 U3 ~ U5 传输。按照同样的方法, 对基板上其他主要传输线进行了 SI 仿真, 得到了满足 SI 要求的仿真结果。

为保证该高速 MCM 可测, 版图中设置 16 个测试点, 其中 4 个测试点由引脚引出 MCM, 供给整机。该高速 MCM 的测试电路包括高频激励信号接口、高速时钟、控制电路、电源配置以及高速信号输出接口。其中, 1kHz ~ 500MHz 激励信号由函数发生器和射频信号发生源提供, 通过同轴接口导入 MCM; 500MHz 时钟由 10MHz 晶振经锁相环倍频后产生; 10 个控制信号由 CPLD 产生, 控制信号时序用逻辑分析仪检测, 输出信号用高速数字示波器观测。

第四节 基于 ADSP21160 的高速并行信号处理板的设计

工作于高频波段 (3 ~ 30MHz) 的地波雷达是一种新体制雷达, 具有优异的超视距探测能力, 可应用于海态遥感以及对海面舰船目标和海上飞行目标进行探测与跟踪。雷达信号处理机是高频地波雷达的重要组成部分, 要求信号处理机具有每秒超过百亿次浮点运算的处理能力, 结构上要由多块信号处理板组成, 而且每块处理板上要有多个并行工作的处理器。

ADSP21160 是新一代 SHARC 数字信号处理器, 工作主频为 100MHz, 采用 BGA 封装, 在硬件设计中, 需要运用高速电路设计方法进行设计。该电路板的设计利用了

EDA 软件, 采用了合理的 PCB 层叠, 并通过优化电路布局布线, 采用端接技术抑制信号反射和减少串扰, 进行信号完整性分析和仿真, 确保了信号处理板稳定可靠地工作。

1. 并行信号处理板设计

(1) ADSP21160 的性能特点。ADSP21160 的工作主频为 100MHz, 指令周期为 10ns, 可进行 32bit 定点及 32bit 或 40bit 浮点运算, 单片能提供高达 600MFLOPS 的运算能力; 具有单指令多数据流 (SIMD) 内部结构, 有两个 32bit 的计算单元, 每个单元包括算术逻辑单元 (ALU)、移位器 (Shifter)、乘累加器 (MAC)、数据寄存器 (Data Register) 且保持与 ADSP2106x 代码高度兼容; 集成独立的 I/O 处理器, 片内具有 4Mbit 双口 SRAM, 片外具有 4G 字的统一寻址空间; PM、DM 和 I/O 总线都达到了 64bit, 支持新的同步主机接口协议, 链接口吞吐量增加到 100Mbit/s, 可使处理器之间的数据吞吐量增加; 支持多至 6 片并行处理器互连, 片内具有分布式总线仲裁逻辑, 不需任何附加逻辑电路。外端口支持统一的地址空间, 每一个处理器可直接读写任何一个并行处理器的内存; DMA 通道增加到 14 个, 每个设备都具有单独的 DMA 通道, 其中链接口占 6 个, 串口占 4 个, 外端口占 4 个, 打包模式支持 64bit 的外部 and 内部总线。

(2) 处理板的拓扑互连设计。根据雷达信号处理系统整体性能和算法的需要以及 ADSP21160 在结构上支持多处理器并行处理的特点, 利用 4 片 ADSP21160 进行信号处理板设计。处理器#1、#2 和处理器#3、#4 分别由局部数据总线和地址总线相连, 构成处理板上两个并行运算子模块, 每个运算子模块分别共享 $2M \times 64\text{bit}$ 的大容量片外 SRAM, 两个运算子模块基本平衡对称。各处理器间由链接口互相连接, 每个处理器都可与其余的 3 个处理器进行高速的点点对点通信, 每个处理器都有 1 个链接口连接到处理板的 VME 总线接口, 便于板间的互连通信以及与商品化信号处理板配合使用。其余 8 个链接口保留到前面板, 可用来与其他的信号处理板通信, 构成多维信号处理系统, 这些都为板间的数据传输提供了极大的便利。通过处理板上 VME 总线接口, 多块处理板可插在 VME 背板上并行工作, 处理板可通过 VME 总线与其他的处理板及主机通信, 构成完整的信号处理机系统。该处理板在硬件结构上具有简单、可靠、高效的优点, 有利于任务灵活分配和算法高效实现。

(3) VME 总线接口设计。雷达信号处理机系统基于 VME 总线, 各信号处理板模块通过 VME 总线进行板间互连通信及与主机通信。VME 总线采用独立的 32bit 地址总线及 32/64bit 数据总线, 使总线传送率达到了 80Mbit/s; VME 总线支持面向多主设备的并行处理, 建立了一套完整的总线仲裁机制, 很好地解决了总线资源的合理分配; VME 总线具有中断处理机构, 具备实时响应能力。这些特点使得 VME 成为性能优秀、I/O 吞吐能力强、应用最为广泛的开放总线标准之一。

信号处理板上的 VME 总线采用 VME64 标准, 地址总线宽度为 32bit, 数据总线宽度为 64bit。接口芯片选用 VIC64 芯片, 可实现宽度为 64bit 的数据传输, 这与 ADSP21160 的数据总线宽度 64bit 相符。VIC64 可分为 VME 总线接口端和局部总线端, 其 VME 总线接口端符合 VME64 标准, 可与 VME 总线直接相连; 但是 VIC64 局部总线端与 ADSP21160 外部总线在时序、数据总线排列顺序以及数据的传输方式上存在较大

的差异，采用可编程逻辑器件（CPLD 或 FPGA）来实现。

2. 印制电路板的设计

ADSP21160 的工作频率达到 100MHz，信号边沿的上升时间和下降时间小于 1ns，由高速器件构成的高速、复杂电子系统给 PCB 的设计提出了严格的要求。在低速数字系统中无需考虑的信号延迟、反射、串扰及电磁兼容性等一系列信号完整性问题，对高速数字系统工作可靠性和稳定性的影响正在变得越来越严重。ADSP21160 采用 400 个焊球（20×20 阵列）的 BGA 封装，管脚密度很大，这给电路板的布局布线、电源与地的去耦增加了困难。因此在信号处理板的设计中必须对信号传输以及信号质量等方面的信号完整性问题加以认真地研究，并且采用高速电路设计方法进行电路设计，这样才能保证设计质量。进行高速电路设计时，良好的印制电路板层叠结构和板层定义及精心的布局布线，可有效地控制信号线的阻抗，降低信号的反射，使得大部分信号线的串扰被控制在允许的范围内，满足信号完整性的要求。而电路板上仍然存在信号完整性问题的信号线可通过终端阻抗匹配予以解决。根据 VME6U 板、ADSP21160 信号线的密集程度和信号完整性的约束条件，采用了表 1-1 的层叠结构，信号层与地层或电源层相邻，地层和电源层紧靠，层叠基本对称平衡，可获得较好的信号完整性环境。选定合理的层叠结构后，电路板还应具有合理的布局布线，可利用自己的设计经验和正确使用 EDA 软件寻找满足设计规则的布局。在布线的过程中，可制订如下合理的布线规则：

表 1-1 层 叠 结 构

第一层	Signal	第六层	GND
第二层	GND	第七层	Signal
第三层	Signal	第八层	Signal
第四层	Signal	第九层	GND
第五层	Power	第十层	Signal

(1) 保证同一布线层互连线阻抗一致，同一布线层的线宽一般也应相等。

(2) 在优化布局的基础上，尽量缩短高速信号线的走线长度，保证控制信号延时的一致性。

(3) 相邻布线层的信号线，总体走向应该互相垂直，在同一布线层上尽量使高速信号线与其他平行信号线间距拉大，平行长度缩小。

(4) 在布线密度方面，要求低速信号的布线密度可以相对大，而高速信号的布线密度应尽量小，使电路板的布线密度基本平衡，布线密度过大不利于减小信号间的串扰；应尽可能减少过孔的使用和直角走线，过孔和直角走线对于传输线来讲都是阻抗不连续点，会产生信号反射，从而破坏信号的完整性。

在实际设计工作中，能够通过优化布局布线等工作解决的信号完整性问题一般都不采用端接方法解决，因为一般高速电路都设计得非常紧凑，应尽量少增加元器件数量从而减少功耗和电路板面积。但对信号完整性问题比较严重的信号线应采用端接方法予以解决。

| 第五节 高速 DSP 数据采集的信号完整性问题 |

1. 信号完整性问题产生的机理

良好的信号质量是确保稳定时序的关键。由于反射和串扰造成的信号质量问题都可能带来时序的偏移和紊乱。例如,串扰会影响信号的传播延迟,导致在时钟的上升沿或下降沿处采不到准确的逻辑;反射会造成数据信号在逻辑门限附近波动,从而影响信号上升沿或下降沿变化;时钟走线的骚扰会造成一定的时钟偏移。一个数字系统能否正确工作,其关键在于信号定时是否准确。信号定时和信号在传输线上的传输延迟与信号波形的损坏程度密切相关。信号传输延迟和波形破损的原因复杂多样,但主要是以下三种原因破坏了信号的完整性。

(1) 电源、地址噪声。它主要是源自电源路径以及 IC 封装所造成的分布电感。当系统的速度愈快,同时转换逻辑状态的 I/O 引脚个数愈多时,会产生较大的瞬态电流,导致电源线上和地线上的电压波动和变化,这就是所说的接地反弹。接地反弹是数字系统的几个主要噪声来源之一。接地反弹噪声常见的现象是:会造成系统的逻辑运作产生误动作,尤其近年来日益风行的 3.3V 逻辑家族。

(2) 串扰。信号在沿着传输线传输时,是以电磁波的形式传输的。电磁波包含时变的电场和磁场。因为电磁场的能量主要是在传输线的外部,根据麦克斯韦方程知道,时变场会在周围的传输线产生电压和电流。那么对受到骚扰的传输线而言,这个电压和电流就是由串扰造成的。串扰主要源自两相邻导体之间所形成的互感与互容。串扰会随着印制电路板的导线布局密度增加而越显严重,尤其是长距离总线的布局,更容易发生串扰的现象。

(3) 反射。反射现象的原因是:信号传输线的两端没有适当的阻抗匹配,印制电路板上的分支布局产生特性阻抗的断点,过孔的尺寸以及其他互连所造成的阻抗不连续等。对于确定的传输线而言,其特性阻抗为一个常数。

2. 保证信号完整性的方法

(1) 抑制接地反弹。通过以上分析可知,电源线、地线以及 IC 封装所造成的分布电感是决定接地反弹的关键之一。要抑制接地反弹的影响,首先是减少 IC 封装的分布电感。在考虑 IC 引脚的配置图时,就应该将时钟脉冲信号或数据/地址总线的引脚位置摆放在较靠近芯片的地方;其次,是采用分布电感量较小的 IC 封装技术。表 1-2 列举了几种常见 IC 封装技术的分布电感与电容,可以看出表面贴片的封装技术通常会比 DIP 封装技术减少 30% 的接地反弹,然后是降低印制电路板的分布电感量。由于电感与导体的长度成正比,与宽度成反比,所以在高速数字系统里大都采用多层板。其中会在里层摆放一个或一个以上的接地层,接地层面积相当宽广,目的旨在减少其地端回路的电感量。另外,电路设计时应尽可能避免让某个逻辑门驱动太多的负载。因为在数字电路若有多个并联的逻辑装置,总输入电容是将每个逻辑装置的输入电容直接相加。