

林容益 编著

TMS320F240x DSP 汇编 及C语言多功能控制应用



北京航空航天大学出版社



TMS320F240x DSP 汇编及 C 语言多功能控制应用

林容益 编著

北京航空航天大学出版社

内 容 简 介

本书从介绍 TMS320F240x DSP 的汇编语言及 C 语言入手,着重介绍 TMS320F240x DSP 的基本寄存器配置及编程特点,并针对 TMS320F240x DSP 的常规控制应用,利用实验方法,针对不同的片上外设,分别设计了不同的实验。内容包括:机电控制结构及开发系统、机电控制的存储器配置结构、CPU 与机电控制结构及状态模块以及控制系统专题制作。

本书适合作为电机与电器、电气工程与自动化、电力电子与电力传动专业及其他相关专业的高年级本科生和研究生的参考书,也可供研究开发 DSP 控制系统的工程技术人员参考。

图书在版编目(CIP)数据

TMS320F240x DSP 汇编及 C 语言多功能控制应用/林容益
编著. —北京:北京航空航天大学出版社,2009.5

ISBN 978-7-81077-779-7

I. T… II. 林… III. 数字信号—信息处理系统 IV.
TN911.72

中国版本图书馆 CIP 数据核字(2009)第 070253 号

© 2009,北京航空航天大学出版社,版权所有。

未经本书出版者书面许可,任何单位和个人不得以任何形式或手段复制或传播本书及其所附光盘内容。

侵权必究。

原书名《TMS320F240xDSP 组合语言及 C 语言多功能控制应用》。本书中文简体字版由台湾全华科技图书股份有限公司独家授权。仅限于中国大陆地区出版发行,不含台湾、香港、澳门。

北京市版权局著作权合同登记号图字:01-2006-0906

TMS320F240x DSP 汇编及 C 语言多功能控制应用

林容益 编著

责任编辑 王慕冰 王平豪 朱胜军

北京航空航天大学出版社出版发行

北京市海淀区学院路 37 号(100191) 发行部电话:010-82317024 传真:010-82328026

<http://www.buaapress.com.cn> E-mail:emsbook@gmail.com

北京时代华都印刷有限公司印装 各地书店经销

*

开本:787×1092 1/16 印张:37.5 字数:960 千字

2009 年 5 月第 1 版 2009 年 5 月第 1 次印刷 印数:5 000 册

ISBN 978-7-81077-779-7 定价:65.00 元(含光盘 1 张)

前言

小到几十元钱的简易电子玩具,大到自动化控制系统等,除非速度要求极为快速(μs 以内)且需要作相当复杂的运算判别外,大多数是单片机的天下。自从 8051 系列单片机发展应用到今天将近二十年的时光,其变化之大实在令人叹为观止!类同于 PIC 系列单片机以及改良的 8051,不管国内还是国外都陆续地推出,其价格约在人民币 1.5~25 元以内,这使得单片机正式进入战国时代。

除了提升速度外,外设接口控制系统不断地扩增,一般通用的数字输入/输出(I/O)端口、多功能 CTC(计数定时器)、PWM、捕捉器(CAP)、比较器(CMPR)、串行 SPI、UART(SCI)及模拟比较器等都是标准配备,另外高速模拟/数字转换 ADC 接口, I^2C 以及近代蓬勃发展的 CAN 或 USB 或 MAC 等接口,则各家都有不同的组合单芯片单片机推出,可确认的都是 RISC 架构,低功耗高输出驱动电流的特性。

单芯片单片机以美系来说,主流系统有 Microchip 公司的 PIC 系列外设功能相当齐全,工作稳定,抗噪声性能相当良好,为大多数业界所采用,其缺点是开发系统族系繁杂,内存及外设的寻址麻烦,中断向量配置笼统,国内如义隆电子、和泰以及麦肯半导体等相当多的类同芯片都在陆续的推出。

另一个主流是 Atmel 公司所发展的 AVR 单片机,单一周期指令、RISC 架构且速度达 20 MIPS、灵活的寻址模式以及宽广的程序及数据存储器和 I/O 内存配置,是其最大的优点;近年更推出 JTAG 接口作 ICE 除错及 ISP 的刻录和 TAP 系统等,廉价方便的开发系统是其最大的优势。作者最近研发且将推出廉价的 JTAG 外设,发展 ICE 及 ISP 刻录等设备装置,请拭目以待。

TI 公司这几年来倾全力发展 DSP,更一统天下成为龙头,虽然市场份额不像 MCU 那么大,但价格高,利润好,挟其 DSP 的威势,更推出廉价的 MP430 系列单片机,显然是 C2000 系列的缩小版,简易及廉价的 JTAG 开发系统,齐全的外设,芯片价格都在 1~3 美元间,更侵吞到 MCU 单片机领域,美系的 MCU 俨然从此三国鼎立。

不管 Microchip 公司的 PIC 或 Atmel 公司的 AVR,都是 8 位的 MCU,而 TI 公司的 MSP430 可为 8 或 16 位,另外号称 DSP 系列的 C2000 族系,实际上是控制及通信外设相当齐全的 16 位 MCU,除具有 DSP 运作所需要的高速乘法运算和灵活的寻址运作模式外,在机电控制运作所需要的三相电力控制 SVPWM 接口外设,以及高速 ADC 和 CAN 局域网络控制系统外设,是最为突出的特点而广为工业界的控制系统所采用。齐全的开发应用软硬件及多种选择和价廉的芯片,可以说是当今自动化控制、电力电子机电控制的主要解决方案。

TMS320LF2407A 在 C2000 系列中是一种功能相当强的单片机,尤其是 CAN 控制局域网络接口,为机电控制传输的重要功能,具有 2 个三相电路控制的向量空间 SVPWM 功率驱动接

口,是 AC 电路控制的重要控制回路。另外,有 2 个 QEP 检测电路作为编码器的位置和速度检测作闭环控制,16 个信道的高速 12 位 ADC 接口,转换速度达 $0.5\ \mu\text{s}$,是对应模拟信号检测相当重要的检测和闭环检测,搭配 2407 高速乘加运算功能,对应 PID 控制、数字信号检测及处理,TMS320F/C2407 的 144 引脚 LQFP 包装,程序为闪存 $32\text{K}\times 16$ 位,由 JTAG 端口作 ICE 实时的软件和硬件除错以及 ISP 刻录,齐全的高阶 C 语言和低阶的汇编语言开发编译软件工具,单价仅为 8 美元,使得 2407 单片机在单芯片 SoC 化的机电控制中是不可或缺的。

本书以 SN-F2407M 实验开发系统配合 CPLD 的 SN-DSP2407P 接口,以简易的 C 语言和快速的汇编语言编写达 20 个以上的范例实验及多个专题制作,主要内容如下:

- (1) TMS320LF2407 系列 MCU 的硬件架构,内存配置及指令格式和其运作功能。
- (2) C2000 的 CC 或 CCS 程序的编辑、编译及除错等操作。
- (3) DSP 搭配 CPLD 作控制系统外设扩充及设计应用以及程序编写、测试及实验。
- (4) 事件处理器的 CTC、PWM、捕捉器等外设电路原理及机电控制应用和范例程序。
- (5) QEP 定位检测,串行端口 SPI、SCI 外设原理及其机电控制应用范例程序。
- (6) ADC/DAC 接口搭配 CPLD 及 I/O 映像外设的专题制作范例程序。
- (7) 直流电机定位控制、PLC 机电及温度闭环控制专题制作范例程序。
- (8) CAN 控制系统及三相 IGBT 电力变频交流电机控制专题制作范例程序。

本书所有的运作原理,都以深入浅出的方式,对硬件电路原理搭配程序加以说明,而每个程序段及指令都有备注说明功能,同时对于数学的运算推论都有精辟详尽的推演说明;更重要的是,每个实验的运作前和运作后,或运作的结果,都以表列资料或波形加以检测显示,因此对应每个实验的目的和结果就显得浅显易懂了,这对于教学或初学者是相当有帮助的。

作者曾多次到中国大陆,为大专教师演讲并实际操作示范此 F2407 的机电控制应用。作者以本书在台湾清华大学自强基金会科学园区、工研院及中科院等多位 FAE,以 CPU 的硬件结构和指令架构交替说明,在 10 个小时以内就把硬件搭配结构对应指令格式了解得一清二楚,这样就有充裕的时间来致力于程序编写的技巧及应用,这也是作者在本系统及本书中最在意、也最卖力的地方。DSP MCU 指令大致相同,只不过多了各种复杂的控制运算以及硬件外设特性详加了解即可。

很多人会说用高阶 C 语言来编写简洁得多,但是用 C 语言编写会使执行效率降低,并浪费内存导致需外加内存,且效能减低,因此必须以实际的应用及环境需求和执行速度来决定。本书中对应 C 语言的编写转成汇编语言都有详尽的分析说明及除错验证,相信如何混合 C 语言及汇编语言的编写才可达高效率的运作,是本书的最大特点。

TMS320LF2407 系列广泛使用于机电自动控制,尤其向量空间 SVPWM 及局域网络 CAN 及高速 QEP 等接口电路,对应于直流、交流伺服电机、无刷电机等的定速定位控制、三相电机定速定位等闭环精密控制等,需要高速外设以及大量的运算,此芯片是最佳的解决方案,是 TI 公司主力产品中且最廉价(单片最低仅 6~8 美元)高效能,因此特别推荐此系统。从研发 SN-DSP2407 及 510PP 兼容 ICE 除错器等的开发系统及外设电路,到实际的规划设计实用程序,并进行实验测试后才予以编写,前后历时一年半,是高阶机电控制入门者不可或缺的技术,更是专业人员最重要的参考书籍,看过作者所编写的一系列专业书籍,相信本书应是你的最爱。

所附的光盘,内含本书中所有的范例程序以及各种 CPLD 的电路设计结构文件;Data 内含 TMS320LF2407 的数据手册、程序语言集和 TI 公司所提供的一些应用示例及其对应理论、研究报告等;Code Composer 程序为 TI 公司免费软件,可上网取得。各种详尽的专题应用等可在光盘获取,可见内容相当丰富。

由于台湾掌宇公司吴文和总经理、工程部黄俊能先生和其他同仁的协助规划实验,德州仪器亚洲产品信息中心 DSP 部门提供的诸多信息和热心的帮助,才使得本书得以顺利完成,在此表示衷心的感谢!

编撰匆匆!虽一再编校,仍存在诸多的谬误,祈请不吝提供意见指正,不胜感谢!对于全华科技图书股份有限公司编辑部的全力编辑和协助校对,致以由衷的感谢!

谨志于

正弦电子工业有限公司

掌宇公司

移动电话:886-0939-285809

台北市双园街十八巷二号一楼:886-02-2302-2574

台北县三重市自强路四段八号五楼:886-02-22867722

林容益 敬上

目 录

第 1 章 机电控制 TMS320F/C2407 结构及开发系统

1.1	TMS320F2407 特性简介	1
1.2	TMS320F2407 架构	2
1.3	SN-DSP2407M 主 CPU 开发系统	9
1.3.1	SN-F2407M 存储器配置结构	15
1.3.2	SN-F2407M 接口信号配置	17
1.4	SN-DSP2407-MIO 外设控制开发系统	23
1.5	SN-DSP2407-PLD 扩充外设控制开发系统	26
1.6	SN-CPLD8/10 接口电路	27
1.6.1	EPF8282ALC84-4 接口电路	28
1.6.2	EPF10K10TC144 及 ACX1K100QC208 接口电路	35
1.7	SN-DSP2407S 开发系统实体结构	40

第 2 章 TMS320F/C2407 的存储器配置结构

2.1	TMS320LF/C2407 的存储器和映射寄存器及 I/O 的配置	44
2.2	TMS320LF/C2407 的外部存储器及 I/O 的读/写时序设置	52

第 3 章 2407 的 CPU 结构和寻址模式及指令

3.1	LF2407 的 CPU 体系结构	57
3.2	CPU 的运算处理体系结构	59
3.2.1	CPU 的乘法器运算处理体系结构	60
3.2.2	CALU 的多路转接输入移位倍乘器体系结构	62
3.2.3	中央算术逻辑单元 CALU 的体系结构	63
3.2.4	辅助寄存器的索引算术操作单元 ARAU 体系结构	66
3.3	存储器寻址方式	68
3.3.1	立即寻址方式	68
3.3.2	直接寻址方式	69
3.3.3	间接寻址方式	69
3.4	对应程序存储器 PM 及 I/O 存储器 IM 的读/写指令	71
3.4.1	程序存储器的读/写	71
3.4.2	I/O 存储器的读/写	72
3.5	对应程序存储器 PM 及数据存储器 DM 的交互读/写指令	72
3.6	程序存储器 PM、数据存储器 DM、I/O 存储器读/写及 ALU 运算指令	73

第 4 章 TMS320F/C2407 的程序分支及控制

4.1 程序地址产生器	78
4.2 指令的流水线操作	81
4.3 分支指令的分支、子程序调用及返回主程序操作	81
4.4 重复单一指令的执行操作	86
4.5 中断操作	86
4.6 外设中断寄存器	90
4.7 系统复位	93
4.8 非法寻址操作检测	93
4.9 外部中断控制寄存器	93
4.9.1 外部中断 1 控制寄存器	93
4.9.2 外部中断 2 控制寄存器	94
4.10 中断优先级及其向量表	95
4.11 系统结构控制及状态寄存器	98
4.12 看门狗定时器	101
4.12.1 看门狗定时器模块的特性	102
4.12.2 看门狗定时器 WDCNTR	102
4.12.3 看门狗复位锁控寄存器 WDKEY	103
4.12.4 看门狗定时器的控制寄存器 WDCR	104

第 5 章 LF2407 的 CC/CCS 操作及基本 I/O 测试实验

5.1 CC 简介	105
5.2 CC 的安装设置	105
5.3 LF2407 系列的 CCS/CC 程序编辑和编译操作	107
5.4 一般 I/O 的输入/输出应用	109
5.5 基本外设连接测试及实验	113

第 6 章 事件处理模块

6.1 事件处理模块概要	143
6.2 通用定时器 GPT	148
6.3 通用定时器的比较器操作	155
6.3.1 TxPWM 的输出控制操作	155
6.3.2 TxPWM 的输出控制逻辑电路	157
6.4 完全比较器单元	159
6.5 PWM 与比较器单位的结合电路	163
6.5.1 事件处理的 PWM 产生能力	164
6.5.2 可编辑的死区单元	164
6.6 比较器单元的 PWM 波形产生及 PWM 电路	167
6.6.1 事件管理的 PWM 输出产生	168
6.6.2 PWM 输出产生的寄存器设置	168
6.6.3 非对称 PWM 波形的产生	169

6.6.4 对称 PWM 波形的产生	169
6.7 向量空间 PWM	175
6.7.1 三相电力换流器	176
6.7.2 事件处理模块的空间向量 PWM 波形的产生	177
6.8 捕捉单元	183
6.8.1 捕捉单元的特性	184
6.8.2 捕捉单元的操作	185
6.8.3 捕捉单元的寄存器	185
6.8.4 捕捉单元的 FIFO 栈寄存器	187
6.8.5 捕捉中断	188
6.8.6 捕捉应用范例程序	188
6.9 四象限编码脉冲电路	191
6.9.1 QEP 引脚端	191
6.9.2 QEP 电路的计数时钟	191
6.9.3 QEP 译码电路	191
6.9.4 QEP 的通用计数器操作	192
6.9.5 通用定时器在 QEP 操作时的中断及相关比较输出	193
6.9.6 QEP 电路中的寄存器设置	193
6.9.7 QEP 电路应用范例说明(一)	193
6.9.8 QEP 电路应用范例说明(二)	195
6.10 事件处理模块的中断	204
6.10.1 EV 中断请求及其服务	206
6.10.2 EVA 中断相关寄存器	206
6.10.3 EVB 中断相关寄存器	211
6.10.4 捕捉器及事件中断的程序应用范例	215
6.11 事件处理外设的简易 C 语言程序应用	218
6.12 CPU 的中断及其空闲模式操作	230
第 7 章 模拟/数字转换 ADC 模块	
7.1 ADC 模块特性	243
7.2 ADC 转换概述	244
7.2.1 自动排序: 操作原理	244
7.2.2 基本操作	246
7.2.3 排序器用多重的“时序触发”进行“启动/停止”操作	247
7.2.4 输入触发说明	249
7.2.5 在排序期间的中断操作	249
7.3 ADC 模块的时钟预分频器	251
7.4 ADC 转换值的校准	252
7.5 ADC 转换的自我测试	252
7.6 寄存器的位功能描述	253

7.6.1	ADC 控制寄存器 1	253
7.6.2	ADC 控制寄存器 2	255
7.6.3	最大转换通道寄存器	259
7.6.4	自动排序状态寄存器	260
7.6.5	ADC 输入通道选择排序控制寄存器	260
7.6.6	ADC 转换结果值的缓冲寄存器(对于双排序模式)	261
7.7	ADC 转换时钟周期	261
7.8	ADC 转换模块的程序应用示例	262
第 8 章 串行通信接口 SCI 模块		
8.1	与 C240 的 SCI 接口差别	269
8.1.1	SCI 物理层的描述	269
8.1.2	SCI 的微体系结构	271
8.1.3	SCI 模块	271
8.1.4	多处理器及异步通信模式	272
8.2	SCI 可定义的数据格式	272
8.3	SCI 多处理器通信	273
8.3.1	空闲线多处理器模式	274
8.3.2	寻址位的多处理器模式	276
8.4	SCI 通信格式	277
8.4.1	通信模式的接收信号	277
8.4.2	通信模式的发送信号	278
8.5	SCI 端口的中断	279
8.6	SCI 模块寄存器	280
8.6.1	SCI 通信控制寄存器 SCICCR	281
8.6.2	SCI 控制寄存器 1 SCICTL1	283
8.6.3	SCI 的波特率选择设置寄存器 SCIHBAUD/SCILBAUD	284
8.6.4	SCI 控制寄存器 2 SCICTL2	285
8.6.5	SCI 接收器的状态寄存器 SCIRXST	286
8.6.6	接收器的数据缓冲寄存器 SCIRXEMU 和 SCIRXBUF	288
8.6.7	SCI 的发送数据缓冲寄存器 SCITXBUF	289
8.6.8	SCI 的中断优先级控制寄存器 SCIPRI	289
8.7	SCI 接口的应用程序示例	290
8.8	SCI 外设各寄存器及对应位名称表	303
第 9 章 串行同步通信接口 SPI 模块		
9.1	SPI 物理描述	305
9.2	SPI 控制寄存器	306
9.3	SPI 操作	308
9.3.1	SPI 操作引言	308
9.3.2	SPI 主/从连接	308

9.4 SPI 的中断	310
9.4.1 SPI 的中断允许位 SPI_INT_ENA(SPICTL.0)	310
9.4.2 SPI 的中断标志位 SPI_INT_FLAG (SPISTS.6)	310
9.4.3 SPI 的接收溢出中断允许位 OVERRUN_INT_ENA (SPICTL.4)	310
9.4.4 SPI 接收溢出中断标志位 RECEIVE_OVERRUN_FLAG (SPISTS.7)	311
9.4.5 SPI 中断优先级设置位 SPI_PRIORITY (SPIPRI.6)	311
9.4.6 SPI 数据格式	311
9.4.7 SPI 波特率及时钟结构	311
9.4.8 SPI 时钟结构	312
9.4.9 SPI 处于复位时的启动	313
9.4.10 适当地使用 SPI 的软件复位来启动 SPI	314
9.4.11 数据传输示例	314
9.5 SPI 控制寄存器	315
9.5.1 SPI 结构化控制寄存器 SPICCR	316
9.5.2 SPI 操作控制寄存器 SPICTL	317
9.5.3 SPI 操作状态寄存器 SPISTS	318
9.5.4 SPI 波特率寄存器 SPIBRR	319
9.5.5 SPI 仿真缓冲寄存器 SPIRXEMU	320
9.5.6 SPI 串行接收缓冲寄存器 SPIRXBUF	321
9.5.7 SPI 串行发送缓冲寄存器 SPITXBUF	321
9.5.8 SPI 串行数据寄存器 SPIDAT	322
9.5.9 SPI 中断优先级控制寄存器 SPIPRI	322
9.6 SPI 操作时序波示例	323
9.7 SPI 的汇编语言软件应用示例	325
9.8 SPI 的 C 语言软件应用示例	335
第 10 章 控制局域网络接口 CAN 模块	
10.1 简介	351
10.2 CAN 模块的概览	353
10.2.1 CAN 模块的协议概览	353
10.2.2 CAN 模块传输格式	353
10.2.3 CAN 控制器的结构	355
10.3 CAN 邮箱的布局	359
10.3.1 CAN 信息缓冲器	360
10.3.2 写入到接收邮箱 RAM	360
10.3.3 发送邮箱	361
10.3.4 接收邮箱	361
10.3.5 遥控帧的处理	362
10.3.6 接收过滤器	363
10.4 CAN 控制寄存器	364

10.4.1	邮箱方向及允许寄存器	365
10.4.2	发送控制寄存器	365
10.4.3	接收控制寄存器	367
10.4.4	主控制寄存器	369
10.4.5	位传输率设置寄存器	371
10.5	CAN 的状态寄存器	373
10.5.1	CAN 的整体状态寄存器	373
10.5.2	CAN 的错误状态寄存器	374
10.5.3	CAN 的错误计数寄存器	375
10.6	CAN 的中断控制	376
10.6.1	CAN 的中断标志寄存器	377
10.6.2	CAN 中断屏蔽寄存器	378
10.7	CAN 的结构配置模式及其传输操作	379
10.8	省电模式	383
10.9	空闲模式	383
10.10	CAN 总线的转换及仲裁和其他 CAN 设备芯片	387
10.10.1	Microchip 公司的 CAN 微控制器	387
10.10.2	Atmel 公司的 CAN 微控制器	388
10.10.3	CAN 总线的接口转换器	389
10.10.4	CAN 总线的仲裁	391
10.11	CAN 模块的应用及其示例程序	394
第 11 章 240x 控制系统专题制作实验示例 A		
11.1	PLC 的机电控制应用系统	423
11.1.1	接口原理说明	423
11.1.2	系统操作原理	425
11.1.3	定义简易 PLC 机电控制应用示例	426
11.2	直流伺服电机 PWM 定位控制	438
第 12 章 240x 控制系统专题制作实验示例 B		
12.1	实验 12-1 PWM 温度简易反馈控制专题	472
12.2	2407 与 MCU 通过 UART 进行 RTC 传输控制	488
12.2.1	AVR 的接口原理说明	489
12.2.2	实验 12-2 将所设置 RTC 及数据通过 SCI 传输控制专题	492
第 13 章 SPVC 三相电力控制专题应用示例		
13.1	SPVC 三相电力驱动电路简介	525
13.2	三相电力控制实验模块电路简介	526
13.3	三相 PWM 空间向量电力控制基本原理	530
13.4	三相 PWM 空间向量恒定 V/Hz 比例电机转速控制基本原理	537
13.5	实验 13-1 PWM 正弦波进行恒定 V/Hz 三相感应电机速度控制专题	539
13.5.1	实验程序	559

13.5.2 讨 论.....	562
13.6 实验 13-2 C 程序的硬件向量空间 SVPWM 产生三相弦波控制.....	568
第 14 章 CCS 及 F240x 的 Flash 程序数据 ISP 烧写	
14.1 简 介.....	574
14.2 CCS 的单步调试执行	574
14.3 F240x 的 Flash 程序数据 ISP 烧写	576
14.3.1 Flash 程序数据 ISP 烧写的 F24xx Flash Plugin V1.10.1 安装	576
14.3.2 F240x 系列的 Flash 程序数据 ISP 烧写	578

第 1 章

机电控制 TMS320F/C2407 结构及开发系统

1.1 TMS320F2407 特性简介

TMS320F2407 是 TI 公司所有 24x 系列中最新、功能最强且价格相当低廉的一种 MCU,除了具有强化的乘加运算可处理 DSP 操作外,实际上与一般的单片机相似。其特性简介如下。

(1) TMS320F2407 内核 CPU:

- ① 32 位的算术逻辑 ALU 运算单元。
- ② 一个 32 位的 ACC 累加器。
- ③ 具有 16×16 位的乘法器,其结果可与累加器 ACC 内相加。
- ④ 8 个 16 位辅助寄存器 AR0~AR7(类同于 TMS320C54x 系列)。
- ⑤ 操作并同时处理左右移的乘除 2 次方运算。

(2) TMS320F2407 的存储器:

① 544 字的 B0(PM 的 FE00H~FEFFH=256)、B1(DM 的 300H~3FFH=256)、B2(DM 的 60~6FH=32)等 16 位芯片属性双读取数据存储器 DARAM。

② F2407 内部具有 32K 的 16 位快速闪存(Flash)及 $2K \times 16$ 位的 SARAM。

③ 总共 218K 字寻址存储器空间,其中涵盖 64K 程序存储器空间、64K 数据存储器空间和 64K 的 I/O 寻址空间。

④ 外部存储器空间的配置。具有可由软件设置的等待状态时序,以便与外部端口连接同步,为 16 位地址总线和 16 位数据总线。

(3) 程序执行控制:

- ① 4 层的流水线操作(Line Operation)。
- ② 8 个固定的硬件堆栈。
- ③ 6 个外部中断、电源保护中断、复位、NMI 及 3 个可屏蔽的中断。

(4) 外设接口电路:

① F2407 有 16 个 PWM,而 F2403 有 8 个 PWM,最重要的是 F2407 可以设置成两组用于 AC 电力控制的三相向量空间 PWM 控制模块,具有 PWM 的死区设置控制。

② F2407 有 4 个 6 种模式的一般用途定时器,包括连续加数、连续加减数、单一加数、单一减数、方向式的加减计数等模式。

③ F2407 有 6 个计数捕捉器、4 个四象限编码器计数接口端口(QEP)。

- (5) 双组 10 位模拟/数字转换外设电路 ADC;
- F2407 具有 16 个多路转接 ADC 通道,ADC 转换速度约为 500 ns。
- (6) 41 个并列 PPIO 可定义双向、双工的输入/输出端口。
- (7) 串行同步接口 SCI 端口及 SPI 端口。
- (8) 最重要的是 F2407 具有机电控制局域网络的 CAN 外设电路。
- (9) 锁相 PLL 的倍频工作时钟。
- (10) 实时的中断看门狗 WDT 定时器。
- (11) 具有 JTAG 接口作程序调试及闪存程序存储器的擦除及写入。
- (12) 指令集为原有的 C2x、C5x 系列指令,仅有一个 ACC 累加器,辅助寄存器 ARx 必须由 MAR 设置 * 所代表的 ARx 操作,或在指令操作的同时设置下一个 ARx 的操作寻址($x=0\sim7$)。
- (13) 单一指令重复运算,硬件区域指令重复操作,位反向寻址作 FFT 的运算应用。
- (14) 每一个指令周期为 25 ns(50 MIPS),且大部分指令都是单一指令,仅需一个执行周期。
- (15) 具有 4 种省电的工作模式。
- (16) 具有 256×16 位的片上 Flash 程序存储器,可执行外部接口的程序载入执行。

1.2 TMS320F2407 架构

TMS320F2407 主架构建立在一个 32 位的累加器 ACC 的基础上,搭配 AR0~AR7 共 8 个辅助寄存器及其 8 种寻址模式来操作。但最重要的还是这 8 个辅助寄存器的指针 ARP(Auxiliary Register Pointer)。ARP 位于状态寄存器 ST0 的 3 个位指针,作为不必再重新寻址的运算指针。当然,ALU 的运算必须利用累加器 ACC 来进行,而乘法器则必须由 ARx 指针搭配 T 寄存器作乘法运算,积值存入一个 32 位的 P 寄存器(Product Register)内,然后乘积值 P 再进入 CALU 作加法加回累加器 ACC 内。其内部结构如图 1-1 所示。

对应立即数的操作或立即程序分支,由于数据或程序寻址宽为 16 位,因此 16 位的立即数或寻址设置必须占用 2 个字指令,这个 2 字指令可加入 4 位的(0~15、16)移位指令加入操作。另一个直接寻址方式是采用页次寻址方式,由于程序存储器数据宽为 16 位,除了指令码占用 7~8 位外,直接寻址仅可设置 7 位,另一个位 I 作为直接或间接寻址的设置码,因此 7 位直接寻址必须与状态寄存器 ST0 的 D8~D0 搭配,这 9 位的 A15~A7 作为高 9 位页次寻址组装成 16 位寻址,因此对应 ALU 的直接数据存储器寻址 DMA 与 ACC 操作指令就可组装相当多的指令群,但有些指令如 ADD 等可搭配 4 位的 0~15 或固定 16 位的左移位操作。

TMS320F2407 没有双读取的操作指令,但内部有数据存储器的读 DRDB 和写 DWEB 总线以及程序存储器的 PRDB 程序总线,其内部 CPU 结构如图 1-1 所示。

根据 TMS320F2407 的特性及外设电路,功能方框结构如图 1-2 所示。针对各个方框结构,其对应的外部控制引脚如图 1-3 所示。实际 TMS320F/C2407 的 144 引脚 LQFP 的 PGE 封装引脚如图 1-4 所示,针对各个引脚的名称,其功能列于表 1-1。

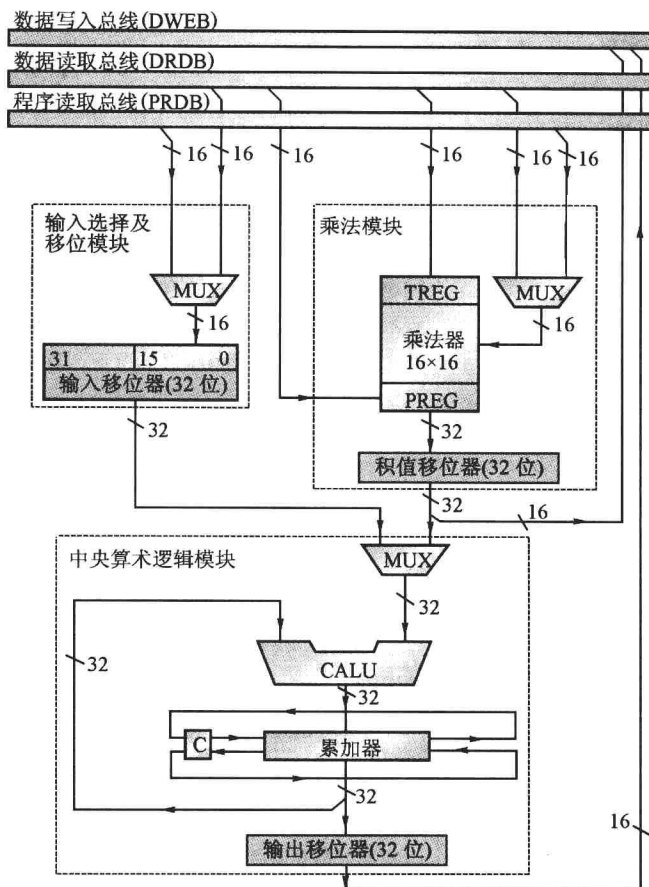


图 1-1 TMS320F24x 系列内部 CPU 结构图

表 1-1 TMS320F/C2407 对应 144 引脚功能说明

名 称	引脚数	状 态	功能说明
外部地址及数据总线			
A0	80	O/Z	并行地址总线输出端,通过 PS、DS 及 IS 来多路转接寻址输出到外部各个程序/数据存储区及 I/O 空间区域作寻址。若外部 EMU1/OFF 引脚设置为 LOW,则将令所有地址总线及数据总线以及 $\overline{PS}$ 、 $\overline{DS}$ 、 $\overline{IS}$ 、R/W、 $\overline{W/R}$ 、 $\overline{WR}$ 、 $\overline{RD}$ 、 $\overline{STRB}$ 、 $\overline{BR}$ 、XTAL2 等控制信号线都处于高阻抗 Z 状态;否则,EMU1/OFF=1,将令地址总线 A0~A15、数据总线 D0~D15 及控制信号线等使能。若程序执行到省电的 IDLE 模式,则这些总线将保持先前的状态值
A1	78		
A2	74		
A3	71		
A4	68		
A5	64		
A6	61		
A7	57		
A8	53		
A9	51		
A10	48		
A11	45		
A12	43		
A13	39		
A14	34		
A15	31		

续表 1-1

名 称	引脚数	状 态	功能说明
D0 D1 D2 D3 D4 D5 D6 D7 D8 D9 D10 D11 D12 D13 D14 D15	127 130 132 134 136 138 143 5 9 13 15 17 20 22 24 30	I/O/Z	并行数据总线输出/输入端,通过 PS、DS 及 IS 将工作数据输入/输出到外部各个程序/数据存储单元及 I/O 空间,区域通过 R/W、W/R、$\overline{WR}$、$\overline{RD}$、$\overline{STRB}$ 引脚信号作数据的读/写控制。若外部 EMU1/OFF 引脚设置为 LOW,则将令所有数据总线及地址总线以及 $\overline{PS}$、$\overline{DS}$、$\overline{IS}$、R/W、W/R、$\overline{WR}$、$\overline{RD}$、$\overline{STRB}$、$\overline{BR}$、XTAL2 等控制信号线都处于高阻抗的 Z 状态;否则,EMU1/OFF=1 将令数据总线 D0~D15、地址 A0~A15 及控制信号线等使能。若程序执行到省电的 IDLE 模式,则这些总线将保持先前的状态值
外部地址及数据总线的控制信号			
$\overline{PS}$	84	O/Z	CPU 从外部程序存储器 PM 取指令或读数据时, $\overline{PS}=0$ 信号搭配 A0~A15 地址及 D0~D15 数据总线控制
$\overline{DS}$ 数据选择	87	O/Z	CPU 从外部数据存储器 DM 读取或写入数据时, $\overline{DS}=0$ 信号搭配 A0~A15 地址及 D0~D15 数据总线控制
$\overline{IS}$ I/O 选择	82	O/Z	CPU 以 I/O 指令从外部存储器映射读取或写入数据时, $\overline{IS}=0$ 信号搭配 A0~A15 地址及 D0~D15 数据总线控制
R/W	92	O/Z	CPU 从外部存储器读取数据或写入控制时,对应此引脚发出 R/W=1 的读取或者 R/W=0 的写入控制信号
W/R/IOPC0	19	O/Z	与 IOPC0 多路转接使用,可设置为 IOPC0 输入/输出引脚或控制信号 W/R,当 CPU 从外部存储器读取数据或写入控制时,对应此引脚发出与 R/W 相反的读/写控制信号
$\overline{WE}$	89	O/Z	CPU 从外部存储器写入数据控制时,对应此引脚发出 $\overline{WE}=0$ 写入使能信号,搭配 $\overline{STRB}$ 作数据锁存控制
$\overline{RD}$	93	O/Z	CPU 从外部存储器读取数据控制时,对应此引脚发出 $\overline{RD}=0$ 读取允许信号,搭配 $\overline{STRB}$ 作读取数据锁存控制
$\overline{STRB}$			对应于外部存储器的读/写控制时,搭配地址线和数据线及其他控制信号作一个时序及加入等待时序 W 的 LOW 动作,以标识数据的锁存允许功能输出控制
READY	120	I	对应于外部存储器的读/写时序,除了由软件 WSGR 寄存器加以设置 n (至少为 1)个等待周期来控制外,此外部 READY 接 LOW 时将自动加入等待的 WAIT 周期,一直到此 READY=1 时才不再加入 WSGR 所设置的等待周期,这个引脚内部有接 HI 电阻来禁用