



“十一五”国家重点图书出版规划项目

信息科学与技术基础丛书

# 并行计算机体系结构 技术与分析

杨晓东 陆松 牟胜梅 著



科学出版社  
[www.sciencep.com](http://www.sciencep.com)

国家科学技术学术著作出版基金资助出版  
“十一五”国家重点图书出版规划项目  
信息科学与技术基础丛书

# 并行计算机体系结构 技术与分析

杨晓东 陆 松 牟胜梅 著

科学出版社

北 京

## 内 容 简 介

本书以研制高性能计算机系统为线索,对计算机系统结构的演变和并行计算机的发展作了论述,对设计、构建高性能并行计算机涉及的关键技术作了系统、深入的分析,以深刻的观点讲述了并行计算机系统性能的度量和评测方法、流水和向量处理技术、各类存储系统的结构、同步机制、互连网络的原理和设计、I/O 系统以及系统可靠性和稳定性等。一些创新成果和学术思想,对研制稳定可靠、简洁高效的高产出率并行计算机系统有重要指导意义和应用价值。设计的多个无死锁自适应路由算法,可有效支持高产出率并行计算机系统的构成。

本书可作为高等院校相关领域的教师和研究生的教学参考书,也可供相关科研人员阅读。

### 图书在版编目(CIP)数据

并行计算机体系结构技术与分析/杨晓东,陆松,牟胜梅著. —北京:科学出版社,2009

(信息科学与技术基础丛书)

ISBN 978-7-03-021816-2

I. 并… II. ①杨…②陆…③牟… III. 并行计算机-计算机体系结构  
IV. TP338.6

中国版本图书馆 CIP 数据核字 (2008) 第 061234 号

责任编辑:任 静 王志欣 / 责任校对:陈玉凤

责任印制:赵 博 / 封面设计:陈 敬

**科学出版社** 出版

北京东黄城根北街 16 号

邮政编码:100717

<http://www.sciencep.com>

**源海印刷有限责任公司** 印刷

科学出版社发行 各地新华书店经销

\*

2009 年 1 月第 一 版 开本: B5(720×1000)

2009 年 1 月第一次印刷 印张: 16 1/4

印数: 1—3 000 字数: 306 000

定价: 35.00 元

(如有印装质量问题,我社负责调换〈环伟〉)

## 《信息科学与技术基础丛书》编委会

主 编：李 未

副 主 编：何积丰 卢锡城

编 委：王东明 孙家广 邬贺铨 李国杰

李德毅 应明生 林惠民 周志华

郭光灿 梅 宏 傅育熙 潘云鹤

执行编委：王东明

## 《信息科学与技术基础丛书》序

迅猛发展的信息科学与技术将人类社会带入了信息时代。半个多世纪以来,众多学者为信息科学的建立、信息技术的发展和信息社会的进步作出了不懈的努力。然而,要为信息科学与技术奠定坚实的基础,我们仍然面临很多问题与挑战。无论是科学研究和技术革新,还是基础教育和学科建设,都需要我们继续付出艰苦的劳动。

如何加强和深化信息科学的基础研究,完善已有的创新成果,为信息技术的持续发展提供保障?如何将重要的学术思想、理论和方法系统化,将信息科学与技术各个分支中的基本原理、核心内容和最新进展结合起来?如何让学术论著同时服务于科研与教学,使其相辅相成、相互促进?这些问题的解决将会使我国信息科学与技术的基础教育和学术研究的质量得到显著提高。

《信息科学与技术基础丛书》是为解决上述问题所做的一种尝试。这套丛书旨在收录信息科学与技术领域的研究专著。要求每部著作中都有一定篇幅的内容是著者的原创性研究成果,并且结构合理、内容充实、论证严密、写作规范。这套丛书可以作为研究生和高年级本科生的教材和教学参考书。入选这套丛书的每部著作都至少需要通过两位同行专家的评审。

这套丛书的出版离不开作者、出版社与编委会的通力合作和诸多同仁的支持。在此我们向支持丛书出版工作的所有个人和单位表示诚挚的谢意,并热切期待来自读者的批评、指正和帮助,使这套丛书能够不断完善,成为信息科学与技术方面的重要文献。



2007年8月10日

## 前 言

挑战性应用对计算机性能的要求是无止境的。在应用的驱动下,随着集成电路工艺水平的提高和计算机体系结构的创新,高性能计算机得到了迅速发展。目前最高性能的计算机 IBM BlueGene/L 的性能已达到 280.6 Tflops,即每秒执行 280.6 万亿次浮点运算。如此高性能的获得,主要是针对应用特点,在现有器件和工艺条件下对性能、代价、功耗等诸多相互矛盾的因素进行合理折中,消除瓶颈,并采用先进的并行体系结构实现的结果。这反映了计算机发展的客观规律:应用需求是驱动,器件工艺是基础,体系结构是手段。

“并行”是提高计算机性能最主要的方法,高性能计算机系统无一不采用并行技术实现系统的高性能。经过多年的发展,目前高性能计算机的结构已趋向一致,主要有集群 Cluster 和大规模并行处理 MPP。它们都是用互连网络将大量计算结点进行互连构成结点间协同工作的系统,靠多结点并行工作提供超高峰值性能。

Cluster 采用集成方法构建系统,其结点和互连网络都是标准开放的商业产品,结点通过 I/O 接口与网络互连。系统支持消息传递编程。对“计算通信比”低的能力计算,Cluster 因通信对计算机的支持不够,虽系统峰值性能很高,但持续性性能不高,系统更适于对通信能力要求相对低的容量计算。

MPP 多采用基于高性能商业处理器的计算机作为结点,用定制的高带宽低延迟互连网络改善通信对计算的支持能力,提高系统加速比。系统支持消息传递编程,若结点是 SMP 系统,结点内支持共享变量编程;若主存分布共享则支持全局共享变量编程。

系统中单机的性能至关重要,它不仅影响结点的性能,也决定并行程序中不可并行部分的执行时间,决定了系统加速比的极限值。影响单机性能的首要因素是存储性能落后于计算性能,且性能差距随时间的增加而扩大。因此,如何针对应用特点减少存储系统与处理器的性能差距,是计算机提速首先要解决的问题,也是体系结构面临的关键技术问题。

对能力计算,网络性能是关键。当互连网络的性能不能满足程序的通信要求时,结点将因等待通信而停顿,甚至导致并行不如单机。希望结点速度与通信带宽的比甚小于程序的计算通信比,以提高系统的加速比。因此,研制高带宽、低延迟互连网络是体系结构面临的另一个关键技术问题。

随着网格计算的发展和从以计算为中心向以数据为中心的转变,系统在关心高性能的同时更关心高效能,以适应高性能服务的需求。此时 I/O 的作用异常重

要,在网格环境中它是互连部件,在服务器系统中它直接影响系统的吞吐率。因此,提高 I/O 性能是体系结构面临的又一技术难题。

系统的失效率和功耗随处理器的增多而增加。具有上万个处理器的并行系统,其平均故障间隔时间只有数小时,功耗高达数兆瓦。如何保证高失效率和高功耗的系统提供足够高的稳定性和可用性,将直接决定系统的实用价值。因此,信号传输、通风散热、系统可靠性、可维性和可用性问题也是体系结构应当考虑的问题。

本书对上述问题和相关技术作了原理性论述和必要的定量分析,目的是与同行交流观点和方法,为高等院校相关专业的教师、研究生和高性能计算机研制者提供一本技术参考书。

本书反映了作者多年来科研和教学的体会、经验和成果,但技术发展之快,涉及面之广,个人水平有限,书中难免存在不妥之处,敬请指正。

全书共分 8 章,第 1、2、3、5、6、8 章由杨晓东撰写,第 4 章由牟胜梅撰写,第 7 章由陆松撰写,杨晓东作了部分修改和文字润色。

作 者

2008 年 11 月

# 目 录

丛书序

前言

第 1 章 计算机系统结构的演变	1
1.1 计算机体系结构的分类	2
1.2 几个经验定律	3
1.3 微处理器	4
1.3.1 提高微处理器性能的方法	5
1.3.2 微处理器的发展	8
1.3.3 巨型机用微处理器	10
第 2 章 并行计算机系统的性能度量	12
2.1 计算机的速度	12
2.1.1 MIPS、Flops 和 PDR	13
2.1.2 SPEC 和 TPS	14
2.2 并行计算机的速度计算	15
2.2.1 算术平均速度(arithmetic mean performance)	16
2.2.2 调和平均速度(harmonic mean performance)	16
2.2.3 几何平均速度(geometric mean performance)	17
2.3 并行计算机的加速比和效率	17
2.3.1 程序的并行性	17
2.3.2 加速比通式	18
2.3.3 固定负载加速比	20
2.3.4 固定时间加速比	21
2.3.5 固定存储加速比	21
2.3.6 粒度匹配加速比模型	22
2.3.7 并行系统的效率和可扩展性	25
2.3.8 并行系统的并行质量	27
2.3.9 并行系统的性能评测	28
第 3 章 流水和向量处理	30
3.1 提高计算机速度的措施	30
3.1.1 提高频率	30



3.1.2	空间并行	31
3.1.3	时间并行	32
3.2	线性流水线	32
3.2.1	流水线工作原理	33
3.2.2	加速比、效率和吞吐率	34
3.2.3	流水线的设计原理	35
3.2.4	指令流水部件	36
3.2.5	向量处理	38
3.2.6	无冲突向量访存	46
3.3	非线性流水线	50
3.3.1	预约表和最小平均延迟时间	50
3.3.2	无冲突输入控制 and 设计	53
3.3.3	多功能流水线的效率和吞吐率	53
3.4	超标量和超流水技术	55
3.4.1	超标量技术	55
3.4.2	超流水技术	56
<b>第 4 章</b>	<b>典型并行计算机系统</b>	<b>57</b>
4.1	并行计算机系统结构分类	57
4.1.1	SM 与 DSM 多处理机系统	58
4.1.2	分布式主存 DM	59
4.2	典型并行计算机系统	60
4.2.1	阵列机	60
4.2.2	向量机	62
4.2.3	对称多处理机 SMP	64
4.2.4	大规模并行处理系统 MPP	64
4.2.5	Cluster 集群	65
4.2.6	高性能可重配置计算机 HPRC	66
4.3	从 Top500 看高性能计算机系统结构发展趋势	67
4.4	典型高性能计算机系统	71
4.4.1	Cray X1	72
4.4.2	地球模拟器(NEC Earth simulator)	77
4.4.3	蓝色基因/L(IBM BlueGene/L)	81
4.4.4	Intel 64 Linux Cluster Abe	91
4.5	小结	95

<b>第 5 章 并行存储系统和同步机制</b> .....	97
5.1 存储器的地址映射 .....	97
5.2 层次存储系统 .....	103
5.2.1 程序访存的局部性原理 .....	104
5.2.2 存储系统层次 .....	104
5.2.3 层次存储系统特点及性能分析 .....	105
5.2.4 层次存储系统存储器间块的映射 .....	110
5.2.5 “主存-辅存”层次地址变换 .....	117
5.2.6 “高速缓存-主存”层次 .....	119
5.3 访存事件次序和 Cache 一致性 .....	122
5.3.1 存储一致性模型 .....	122
5.3.2 高速缓存一致性协议 .....	124
5.3.3 CC-NUMA 的 Cache 一致性 .....	126
5.4 同步 .....	130
5.4.1 Test-and-Set/Reset .....	130
5.4.2 Barrier/Eureka .....	132
5.4.3 Compare-Swap .....	132
5.4.4 Fetch-and-Add .....	133
<b>第 6 章 互连网络</b> .....	134
6.1 互连网络的互连函数 .....	135
6.2 互连网络类型和基本结构参数 .....	143
6.2.1 互连网络类型 .....	143
6.2.2 互连网络的基本特性和结构参数 .....	143
6.3 动态互连网络 .....	146
6.3.1 总线 .....	146
6.3.2 交叉开关 .....	147
6.3.3 多级网络 .....	148
6.4 静态互连网络 .....	153
6.4.1 线性阵列和环 .....	153
6.4.2 树和星形网 .....	154
6.4.3 $k$ -ary $n$ -cube 网络 .....	155
6.5 MPP 系统的互连技术 .....	157
6.5.1 互连网络拓扑结构 .....	157
6.5.2 互连网络切换技术 .....	158

6.5.3	互连网络流控策略 .....	160
6.5.4	路由算法 .....	163
6.5.5	经典路由算法分类 .....	165
6.6	互连网络的死锁问题 .....	172
6.6.1	死锁的解决 .....	172
6.6.2	无死锁理论研究 .....	173
6.7	自适应路由算法的虚网叠加原理 .....	174
6.7.1	虚网的构造 .....	174
6.7.2	几个完全自适应路由算法 .....	174
<b>第7章</b>	<b>I/O 系统</b> .....	<b>181</b>
7.1	从共享并行总线到高速串行总线 .....	181
7.1.1	典型共享总线 .....	181
7.1.2	提升性能的技术手段 .....	182
7.2	HyperTransport .....	189
7.2.1	HyperTransport 总线拓扑结构 .....	190
7.2.2	HyperTransport 信号组 .....	192
7.2.3	HyperTransport 通信 .....	193
7.2.4	HyperTransport 包路由 .....	195
7.2.5	HyperTransport 路由规则 .....	197
7.2.6	HyperTransport 3.0 的新特性 .....	198
7.3	PCI Express .....	198
7.3.1	PCI Express 信号组 .....	199
7.3.2	PCI Express 拓扑结构 .....	200
7.3.3	PCI Express 的体系结构 .....	201
7.3.4	PCI Express 通信 .....	203
7.4	InfiniBand .....	205
7.4.1	InfiniBand 体系结构 .....	205
7.4.2	InfiniBand 交换机结构模块 .....	207
7.4.3	IBA 层次体系 .....	208
7.4.4	包的管理与通信机制 .....	209
7.4.5	InfiniBand 与其他网络互连方式的比较 .....	213
<b>第8章</b>	<b>系统的可靠性和稳定性</b> .....	<b>215</b>
8.1	器件的散热 .....	216
8.2	逻辑信号传输 .....	216

---

8.2.1 传输线 .....	218
8.2.2 阻抗匹配 .....	221
8.3 系统可靠性 .....	224
8.3.1 可靠性特征参数 .....	225
8.3.2 不维修系统可靠性计算 .....	229
8.3.3 可维修系统可靠性计算 .....	234
参考文献 .....	242

## 第 1 章 计算机系统结构的演变

随着电子器件、工艺和体系结构等技术的发展,计算机已经历了五代的发展历程。其性能每代都比前代有了数量级的提高。发展时代的划分基于器件并体现在体系结构上,说明体系结构的实现离不开器件和工艺的支持,决定因素还是器件。体系结构不外乎是合理利用现有器件性能的支持,采用新的概念、技术和方法构造新的体系结构,实现性能更高的计算机系统。一个时期的器件和体系结构决定了该时期计算机的性能和性价比。虽增大投入可获得更高的性能,但这是有条件的,当原理上可行而实际上不可行时,投入便失去了意义。这时便需要新技术的支持。如原理上 SMP 系统可通过增加处理器的数量来提高系统的性能,但由于存在访问瓶颈,可增加的处理器数量是有限的。MPP 系统可以避免 SMP 系统可扩展性差的问题,但也是在微处理器出现后才真正得以实现。当然,互连网络的性能又可能成为限制 MPP 规模扩展的瓶颈。微处理器的出现不仅为构造计算机系统,特别是可扩展并行计算机系统提供了高性价比的构件支持,也改变了传统计算机系统的设计思想和方法。

计算机发展时代可以这样划分:

1946 年第一台计算机问世到 1956 年划为第一代。该代的特点是电子管用作逻辑元件,继电器或延迟线用作存储元件,绝缘导线互连。CPU 是单地址指令集串行或串并行结构。用机器/汇编语言编程。代表机型有 ENIAC 和 IBM701 等。

1956~1967 年划为第二代。该代的特点是晶体管用作逻辑元件,磁心作存储元件,印刷电路板互连。CPU 是多位并行结构,引入了变址寄存器、浮点部件、交叉存储和通道技术。用高级语言 Algol 和 Fortran 编程,有了批处理操作系统。代表机型有 IBM7030 和 CDC1604 等。

1967~1978 年划为第三代。该代的特点是使用中/小规模集成电路 MSI/SSI 实现逻辑和存储。采用了流水线、微程序、Cache 和先行控制技术。增加了 C 语言,操作系统为支持多道程序的分时操作系统。代表机型有 IBM360 和 CDC6600 等。

1978~1989 年划为第四代。该代的特点是使用大规模/超大规模集成电路 LSI/VLSI 实现逻辑和存储。推出了向量机 VP、对称多处理机 SMP 和微处理器。开发了并行语言、并行编译、并行操作系统和消息传递库。代表机型有 IBM-PC、Apple II 和 Cray X-MP 等。

1989 年至今划为第五代。该代的特点是使用极大规模集成电路 ULSI。提供

了高性能微处理器、芯片组和互连网络,使可扩展并行计算机系统中的大规模并行处理机 MPP 和集群 Cluster 的研制步入了标准、开放和集成制造阶段。软件采用多线程、微内核、分布式操作系统和 WWW。初期代表机型有 TM 的 CM-5、IBM 的 SP2、SGI 的 Origin2000、Cray 的 T-3D 和 Digital 的 TruCluster 等。近代表机型有 IBM 的 BlueGene/L、Cray XT3 和 NEC 的 Earth Simulator 等。

## 1.1 计算机体系结构的分类

计算机体系结构可按多种特征进行分类。

按当时计算机的性能并考虑价格将其分为巨型、大型、中型、小型和微型。由于技术的进步和体系结构的发展,使这种分类方法只有阶段性的合理性。20 世纪 80 年代每秒亿次计算能力的巨型机性能还不如今天高档微机的性能,今天速度低于每秒万亿次计算能力的计算机已划不到巨型机的行列。系统的可扩展性使其性能可在很大范围内变化以及不同系统间性能上的覆盖,造成界限模糊,给分类带来了困难。因此,这是一种具有时效性和局限性、相对合理的分类方法。

按计算机对应用的适用范围可将其分为通用机和专用机,专用机又往往根据机器处理中断的及时程度分为实时和非实时。

按计算机中指令流和数据流的多倍性及其执行情况将其分为单指令流单数据流 SISD、单指令流多数据流 SIMD、多指令流单数据流 MISD 和多指令流多数据流 MIMD 四种结构。由于 Flynn 提出的这种分类方法客观反映了计算机系统的组成,且明确说明了程序的执行,有利于对不同计算机结构特点和差异的理解,计算机系统设计者更喜欢使用 Flynn 的分类法。SISD 结构是冯·诺依曼机最简单的传统结构,支持顺序程序的执行。没有采取并行技术的早期计算机均属此类。SIMD 结构是在传统结构上对数据采取了并行处理技术,让一条指令控制多组数据进行同一操作。包括空间并行的阵列处理和时间并行(重叠)的向量处理以开发程序中的数据并行性。典型结构有专用性较强的阵列机和通用向量机。多处理机执行单程序流多数据流 SPMD 时,所对应的结构也可归为此类。MISD 结构,目前还没有出现属于该结构的实用机器。因为对一组数据不能同时进行多种操作,所以这种意义上的多指令流单数据流的存在性值得怀疑。有的资料把流水线处理机看做是 MISD 结构,但有些勉强,实际上流水线只是对实现指令功能的部件通过分站达到时间并行的目的。流水线各站进行的操作是无明确定义的操作,而不是完整指令功能,各站操作的综合结果才是指令规定的功能。因此流水线并未实现 MISD。但目前出现的流体系结构倒有 MISD 的处理特点,但不是 MISD 而是 MPSD。MIMD 结构是并行计算机的主流结构,对称多处理机 SMP、并行向量机 PVP、大规模并行处理机 MPP 和集群 Cluster 等支持不同级别并行的系统均属此

结构。MIMD 既可以是多计算机系统,也可以是多处理机系统。多处理机系统既可以是集中主存的,也可以是分布共享主存的。详见第4章。

## 1.2 几个经验定律

计算机是个极复杂的数字系统,其潜在性能主要决定于硬件,而系统性能发挥则与硬件、系统软件和应用程序间的互相支持和适应程度有关。因此计算机的设计者应基于当前技术水平和技术发展趋势并考虑系统软件功能和应用的特点来设计满足性能要求、高性价比的平衡计算机系统。计算机系统的多年发展不仅为设计这样的系统积累了必要的技术,也为发现规律和预测发展总结了一些经验定律。

(1) Moore 定律:集成电路芯片的集成度每3年增至4倍。

这一指数增长规律源于硅微电子技术使集成电路的特征尺寸随时间按指数规律减小。严格地讲,芯片集成度或密度每三年增至四倍或每18个月增加1倍是对 DRAM 而言,而对逻辑电路,芯片上的晶体管数是以每3年增至2倍的指数规律增长。

特征尺寸的减小导致芯片上晶体管的尺寸变小,晶体管数增加,互连线缩短,工作频率提高,能实现更多功能,带来价格下降和可靠性提高等一系列好处。但晶体管数的指数增加使芯片总功耗增加,散热困难。连线变细使电阻增大,线的时间常数增加,影响信号传输质量。虽然目前可以通过改进封装和散热技术来缓解散热难问题,利用铜代铝连线和绝缘体上硅芯片技术可以减小线的时间常数。但随着特征尺寸的进一步减小,上述问题将很难解决,可能成为限制集成度进一步提高的主要原因。目前集成电路的特征尺寸虽已达到65nm水平,但远未达到微电子学的理论基础电磁学、量子力学、热力学和统计物理学所规定的物理极限,仍在继续突破材料、工艺、电路和系统方面的具体限制,按 Moore 定律在发展。估计这一势头至少还能持续15~20年。

虽然芯片中逻辑电路集成度的增长速率低于存储电路集成度的增长速率,但逻辑电路工作频率的增长速率要比存储电路高。处理器的性能每年增加60%,而存储器只增加7%,导致存储器相对处理器的速度差距越来越大。DRAM 的速度增长规律与磁记录材料的速度增长规律相当,而逻辑电路集成度的增长规律与磁记录密度增长相当。

Moore 定律指出了集成电路逻辑器件和存储器件的性能增长规律,也为预测微处理器的发展提供了重要依据。

(2) Amdahl/case 准则:一个平衡的计算机系统,其 CPU 每1MIPS 的速度应有1MB 的主存容量和1Mb/s 的 I/O 吞吐率。

这一准则为设计平衡的计算机系统给出了选择 CPU 速度、主存容量和 I/O 吞吐率之间量的关系的参考。由于它是基于统计的结果,所以对具体的应用可能需要调整。

(3) Amdahl 定律:设系统完成两类工作,分别占总工作量的  $\alpha$  和  $1-\alpha$ ,当使完成  $\alpha$  的工作加快  $n$  倍时,系统的加速比为  $S(n)=n/(\alpha+n(1-\alpha))$ 。

显见  $S(n)$  是  $n$  的增函数,且  $S(\infty)=1/(1-\alpha)$ 。因此,应适当加快工作量大的部分以获得合理的系统加速比。基于这一思路还可得出下述设计准则:应加快经常性事件的操作速度。

(4) 地址消耗法则:程序对主存容量需求的增长每年增至 1.5~2 倍,对应的地址码增加 0.5~1 位。

这一法则将直接影响计算机硬件、操作系统和编译器的设计。

(5) 90/50 成功转移法则:向后转移指令有 90% 的成功率,向前转移指令有 50% 的成功率。

这一法则为转移预测处理提供了参考信息,也为改善循环转移控制流,提高转移成功率对编译器提出了优化要求。

(6) 访存局部性原理:程序访问某项(地址)后,倾向于立即访问其临近项(地址),或倾向于不久再次访问该项(地址)。

局部性原理的这个空间局部性和时间局部性为 Cache 的设计提供了指导,也为层次存储器的有效性提供了依据。

(7) 90/10 局部性原理:一个程序执行时间的 90% 用在程序 10% 的指令执行上。此原理为指令系统的优化提供了指导,精简指令集 RISC 的出现便是例证。

(8) 2:1 Cache 法则:容量为  $C$  的直接相联 Cache 的失效率与容量为  $C/2$  的二路组相联 Cache 的失效率大致相等。

这一法则指出在相同命中率条件下控制复杂性的增加可以换取 Cache 容量的减小。

(9) 微缩化定律:做得越小,运行得越快。

这一定律不只表现在集成电路微缩化后带来的速度提升,也隐含着逻辑简化、结构紧凑和使信号传输时间缩短所带来的系统性能的提高。

此外还有一些称不上法则的设计经验,这些经验和上述定律、原理、法则一样,对设计一个平衡、高效的计算机系统有着重要指导作用。

### 1.3 微处理器

集成电路的集成度和速度随时间的指数增长以及体系结构、电路和设计技术的进步,不仅使在单个芯片上实现处理器——微处理器成为可能,而且其性能和性



价比也呈指数增长。从1979年Intel推出只有2250个晶体管、频率108kHz的微处理器4004到2000年推出有4200万个晶体管、频率可达1.5GHz的Pentium4, 20年中,微处理器的晶体管数增加四个数量级,频率也有相同量级的增加。工艺从 $10\mu\text{m}$ 发展到 $0.18\mu\text{m}$ ,并继续向 $0.13\mu\text{m}$ 、90nm和65nm迈进。随着特征尺寸的进一步减小,集成度的进一步增高,单芯片上晶体管数可达数十亿,不仅能集成多个处理器,还可集成计算机系统。但硅器件的发展最终要受到物理极限或实现工艺的限制,也可能受生产线的不可接受的巨额投资限制,不可能无止境的发展下去。硅技术后的取代技术很可能是碳纳米技术。

在应用需求的驱动下,目前已推出多种微处理器产品,包括通用微处理器和专用性较强的嵌入式微处理器及其芯片组。微处理器和芯片组不仅为个人计算机的出现奠定了物质基础,也为设计超级计算机提供了最重要的支持。个人计算机是计算机发展的一个重要里程碑,它改变了多个人共享一台计算机的传统使用模式,变成一个人使用一台计算机。特别是它作为网络终端为互联网应用的普及起到了关键的作用。嵌入式微处理器则在移动通信和计算中扮演着重要角色。微处理器不仅改变了人们使用计算机的模式,也改变了计算机的设计思想。走标准、开放的道路,系统集成已成为设计和实现系统的主要技术途径。

微处理器是超级计算机的核心构件。没有微处理器便不可能有大规模并行计算机和面向各种应用的高性能服务器,也就不可能应付和满足挑战性应用对计算机性能无止境的要求。

### 1.3.1 提高微处理器性能的方法

计算机的主要功能是完成程序所规定的操作。对用于科学与工程计算的标量机,其性能用每秒执行的指令条数来表征,单位是每秒百万条指令(MIPS)。对向量机,用每秒产生的浮点结果数来表征,单位是每秒百万浮点结果(Mflops)。具有浮点处理能力的处理器其浮点性能用每秒执行多少浮点指令表征,单位也是Mflops。

指令的执行过程是:指令部件从存储器中读取指令并进行译码,取操作数,控制相应功能部件进行规定的操作,保存操作结果。因此要提高计算机的速度就要对程序执行过程中涉及的指令部件、存储部件和功能部件进行加速,并平衡它们之间的性能。特别要防止指令流水线断流,提高存储器对指令和数据高带宽、低延迟的访问支持,减少功能部件的资源冲突。充分发挥系统的性能潜力。设计中,体系结构采取的主要技术措施有:

(1) 提高主频。提高主频可使系统中各部件同时受益,是提高系统性能最直接的方法。主要通过细化流水线,增加流水级数来达到。但当频率很高时,继续提高频率会遇到技术困难,且存储墙的存在,使系统性能受限。此外,流水线级数的