

全面、系统介绍Cell/B.E.编程的著作

Cell/B.E. 处理器编程手册

徐晟 刘星 余江 戈弋 等编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>



China Development Laboratories Series

IBM中国开发中心系列

Cell/B.E. 处理器编程手册

徐晟 刘星 余江 戈弋 徐健 冯宽 刘强 编著
张静 李获鼎 朱敏 邹翾 刘家俊 潘宁河 曾义



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

内 容 简 介

本书是中文版的 Cell/B.E.处理器编程手册，是 Cell/B.E.处理器的通用编程参考书。本书介绍了基于 Cell/B.E.处理器的程序开发所需要的全部独特机制，此外还涵盖了如何帮助程序员在 Cell/B.E.处理器上开发用户应用程序、库、驱动程序、中间件、编译器及操作系统等相关内容。

本书主要包含以下内容。

- 通用硬件和编程环境概述：第 1 章至第 3 章。
- 其他硬件概述和特权态（管理态）编程：第 4 章至第 16 章。其中，部分章节还包含一些关于用户态的编程内容，例如递减器等。
- 问题态（用户态）编程：第 17 章至第 24 章及附录。

本书假设读者已经具备 C/C++ 的编程经验，并且熟悉单指令多数据（SIMD）向量指令集，例如 PowerPC 体系结构中的向量/SIMD 多媒体扩展指令集、AltiVec、Intel MMX、SSE、3DNOW!、x86-64 或者 VIS 指令集。本书不依赖于任何系统，且不对开发工具或操作系统环境做任何假设。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目（CIP）数据

Cell/B.E.处理器编程手册 / 徐晟等编著. —北京：电子工业出版社，2009.3
（IBM 中国开发中心系列）
ISBN 978-7-121-07921-4

I. C… II. 徐… III. 微处理器，Cell BE—程序设计—手册 IV. TP332-62

中国版本图书馆 CIP 数据核字（2008）第 188124 号

责任编辑：高洪霞

印 刷：北京东光印刷厂

装 订：三河市鑫金马印装有限公司

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本：787×1092 1/16 印张：46.5 字数：1142 千字

印 次：2009 年 3 月第 1 次印刷

印 数：3000 册 定价：128.00 元

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：（010）88254888。

质量投诉请发邮件至 zltz@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：（010）88258888。

丛书序

为致力于软件业务在中国的长期发展，IBM 公司于 1999 年在中国投资成立了中国开发中心（IBM China Development Lab, CDL）。在为 IBM 全球客户提供满足需求的软件、硬件产品，以及技术和解决方案的同时，作为 IBM 全球软件资源在中国的窗口，CDL 把全球先进技术引入中国，为中国软件产业与世界的交流搭建桥梁。

八年来，CDL 不断吸引全球卓越的科技和管理人才，以及中国各大学府的顶尖学生、优秀工程师加入，并积极致力于同本土合作伙伴共同建设团队，研发队伍从八年前的 100 多位软件工程师增至今天的 3000 多位，年平均成长速度超过 50%。

CDL 高度重视员工培养，除各种短期或长期的培训，员工还被派往 IBM 在美国或其他地区的实验室，与世界各地同仁一起工作，在工作中学习先进的技术和管理方式。CDL 更是将 IBM 全球实验室中拥有丰富经验的技术和管理人才请到中国工作，向中国员工传授经验。庞大的资金注入，人性化的管理方式，以及对人才方面的巨大投资，对人力资本的极度重视，使中国开发中心得以与 IBM 全球实验室共同成长，最终拥有一支经验丰富，训练有素的团队。

目前，CDL 与全世界同步发展多项领域产品，正在为包括 Information Management、WebSphere、Lotus、Tivoli、Rational 在内的所有 IBM 软件核心产品的研究和开发做出卓越贡献，并在 SOA、数据库、WebSphere 产品系列、普及运算、Lotus Workplace Client 技术及 Linux 系统方面取得非凡的成就，被视为 IBM 全球产品的开发重心之一。

在 CDL 高速发展的同时，为将信息产业的最新技术尽快地转化为对中国用户有价值的解决方案，帮助用户更有成效地开展业务，增强竞争优势，我们恪守为中国软件业与世界交流搭建桥梁的承诺，希望将 IBM 全球公司几十年的技术积淀和我们的心得与大家共同分享，于是，我们选择了实力非凡、专业创新的电子工业出版社

博文视点公司作为合作伙伴，推出这一由 **IBM** 中国开发中心（CDL）的架构师、资深软件工程师们编写的系列丛书，范围涵盖了从开发实践、测试方法、项目实践、最新技术标准和发展趋势探讨，到先进解决方案构建、面向服务的架构的提供等诸多方面。

我希望这套丛书能把我们一线专家宝贵的经验，以及我们的见解呈现给读者，并希望无论是企业 IT 经理、程序设计和开发人员、软件工程师、软件架构师，还是在校学生，或者是对计算机领域有兴趣的人员，都能从中获取知识或者得到启发。

在同业界分享经验和世界最新技术及趋势的同时，我们希望能为推动中国软件产业的加速发展贡献微薄之力。**IBM** 中国开发中心将一如既往地同业界同仁一起，共铸中国信息产业的辉煌明天！

IBM 中国开发中心

2008 年 12 月

专家推荐

当你第一次听到“Cell”的时候，你的第一感觉是什么？或许是细胞？如果不是相关的 IT 人士，大概很少有人会把“Cell”与某一块芯片联系到一起。我们知道，人类大脑大约包含 1 千亿个神经元，而每个神经元之间又是通过平均 7 千个树突而互相连接的。与人类大脑相似，“Cell”内部包含有 2.34 亿个三极管组成的大规模集成电路，是一款具有高集成度的多核芯片。

然而，先进的技术往往会使人产生一种高深莫测、无从下手的感觉，让人感到可望而不可及。这也正是我们的工程师要为大家编写本书的初衷。希望你看完本书后，会发现原来在多核芯片上编程并不如想象中的那么难。

本书首先会对 Cell 芯片的体系结构，通用硬件和编程环境进行概述，使读者对如何在 Cell 平台上进行编程有一个基本的了解。其中，关于 PowerPC 架构的相关阐述，也会帮助读者对这一先进技术有进一步了解。接着，本书会详细介绍关于库、驱动程序、中间件、编译器、操作系统开发等一系列内容。希望读者在看完这部分内容之后，会意识到在 Cell 上编程并不是想象中的那么“累”，而是可以一步一步由浅入深、循序渐进地进行。而对于那些已经掌握现代计算机系统结构和并行计算技术的编程人员而言，相信已经对 Cell 编程摩拳擦掌、跃跃欲试了。本书的后半部分，集中阐述了 Cell 相关的应用编程技术：从介绍 SPE 及其 DMA 技术入手，深入讲述并行编程和 SIMD 编程方法，并介绍了如何应用这两项技术充分发挥 Cell 中 8 个 SPE 和 1 个 PPE 的非对称体系结构的优势。希望读者能够在学习计算机并行编程技术的同时，也能掌握提升 Cell 性能的各种方法，从而让 Cell 技术在实际应用中大发光彩。

当前，能源问题正是全球面对的一项重大挑战。计算机芯片工业发展到今天，功耗、内存和频率这三大壁垒，已经成为芯片处理器性能增长的瓶颈。Cell 运用了多核多线程并行运算结构，在提高运算性能的同时，也大大节省了功耗。我们希望通过本书的推广，使读者能在学习并行编程的同时，对如何提高程序性能的技术和技巧也有所了解。同时，我们也希望通过 Cell 的推广，促进业界对节能的重视和支持。

对于具备一定计算机系统结构和并行处理基础知识的专业人士来讲，这是一本能让你受益匪浅的工具书。通过阅读本书，读者可以进一步了解多核体系结构的相关原理，并从 Cell 编程原理中得到启发。更重要的是，此书还涵盖了非常丰富的实际编程经验，帮助读者尝试各类挑战！

Cell 技术是 IBM 与 SONY 和 Toshiba 的合作结晶。本书是由 IBM 中国系统及科技研发中心的研发人员在业余时间，用他们的辛勤劳动与智慧编著而成的。参与这项工作的所有人员都是 Cell 编程和芯片架构方面的工程师。书中许多章节也结合了他们自己在 Cell 平台上进行并行编程的实际经验。作为 IBM 中国系统及科技研究中心的首席技术执行官，我希望这本书能促进 Cell 技术在中国的推广，并在大中专院校计算机专业中产生一定的影响。另外，我也非常感谢中国学术界、企业界对 IBM 新技术推广所提供的支持。真诚地希望 Cell 技术能够作为一个多核技术的先驱，对中国的整个 IT 事业发展有所贡献。

徐健

2008 年 8 月 15 日
于上海 IBM 系统及科技研发中心

序 言

本书是中文版的 Cell 宽带引擎处理器（Cell/B.E., Cell Broadband Engine™ processor）编程手册，是 Cell/B.E.处理器的通用编程参考书。本书介绍了基于 Cell/B.E.处理器的程序开发所需要的全部独特机制，此外还涵盖了如何帮助程序员在 Cell/B.E.处理器上开发用户应用程序、库、驱动程序、中间件、编译器，以及操作系统等相关内容。

本书主要包含以下内容。

- 通用硬件和编程环境概述：第 1 章～第 3 章。
- 其他硬件概述和特权态（管理态）编程：第 4 章～第 16 章。其中，部分章节还包含一些关于用户态的编程内容，例如递减器等。
- 问题态（用户态）编程：第 17 章～第 24 章及附录。

本书假设读者已经具备 C/C++的编程经验，并且熟悉单指令多数据（SIMD）向量指令集，例如 PowerPC 体系结构中的向量/SIMD 多媒体扩展指令集、AltiVec、Intel MMX、SSE、3DNow!、x86-64 或者 VIS 指令集。本书不依赖于任何系统，且不对开发工具或操作系统环境做任何假设。

本书只描述了通用的软件开发方法。Sony、Toshiba 或 IBM 的相关保密协议中可能包含具体的实现细节。关于特定系统的相关细节，请咨询该系统的提供商。

相关出版物

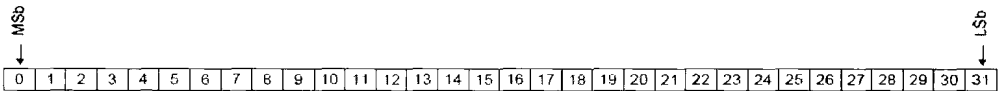
名 称	版 本	日 期
Cell Broadband Engine Architecture (Cell 宽带引擎体系结构)	1.01	October 2006
PowerPC User Instruction Set Architecture, Book I (PowerPC 用户指令集体系结构, 第一册)	2.02	January 28, 2005
PowerPC Virtual Environment Architecture, Book II (PowerPC 虚拟环境体系结构, 第二册)	2.02	January 28, 2005
PowerPC Operating Environment Architecture, Book III (PowerPC 操作环境体系结构, 第三册)	2.02	January 28, 2005
PowerPC Microprocessor Family: The Programming Environments for 64-Bit Microprocessors (PowerPC 微处理器家族: 64 位微处理器的编程环境)	2.0	June 10, 2003
PowerPC Microprocessor Family: Vector/SIMD Multimedia Extension Technology Programming Environments Manual (PowerPC 微处理器家族: 向量/SIMD 多媒体扩展技术编程环境手册)	2.07c	October 2006
Synergistic Processor Unit Instruction Set Architecture (协同处理器单元指令集体系结构)	1.2	January 2007
C/C++ Language Extensions for Cell Broadband Engine Architecture (Cell 宽带引擎体系结构的 C/C++语言扩展)	2.4	March 2007

续表

名 称	版 本	日 期
SPU Application Binary Interface Specification (SPU 应用二进制接口规范)	1.7	March 2007
SPU Assembly Language Specification (SPU 汇编语言规范)	1.5	March 2007
Cell Broadband Engine Registers (Cell 宽带引擎寄存器)	1.5	April 2007
PowerPC Compiler Writer's Guide (PowerPC 编译器编程指南)	1.0	1996
Cell Broadband Engine Hardware Initialization Guide (Cell 宽带引擎硬件初始化指南)	1.4	September 2006
Linux™ Standard Base Core Specification for PPC 3.0 (PPC 3.0 环境下的 Linux™ 基础标准内核规范, 参见 http://www.linuxbase.org/spec)	3.0	2004
64-bit PowerPC ELF Application Binary Interface Supplement (64 位 PowerPC ELF 应用二进制接口扩展)	1.7.1	July 21, 2004
Cell Broadband Engine Linux Reference Implementation Application Binary Interface Specification (Cell 宽带引擎 Linux 参考实现应用二进制接口规范)	1.0	November 9, 2005
AltiVec Technology Programming Interface Manual (AltiVec 技术编程接口手册)	0	June, 1999
IBM Research Hypervisor (rHypervisor) (IBM 研究系统管理器。通过 general public license (GPL) 和以下地址, 可以找到其开放源代码 http://www.research.ibm.com/hypervisor/)	1.3	March 11, 2005
Tool Interface Standard (TIS) Executable and Linking Format (ELF) specification. TIS Committee (工具接口标准的可执行和链接格式规范, TIS 委员会)	1.2	May, 1995
SYSTEM V APPLICATION BINARY INTERFACE PowerPC Processor Supplement (V 系统应用二进制接口 PowerPC 处理器扩展, 该文档中定义了 32 位应用二进制接口)		September, 1995
Advanced Encryption Standard (AES), Federal Information Processing Standards Publications, FIPS PUB 197 (高级加密标准, 美国联邦信息处理标准 FIPS PUB197)		2001
Logical Partitions on IBM PowerPC: A Guide to Working with LPAR on Power5 i5 Servers (IBM PowerPC 上的逻辑分区: 基于 Power5 i5 服务器的 LPAR 操作手册, 通过以下链接可以访问该文档: http://www.redbooks.ibm.com/redbooks.nsf/RedpieceAbstracts/sg248000.html?Open)		February, 2005
Partitioning Implementations for IBM eServer™ p5 Servers (基于 IBM eServer™ p5 服务器的分区实现, 通过以下链接可以访问该文档: http://www.redbooks.ibm.com/abstracts/sg247039.html)		February, 2005
Advanced Power Virtualization on IBM eServer p5 Servers (基于 IBM eServer p5 服务器的高级 Power 虚拟化技术, 通过以下链接可以访问该文档: http://www.redbooks.ibm.com/abstracts/sg247940.html?Open)		December, 2005

规范与记法

本书使用 IBM 的标准记法 (notation), 即比特位和字节均采用从左到右的升序排序。例如, 在 4 字节长的字中, 第 0 位是最高有效位, 而第 31 位是最低有效位。



比特位编码的记法如下。

- 十六进制数用单引号括起，并且附加 x 前缀。例如：x'0A00'。
- 二进制数以单引号括起的形式出现在语句中。例如：'1010'。

本书使用了以下的软件文档规范。

- 命令（或指令）的名称使用粗体字。例如：**put**，**get**，**rdch**，**wrch** 和 **rchcnt**。
- 变量使用斜体字。必需的参数用尖括号括起，可选参数用中括号括起。例如：
`get<f,b>[s]`。
- 记法<f,b>表示该内存流控制器（MFC,memory flow controller）命令支持“标签指定的非阻塞式栅障（tag-specific fence）”或者“标签指定的阻塞式栅障（tag-specific barrier）”形式中的任意一种。

本书将使用以下符号：

&	按位与
	按位或
%	取模
=	等于
!=	不等于
≥	大于或等于
≤	小于或等于
x >> y	向右移位（例如，6 >> 2 = 1）最低有效的 y 个比特位被丢弃
x << y	向左移位（例如，3 << 2 = 12）最低有效的 y 个比特位以 0 代替

引用的寄存器、域和位范围

在本书中，寄存器以全名或缩写（也称寄存器助记符）的方式被引用。寄存器内的域以域全名或域名的方式被引用，并用中括号括起。下表给出了本文档引用寄存器、域和位范围的方法，并给出了相关范例。

引用类型	格 式	范 例
以寄存器的缩写名、域名、位序号或者位范围的方式，对特定寄存器和特定寄存器域进行引用	寄存器缩写名[域名]	MSR[FE0]
	寄存器缩写名[位序号]	MSR[52]
	寄存器缩写名[域名 1, 域名 2]	MSR[FE0, FE1]
	寄存器缩写名[位序号 1, 位序号 2]	MSR[52, 55]
	寄存器缩写名[起始位序号：终止位序号]	MSR[39:44]
以寄存器的缩写名、域名、位序号或位范围，后跟等号（=）和需要赋的值的形式，引用特定寄存器并对该寄存器的特定域、位或者位范围赋值	寄存器缩写名[域名] = 'n' (其中 n 表示位或位范围的二进制值)	MSR[FE0] = '1'
	寄存器缩写名[域名] = x'n' (其中 n 表示位或位范围的十六进制值)	MSR[FE] = x'F'
	寄存器缩写名[位序号] = 'n' (其中 n 表示位或位范围的二进制值)	MSR[52] = '0'

续表

引用类型	格 式	范 例
以寄存器的缩写名、域名、位序号或位范围，后跟等号(=)和需要赋的值的形式，引用特定寄存器并对该寄存器的特定域、位或者位范围赋值	寄存器缩写名[位序号] = x'n' (其中 <i>n</i> 表示位或位范围的十六进制值)	MSR[52] = x'F'
	寄存器缩写名[起始位序号 : 终止位序号] = 'n' (其中 <i>n</i> 表示位或位范围的二进制值)	MSR[39:43] = '10010'
	寄存器缩写名[起始位序号 : 终止位序号] = 'n' (其中 <i>n</i> 表示位或位范围的十六进制值)	MSR[39:43] = x'11'

注：寄存器缩写名也称为寄存器助记符。

术语

本书中，“内存映射输入/输出（MMIO, memory-mapped I/O）”寄存器包含所有通过主存储器空间加载和存储指令访问的内部或外部寄存器，而不管该寄存器是否与输入/输出控制器或设备相关联。

内存和寄存器的保留

对没有被分配任何功能单元的 MMIO-寄存器内存映射的保留区域，不能进行读取或写入操作，否则会导致软件中出现严重错误。对于从协同处理部件（SPE, Synergistic Processor Element）到未分配保留空间所进行的读取和写入，MFC_FIR[46,53,56,58,61]中至少有一位会被置位，并且多数情况下会导致一个 checkstop 故障。对于从 PowerPC 处理部件（PPE, PowerPC Processor Element）到未赋值保留空间所进行的读取和写入，CIU_FIR[7,8]中至少有一位会被置位，同时也会导致一个 checkstop 故障。对于从输入/输出接口控制器（IOC, I/O interface controller）到未分配保留空间所进行的读取和写入，IOC 将对发出地址请求的输入/输出接口（IOIF, I/O Interface）设备报告一个错误（ERR）。所有的 IOC 故障隔离寄存器（FIR, Fault Isolation Register）位都不会被设置。

致谢

除封面署名作者外，还有很多同事参与了本手册的翻译和整理工作，他们是：徐健、冯宽、刘强、张静、李获鼎、朱敏、邹翱、刘家俊、潘宁河、曾义。另外，谢伟凯、杨雨东、邵凌和王峥也为本书提供了宝贵的技术支持和帮助。最后，感谢 IBM 内部参与英文原版手册编写的所有同事。

目 录

第 1 章 Cell 宽带引擎处理器概述	1
1.1 背景	2
1.1.1 设计目标	2
1.1.2 功率消耗、内存和频率	3
1.1.3 本书内容	4
1.2 硬件环境	4
1.2.1 处理器部件	4
1.2.2 部件互连总线	5
1.2.3 存储器接口控制器	5
1.2.4 Cell 宽带引擎接口单元	6
1.3 编程环境	6
1.3.1 指令集	6
1.3.2 存储域和接口	7
1.3.3 字节排序法和比特表示法	8
1.3.4 运行环境	9
第 2 章 PowerPC 处理器部件	10
2.1 POWERPC 处理器单元	11
2.2 POWERPC 处理器存储子系统	12
2.3 PPE 寄存器	13
2.4 POWERPC 指令	15
2.4.1 数据类型	15
2.4.2 寻址模式	16
2.4.3 指令	16
2.5 向量/SIMD 多媒体扩展指令	17
2.5.1 SIMD 向量化	17
2.5.2 数据类型	18
2.5.3 寻址模式	19
2.5.4 指令类型	19
2.5.5 指令	20
2.5.6 图形舍入模式	20
2.6 向量/SIMD 多媒体扩展 C/C++语言内置指令	20
2.6.1 向量数据类型	20

2.6.2	向量值文字表述	20
2.6.3	内置指令	21
第 3 章	协同处理部件	23
3.1	协同处理单元	24
3.1.1	本地存储	24
3.1.2	寄存器堆	27
3.1.3	可执行单元	27
3.1.4	浮点型的支持	28
3.2	内存流控制器	30
3.2.1	通道	31
3.2.2	邮箱和信令	31
3.2.3	MFC 命令和命令队列	32
3.2.4	DMA 控制器	32
3.2.5	协同内存管理单元	33
3.3	SPU 指令集	33
3.3.1	数据类型	34
3.3.2	指令	34
3.4	C/C++语言内建指令	34
3.4.1	向量数据类型	35
3.4.2	向量文字 (Vector Literals)	35
3.4.3	内建指令	35
第 4 章	虚拟存储环境	36
4.1	简介	36
4.2	PPE 存储管理	37
4.2.1	存储管理单元	38
4.2.2	地址转换过程	39
4.2.3	地址转换使能	39
4.2.4	有效-实地址的转换	40
4.2.5	分段	42
4.2.6	分页	43
4.2.7	快表	49
4.2.8	实地址模式	54
4.2.9	32 位模式下的有效地址	57
4.3	SPE 存储管理	57
4.3.1	协同内存管理 (SMM) 单元	57
4.3.2	地址转换使能	58

4.3.3	分段	59
4.3.4	分页	61
4.3.5	快表	61
4.3.6	实地址模式	69
4.3.7	异常处理和存储保护	69
第 5 章	内存映射	73
5.1	简介	73
5.1.1	配置环的初始化	74
5.1.2	内存区域的分配	75
5.1.3	内存中的保留区域	77
5.1.4	保护属性	77
5.2	PPE 内存映射	77
5.2.1	PPE 内存映射寄存器	77
5.2.2	预定义的实地址位置	78
5.3	SPE 内存映射	78
5.3.1	SPE 本地存储的内存映射	79
5.3.2	SPE 内存映射寄存器	80
5.4	BEI 内存映射寄存器	81
	输入和输出	82
第 6 章	高速缓存管理	83
6.1	PPE 高速缓存	83
6.1.1	配置	84
6.1.2	概述	84
6.1.3	L1 高速缓存	85
6.1.4	跳转历史表与链接栈	91
6.1.5	L2 高速缓存	91
6.1.6	L1 和 L2 高速缓存管理指令	96
6.1.7	有效地址至实地址的转换阵列	99
6.1.8	快表 TLB	99
6.1.9	指令预取队列管理	99
6.1.10	加载子单元管理	100
6.2	SPE 高速缓存	100
6.2.1	快表	100
6.2.2	原子单元与原子缓存	100
6.3	替换管理表	103
6.3.1	PPE 的 TLB 置换管理表	103

6.3.2	PPE 的 L2 高速缓存替换管理表	106
6.3.3	SPE 的 TLB 替换管理表	107
6.4	I/O 地址转换缓存	107
第 7 章	输入/输出体系结构	108
7.1	简介	108
7.1.1	输入/输出接口	108
7.1.2	系统配置	109
7.1.3	输入/输出寻址	110
7.2	数据与访问类型	111
7.2.1	数据长度与对齐	111
7.2.2	原子访问	111
7.3	寄存器与数据结构	111
7.3.1	IOCmd 配置寄存器	111
7.3.2	I/O 段表起始地址寄存器	112
7.3.3	I/O 段表	114
7.3.4	I/O 页表	115
7.3.5	IOC 基地址寄存器	118
7.3.6	I/O 异常状态寄存器	120
7.4	I/O 地址转换	120
7.4.1	转换概述	120
7.4.2	I/O 转换步骤	120
7.5	I/O 异常	123
7.5.1	I/O 异常原因	123
7.5.2	I/O 异常状态寄存器	124
7.5.3	I/O 异常屏蔽寄存器	124
7.5.4	I/O 异常响应	124
7.6	I/O 地址转换缓存	124
7.6.1	IOST 缓存	124
7.6.2	IOPT 缓存	126
7.7	I/O 存储模型	130
7.7.1	内存一致性	131
7.7.2	存储访问顺序	131
7.7.3	通过一个 IOIF 到其他 I/O 单元的访问	136
7.7.4	例程	137
第 8 章	资源分配管理	143
8.1	简介	143

8.2	请求方	144
8.2.1	PPE 和 SPE	145
8.2.2	输入/输出	145
8.3	资源管理	146
8.4	令牌	147
8.4.1	单 Cell/B.E.处理器系统所需令牌	147
8.4.2	无须令牌的操作	151
8.4.3	多 Cell/B.E.处理器系统所需要的令牌	151
8.5	令牌管理器	152
8.5.1	请求跟踪	152
8.5.2	令牌授予	152
8.5.3	未分配的 RAG	154
8.5.4	高优先级令牌请求	154
8.5.5	内存令牌	155
8.5.6	输入/输出令牌	157
8.5.7	未使用令牌	158
8.5.8	内存区块, IOIF 分配速率和未使用令牌	158
8.5.9	令牌请求和授予的范例	158
8.5.10	分配比例	161
8.5.11	有效地判断 TKM 优先级寄存器的值	162
8.5.12	从资源到令牌管理器的反馈	164
8.6	PPE、SPEs、MIC 和 IOC 的配置	166
8.6.1	配置寄存器概要	166
8.6.2	SPE 地址范围检查	168
8.7	用 MMIO 改变资源管理器寄存器的设置	169
8.7.1	对 RAID 的改变	169
8.7.2	改变请求方的令牌请求启用状态	170
8.7.3	改变请求方的地址映射	171
8.7.4	改变请求方对每次存取中多令牌的使用	171
8.7.5	改变对 TKM 的反馈	172
8.7.6	改变 TKM 寄存器	172
8.8	令牌请求与令牌授予之间的延迟	173
8.9	系统管理器接口	173
第 9 章	PPE 中断	174
9.1	简介	174
9.2	中断体系结构概要	175

9.3	中断寄存器	178
9.4	中断处理	179
9.5	中断向量及定义	180
9.5.1	系统复位中断 (可选的向量地址或 x'00..00000100')	181
9.5.2	机器检查中断 (x'00..00000200')	182
9.5.3	数据存储中断 (x'00..00000300')	183
9.5.4	数据段中断	185
9.5.5	指令存储中断 (x'00..00000400')	185
9.5.6	指令段中断 (x'00..00000480')	186
9.5.7	外部中断 (x'00..00000500')	186
9.5.8	对齐中断 (x'00..00000600')	187
9.5.9	程序中断 (x'00..00000700')	187
9.5.10	浮点不可用中断 (x'00..00000800')	189
9.5.11	递减器中断 (x'00..00000900')	189
9.5.12	系统管理器递减器中断 (x'00..00000980')	189
9.5.13	系统调用中断 (x'00..00000C00')	190
9.5.14	跟踪中断 (x'00..00000D00')	190
9.5.15	VXU 不可用中断 (x'00..00000F20')	191
9.5.16	系统错误中断 (x'00..00001200')	192
9.5.17	维护中断 (x'00..00001600')	193
9.5.18	温度管理中断 (x'00..00001800')	194
9.6	直接外部中断	195
9.6.1	中断的表示	196
9.6.2	IIC 中断寄存器	197
9.6.3	SPU 与 MFC 中断	201
9.6.4	其他外部中断	202
9.7	间接外部中断	206
9.7.1	间接外部中断体系结构	206
9.7.2	间接外部中断的实现	207
9.8	转发至 PPE 的 SPU 和 MFC 中断	209
9.8.1	中断类型和类别	209
9.8.2	中断寄存器	210
9.8.3	中断定义	214
9.8.4	处理 SPU 和 MFC 中断	217
9.9	中断线程目标	218
9.10	中断优先级	219
9.11	中断延迟	221