

ELECTRONIC
ENGINEER

XIDIAN UNIVERSITY PRESS

PCI Local Bus and Applications

PCI 局部总线 及其应用

李贵山 陈金鹏 主编

PCI Local Bus and Applications



西安电子科技大学出版社

<http://www.xduph.com>

内 容 简 介

PCI(外设部件互连)是当今个人计算机的主流总线结构,是微型计算机中处理器/存储器与外围控制部件、扩展卡之间的互连接口。PCI 局部总线规范是互连机构的协议,也是电气和机械配置的规范。

本书分为 9 章,涵盖了 PCI 局部总线规范 2.2 版及其最新进展,详细介绍了 PCI 局部总线的原理和操作,内容包括 PCI 局部总线的基本概念、信号的定义、总线的操作、电气规范、机械规范、配置空间、66 MHz 规范、BIOS 和 PCI - PCI 桥等。书中通过大量的时序波形和实例对 PCI 局部总线的实际应用进行了深入浅出的阐述。

编者根据编写《PCI 局部总线开发者指南》(2.0 版)和使用 PCI 局部总线的经验,对书中的内容作了周密安排。本书体系合理、概念清晰、逻辑性强、通俗易懂。

本书是对 PCI 局部总线规范使用的全面详细的指南,凡是具有一定计算机基础的读者都能通过学习本书掌握 PCI 局部总线的基本内容。本书是所有从事 PCI 局部总线硬件、软件设计与测试人员的一本难得的参考书,也可作为相关专业本科和研究生的教材。

图书在版编目(CIP)数据

PCI 局部总线及其应用 / 李贵山, 陈金鹏主编.

—西安: 西安电子科技大学出版社, 2003.2

ISBN 7-5606-0486-2

I. P… II. ①李… ②陈… III. 电子计算机—总线 IV. TP336

中国版本图书馆 CIP 数据核字(2002)第 099833 号

策 划 马乐惠

责任编辑 王素娟 龙晖

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)8227828 邮 编 710071

<http://www.xduph.com> E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印 刷 西安文化彩印厂

版 次 2003 年 2 月第 1 版 2003 年 9 月第 2 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 17.25

字 数 406 千字

印 数 4 001~8 000 册

定 价 24.00 元

ISBN 7-5606-0486-2/TP·0225

XDUP 0756A01-2

如有印装问题可调换

本社图书封面为激光防伪覆膜, 谨防盗版。

前 言

在当今信息社会的时代, 计算机技术已渗透到了各行各业。随着它的广泛应用和不断发展, 无论是办公自动化还是工业应用, 对计算机性能的要求都越来越高。在 CPU 从 80286 发展到目前的 Pentium VI 水平的情况下, 其数据宽度及工作频率也在不断提高, 这就促使计算机总线技术也要日趋完善, 不断推出新标准。而 PCI 局部总线因其众多的功能、强大的兼容性, 在计算机总线市场上独领风骚。

PCI 局部总线是微型计算机中处理器/存储器与外围控制部件、扩展卡之间的互连接口, PCI 局部总线规范是互连机构的协议, 也是电气和机械配置的规范。PCI SIG 自 1992 年发布了 PCI 局部总线规范 1.0 版以来, 经过不断的完善, 于 1999 年推出其最新版本 2.2 版。

PCI 局部总线独立于处理器的独特设计和其在高性能、低成本、开放性等方面的优势, 使其得到迅速普及和发展, 目前已成为微型计算机事实上的总线标准, 并在嵌入式计算机和工业控制计算机方面具有广泛的应用前景。由于 PCI 局部总线所涉及的概念比较复杂, 规则繁多, 要求严格, 具体使用中容易出错, 因此目前国内从事计算机软硬件研究开发和其它相关人员正迫切地希望能有一本合适的学习资料, 以掌握 PCI 局部总线的理论和技术。本书就是为此而编写的。本书以已出版的《PCI 局部总线开发者指南》(西安电子科技大学出版社出版)为基础, 增加了大量内容。全书以 PCI 局部总线规范 2.2 版为核心, 介绍了 PCI 总线的各种功能及使用技术。全书共有 9 章以及 3 个附录, 主要内容有:

第 1 章: PCI 局部总线简介。主要介绍了 PCI 局部总线的基本概念、发展状况、功能、特点和应用范围。

第 2 章: PCI 局部总线信号定义。详细介绍了 PCI 局部总线中所有信号的定义与功能。

第 3 章: PCI 局部总线的操作。结合时序、实例详细介绍了 PCI 局部总线的各种总线命令与功能的操作规程和使用方法。

第 4 章: PCI 局部总线的电气规范。介绍了 PCI 局部总线各种接口卡和连接器在电气方面的要求与规范。

第 5 章: PCI 局部总线的机械特性。主要介绍了 PCI 局部总线各种接口卡和连接器的物理尺寸与制作要求。

第 6 章: 配置空间。介绍了 PCI 局部总线中各种配置空间的编程模式、规则和使用技术。

第 7 章: 66 MHz PCI 规范。主要介绍 66 MHz 总线和器件的实现规范和使用技术。

第 8 章: PCI BIOS。以 PCI BIOS 2.1 版(最高版本)为核心, 详细介绍了 PCI BIOS 的用途、支持环境, 以及各种 BIOS 功能的调用规则与调用技巧。

第9章：PCI - PCI 桥。主要介绍了 PCI - PCI 桥的作用、各种寄存器的配置规则与方法，以及 PCI - PCI 桥的各种操作规程与技术。

本书的第1、4、6、7章及附录由李贵山编著，第2章和第3章的3.1~3.6节由陈金鹏编著，第3章的3.7、3.8节及第5、8章由张秀香编著，第9章由陈瑞编著。全书由李贵山统稿。

由于作者水平有限，疏漏之处在所难免，殷切希望广大读者不吝指教。

编者
2002.10

目 录

第 1 章 PCI 局部总线简介	1
1.1 总线的基本概念	1
1.2 PCI 局部总线的发展	1
1.2.1 PCI 局部总线的孕育	1
1.2.2 PCI 局部总线发展的动力	2
1.2.3 总线的性能指标	3
1.3 PCI 局部总线的特点	3
1.4 PCI 设备与功能	5
1.5 遵循的技术规范及获取方法	6
1.6 PCI 局部总线的应用	6
第 2 章 PCI 局部总线信号定义	8
2.1 信号类型说明	8
2.2 PCI 局部总线信号定义	9
2.2.1 系统信号定义	9
2.2.2 地址和数据信号	9
2.2.3 接口控制信号	10
2.2.4 仲裁信号	10
2.2.5 错误报告信号	11
2.2.6 中断信号	12
2.2.7 附加信号	13
2.2.8 64 位总线扩展信号	14
2.2.9 JTAG/边界扫描信号	15
2.3 边带信号	16
2.4 中央资源功能	16
第 3 章 PCI 局部总线的操作	17
3.1 总线命令	17
3.1.1 总线命令编码	17
3.1.2 命令使用规则	23
3.2 PCI 局部总线协议	25
3.2.1 PCI 局部总线的交易控制	26
3.2.2 PCI 局部总线的编址	26
3.2.3 字节校正和字节使能的用法	38
3.2.4 总线的驱动与过渡	40
3.2.5 交易顺序与报告	41
3.2.6 组合、合并与叠并	43
3.3 总线交易	45
3.3.1 总线上的读交易	45
3.3.2 总线上的写交易	49
3.3.3 交易的终止过程	53
3.4 PCI 局部总线的仲裁	66
3.4.1 仲裁算法	67
3.4.2 公平仲裁举例	68
3.4.3 双主设备间的仲裁举例	69
3.4.4 仲裁协议	71
3.4.5 快速背对背交易	73
3.4.6 仲裁的停靠	75
3.5 PCI 局部总线的访问延迟	75
3.5.1 总线访问延迟的概念	76
3.5.2 目标延迟	76
3.5.3 主设备数据延迟	78
3.5.4 存储器写最大完成时间限制	78
3.5.5 仲裁延迟	79
3.6 PCI 局部总线的其它操作	85
3.6.1 设备选择	85
3.6.2 特殊周期	87
3.6.3 地址/数据的渐进	88
3.6.4 中断应答	90
3.7 纠错功能	91
3.7.1 奇偶位的产生	91
3.7.2 奇偶校验	92
3.7.3 地址奇偶错误	92
3.7.4 错误的报告	92
3.7.5 延迟交易与数据奇偶错误	94
3.7.6 错误恢复	95
3.8 PCI 局部总线的 64 位扩展	96

3.8.1	64 位数据传送和 64 位寻址	96	6.2.3	设备状态寄存器	162
3.8.2	64 位扩展信号	97	6.2.4	其它头标区寄存器	163
3.8.3	在 32 位插入式连接器上 的 64 位卡	97	6.2.5	基址寄存器	165
3.8.4	64 位扩展漂移的防止	97	6.2.6	新能力	168
3.8.5	64 位数据传送能力	99	6.3	PCI 扩展 ROM	171
3.8.6	64 位寻址	105	6.3.1	PCI 扩展 ROM 的内容	172
3.8.7	64 位奇偶校验	109	6.3.2	上电自测试(POST)代码	173
第 4 章	PCI 局部总线的电气规范	110	6.3.3	PC 兼容的扩展 ROM	173
4.1	概述	110	6.3.4	设备驱动程序	176
4.1.1	从 5 V 到 3.3 V 的过渡	110	6.4	消息信号中断(MSI)	176
4.1.2	动态与静态驱动规范	111	6.4.1	消息能力结构	176
4.2	PCI 元件指标	111	6.4.2	MSI 操作	178
4.2.1	5 V 信号环境下的指标	112	第 7 章	66 MHz PCI 规范	180
4.2.2	3.3 V 信号环境下的指标	116	7.1	设备实现	180
4.2.3	时间指标	119	7.2	协议	181
4.3	系统(母板)技术指标	123	7.3	电气特性	181
4.3.1	时钟相位偏移	123	7.3.1	信号环境	182
4.3.2	复位信号	123	7.3.2	直流(DC)指标	182
4.3.3	上拉电阻	124	7.3.3	交流(AC)指标	182
4.3.4	电源	125	7.3.4	最大交流允许值与设备保护	183
4.3.5	系统时限限制	126	7.3.5	时间指标	183
4.3.6	系统的物理要求	128	7.4	系统(主板)技术指标	186
4.3.7	连接器	128	7.4.1	时钟误差	186
4.4	扩展板技术指标	131	7.4.2	复位信号	187
4.4.1	扩展板上的引脚分配	131	7.4.3	上拉电阻	187
4.4.2	电源要求	134	7.4.4	电源	187
4.4.3	物理要求	134	7.4.5	系统时限限制	187
第 5 章	PCI 局部总线的机械特性	136	7.4.6	物理要求	189
5.1	简介	136	7.4.7	连接器引脚排列	189
5.2	PCI 扩展卡的物理尺寸及公差	139	第 8 章	PCI BIOS	190
5.2.1	连接器的物理描述	140	8.1	PCI BIOS 的用途	190
5.2.2	平面实现	146	8.2	支持的操作系统环境	190
第 6 章	配置空间	152	8.2.1	BIOS 的实现与调用规则	190
6.1	配置空间的组织	152	8.2.2	实模式	191
6.2	配置空间的功能	154	8.2.3	286 保护模式(16 : 16)	192
6.2.1	设备识别	154	8.2.4	386 保护模式(32 : 32)	192
6.2.2	设备的控制	160	8.2.5	平模式(0 : 32)	193
			8.3	确定系统是否实现 32 位 BIOS	193

8.4 确定 32 位 BIOS 支持的服务	193	9.6 配置过程	225
8.5 确定 32 位 BIOS 是否支持 PCI BIOS 服务	194	9.6.1 总线编号分配	225
8.6 调用 PCI BIOS	194	9.6.2 底板与槽编号分配	225
8.6.1 PCI BIOS 的存在性	194	9.6.3 地址空间分配	232
8.6.2 PCI 设备检测	195	9.6.4 IRQ 分配	233
8.6.3 PCI 分类代码检测	195	9.6.5 显示配置	233
8.6.4 特殊周期的产生	196	9.7 配置与特殊周期过滤	236
8.6.5 PCI 中断路由选项的获得	196	9.7.1 概述	236
8.6.6 PCI 硬件中断设置	197	9.7.2 特殊周期交易	237
8.6.7 读配置字节	198	9.7.3 类型 1 配置访问	238
8.6.8 读配置字	198	9.7.4 类型 0 配置访问	238
8.6.9 读配置双字	199	9.8 中断确认处理	239
8.6.10 写配置字节	199	9.9 具有负向译码特征的 PCI - PCI 桥	239
8.6.11 写配置字	199	9.10 复位	240
8.6.12 写配置双字	200	9.11 仲裁	240
第 9 章 PCI - PCI 桥	201	9.12 中断支持	240
9.1 采用 PCI - PCI 桥结构的原因	201	9.12.1 使用中断跟踪的设备	240
9.2 基本术语	201	9.12.2 使用 MSI 的设备	241
9.3 具有 PCI - PCI 桥的系统举例	202	9.13 缓冲区管理	241
9.4 PCI - PCI 桥的作用	204	9.13.1 存储器写并无效命令的处理	242
9.4.1 桥的功能	204	9.13.2 关于报告写缓冲区用法的规则	242
9.4.2 桥对总线上交易的处理行为	205	9.13.3 多数据期特殊周期请求	243
9.5 桥配置寄存器	206	9.14 错误检测与处理	243
9.5.1 概述	206	9.14.1 简介	243
9.5.2 头标类型寄存器	207	9.14.2 地址期奇偶校验错的处理	243
9.5.3 设备的识别	207	9.14.3 读数据期的奇偶校验错	244
9.5.4 总线编号寄存器	208	9.14.4 写数据期的奇偶校验错	245
9.5.5 命令寄存器	209	9.14.5 主设备缺省的处理	249
9.5.6 状态寄存器	211	9.14.6 目标缺省的处理	250
9.5.7 底板/槽编号寄存器	212	9.14.7 放弃定时器时间溢出	250
9.5.8 与地址译码相关的寄存器	213	9.14.8 在第二总线上处理 SERR#	251
9.5.9 Cache 行容量寄存器	224	附录 A PCI 局部总线操作规则	252
9.5.10 延迟定时寄存器	224	附录 B 系统交易顺序	256
9.5.11 BIST 寄存器	224	附录 C 互斥访问	262
9.5.12 与中断相关的寄存器	225	参考文献	267



第 1 章 PCI 局部总线简介



1.1 总线的基本概念

计算机总线是计算机各部件之间进行信息传输的公共通道。微型计算机系统广泛采用总线结构，其优点是系统成本低、组态灵活、维修方便。采用总线标准设计、生产的硬件模块兼容性强，而且通过系统总线可以方便地组合在一起，以构成满足不同需要的微机系统。

计算机总线技术包括通道控制功能、使用方法、仲裁方法和传输方式等。任何系统的研制和外围模块的开发都必须服从一定的总线规范。不同结构的总线性能差别很大。计算机总线的主要职能是负责计算机各模块间的信息传输，因此，对总线性能的衡量，也是围绕着这一职能而定义、测试和比较的。总线的传输率是评价其性能的主要技术指标。另外，总线的可操作性、兼容性和性能价格比，也是很重要的技术特征。

随着计算机技术的不断发展，微型计算机的体系结构发生了显著的变化。如 CPU 运行速度的提高、多处理器结构的出现、高速缓冲存储器的广泛采用等，都要求有高速的总线来传输数据，从而出现了多总线结构。多总线结构是指 CPU 与存储器、I/O 等设备之间有两种以上的总线，这样可以将慢速的设备和快速的设备挂在不同的总线上，以减少总线竞争现象，使系统的效率大大提高。

在多总线结构中，局部总线(Local Bus)的发展最令人瞩目。局部总线是指来自处理器的延伸线路，与处理器同步操作。外部设备如果直接挂到局部总线上，就能以 CPU 的速度运行。由于局部总线具有极高的数据传输率，因此，其在 CPU 与高速缓冲存储器(Cache)、CPU 与高速图形卡等需要高速传输信息的场合得到了广泛的应用。



1.2 PCI 局部总线的发展

1.2.1 PCI 局部总线的孕育



PCI 的含义为外设部件互连(Peripheral Component Interconnect)。PCI 局部总线虽然是由 Intel 公司提出的，但其发展，必须由 IBM 公司说起。由于 IBM PC 系统的开放性，全世界 PC 机的制造商纷纷向 IBM PC 标准靠拢，从而使 IBM PC 系列产品风靡全球。与此同时，Intel 公司和 Microsoft 公司也迅速发展壮大起来，对 IBM 公司构成了威胁。IBM 公司为保护自身利益，将计算机总线由 ISA 总线升级到 MCA 总线，并于 1987 年 4 月在 PS/2 机上使用。MCA 是 32 位总线，传输率为 40 MB/s，可共享资源，具有多重处理能力。为防止其它厂家仿制，IBM 公司没有对外公开 MCA 总线的技术标准，从而使其成为专有产品。

鉴于上述原因，Compaq、AST、Epson、HP、Olivetti 和 NEC 等 9 家公司于 1988 年 9



月联合推出了一种兼容性更强的总线,即 EISA 总线。该总线除了具有与 MCA 总线完全相同的功能外,还与 ISA 总线 100% 兼容。EISA 是 32 位总线,支持多处理器结构,具有较强的 I/O 扩展能力和负载能力,传输率为 33 MB/s,适用于网络服务器、高速图像处理、多媒体等领域。因 EISA 是兼容商共同推出的,所以其技术标准是公开的。

Intel 公司决定不支持 VESA VL 标准,是因为新出现的标准针对当时的问题只是短时的解决方法,并没有时间跨度较长的解决方案,更不用说未来五年会遇到的问题。此外,VL 总线只能有限地支持突发传送,限制了所能达到的流量。

1991 年,Intel 公司对 PCI 局部总线进行了定义,并与 IBM、Compaq、AST、HP、NEC 等 100 多家公司联合共谋计算机总线的发展大业,于是,PC 局部总线标准 1.0 版技术规范于 1992 年 6 月 22 日推出;2.0 修改版于 1993 年 4 月发布;2.1 修改版于 1995 年第一季度发布;最新的 2.2 修改版于 1998 年 12 月 18 日完成,1999 年 2 月发布。

PCI 局部总线是一种具有多路地址线 and 数据线的高性能的 32/64 位总线。它在高度集成的外围控制器件、外围插件板和处理器/存储器之间作为互连机构应用。

目前应用的 PCI 局部总线规范 2.2 版包括 PCI 局部总线部件和扩展板的协议、电气、机械和配置规范,并规定了 PCI 的硬件环境。

1.2.2 PCI 局部总线发展的动力



PCI 局部总线支持 64 位数据传送、多总线主控和线性突发方式(Burst),其数据传输率为 132 MB/s,这给其发展提供了有利条件。总的来看,PCI 局部总线之所以能发展,其动力之一是图形用户接口界面(Graph User Interface,简称 GUI)的发展。良好的用户接口界面的实现是以高性能的图形界面操作系统为基础的,而图形界面操作系统往往需要大容量存储器,因而,刺激了 RAM 芯片的生产,更重要的是对总线的性能提出了更高的要求。例如,在多媒体视频图像显示中,若分辨率为 640×480 ,30 帧/s,显示彩色深度为 24 位,则多媒体显示卡的数据吞吐量 $= 640 \times 480 \times 30 \times 3 = 27.648$ MB/s,对于具有 100 Mb/s 传输率的高速光纤网,需要总线的吞吐量为 100 Mb/s,即 12.5 MB/s。由此可见,采用 100 Mb/s 光纤传输视频动态图像必须借助于压缩技术。

由于外围设备数据吞吐量与总线传输率之间没有严格的比例关系,一般一条总线可能挂接 3~5 个高速外设,因而,总线的最大传输率应为高速外设的 3~5 倍。由此可计算出多媒体视频卡对总线最大传输率的需求为

$$\text{Tran Multimedia} = 27.648 \times (3 \sim 5) = 82.944 \sim 138.24 \text{ MB/s}$$

而 100 Mb/s 的高速光纤网络中,对总线最大传输率的需求为

$$\text{Tran FDDI} = 12.5 \times (3 \sim 5) = 37.5 \sim 62.5 \text{ MB/s}$$

但 ISA 总线的最大传输率为 8 MB/s, EISA 总线为 33 MB/s,无法满足图形操作系统和高速网络的要求,而 PCI 局部总线的传输率为 132 MB/s,可满足上述要求。

另一推动 PCI 局部总线发展的原因是它可以降低系统成本。用大量面向 PCI 局部总线的处理芯片来构造系统机、工作站、外围设备及板卡,其性能优越,处理能力、传输速度都很高。反之,若不采用面向 PCI 的芯片进行设计,实现同样的功能,其成本将升高 10%~15%。

可见,PCI 成功地满足了工业要求,目前已成为世界上应用最为广泛的扩展标准。



1.2.3 总线的性能指标



要评价一个总线的性能好坏，只有通过相应的指标才能作出。一般采用以下指标来进行评价：

- (1) 总线宽度：数据总线的数量，用 bit(位)表示，如 8 位、16 位、32 位、64 位。
- (2) 传输率：每秒钟在总线上传输的最大字节数，用 MB/s 表示，即每秒多少兆字节。若总线工作频率为 8 MHz，总线宽度为 8 位，则最大传输率为 8 MB/s。若工作频率为 33 MHz，总线宽度为 32 位，则最大传输率为 132 MB/s。
- (3) 同步方式：总线上的数据与时钟同步工作的总线，称为同步总线，反之，称为异步总线。
- (4) 信号线数：表明总线所需信号线数的多少，是地址线 AB、数据线 DB 和控制线 CB 的总和。信号线数与性能不成正比，但与硬件的复杂程度成正比。
- (5) 数据总线/地址总线的多路复用和非多路复用：在早期的总线设计中，采用了地址线传输地址码，数据总线传输数据命令。为了提高总线性能，优化设计，目前的总线设计普遍采用地址线 and 数据线共用一条物理线路，即某一时刻该线路上传输的是地址信号，而另一时刻传输的是数据信号或总线命令。这种一条总线多种用途的技术，称为多路复用。
- (6) 负载能力：通常指“可连接的扩增电路板的数量”或“可连接的扩充电路板的数量”，尽管大家都沿用这一表示方法，其实它并不严密，但它基本上能反映出总线的负载能力。
- (7) 总线控制方式：主要指突发传输、并发工作、自动配置、中断方式、仲裁方式等。
- (8) 扩充电路板尺寸：表示某一总线扩展电路板的尺寸大小。
- (9) 其它指标：如电源电压等级，能否扩展为 64 位宽度等，也是很重要的参数。



1.3 PCI 局部总线的特点

PCI 局部总线能够配合要求彼此间快速访问或快速访问系统存储器的适配器工作，也能让处理器以接近自身总线全速的速度访问适配器。注意，通过 PCI 局部总线的全部读写传送都可以用突发传送。突发传送的长度由总线主设备决定。在交易开始时，目标得到起始地址和交易类型，但没有传送长度；在主设备准备传送每一个数据项时，主设备都会通知目标该数据项是否为最后一个数据项。当最后一个数据项传送后交易即告结束。

图 1-1(PCI 系统结构图)表明了 PCI、扩展、处理器和存储器总线间的基本关系：

- (1) Host/PCI 桥，常称为北桥(North Bridge)，连接主处理器总线到基础 PCI 局部总线。
- (2) PCI/ISA 桥，常称为南桥(South Bridge)，连接基础 PCI 局部总线到 ISA(或 EISA)总线，南桥常含中断控制器、IDE 控制器、USB 主控制器和 DMA 控制器。北桥和南桥构成芯片组。
- (3) 在基础 PCI 局部总线或 PCI 插入卡上，可以嵌入一个或多个 PCI - PCI 桥。
- (4) 一个芯片组可以支持一个以上的北桥。

PCI 主要特点如下：

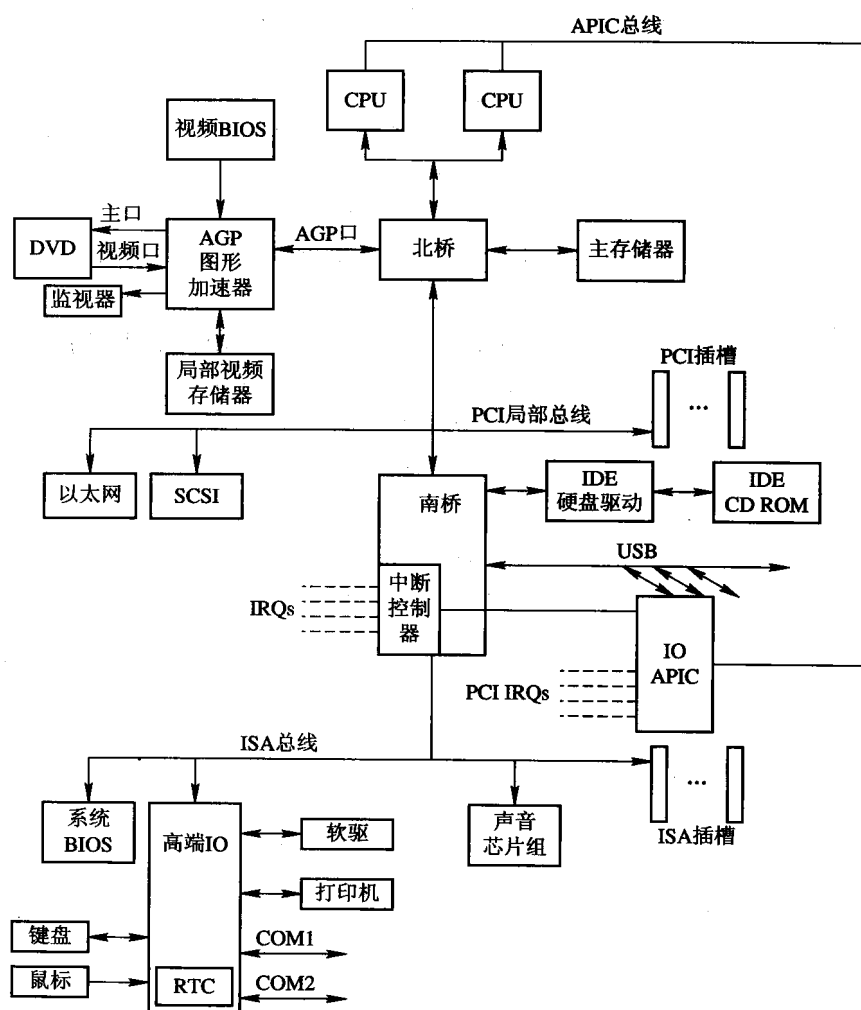


图 1-1 PCI 系统结构图

(1) 独立于处理器。为 PCI 局部总线设计的器件是针对 PCI，而不是针对处理器的，因此，设备的设计独立于处理器的升级。

(2) 每个 PCI 局部总线支持约 80 个 PCI 功能。一个典型的 PCI 支持约 10 个电气负载。每一个设备对于总线是一个负载，因此，每一个设备可以包括 8 个 PCI 功能。

(3) 支持多达 256 个 PCI 局部总线。技术规范提供对 256 个 PCI 局部总线的支持。

(4) 低功耗。PCI 技术规范的主要设计目标是实现电流尽可能小的系统设计。

(5) 在全部读写传送中可实现突发传送。32 位 PCI 局部总线在读写传送中支持 132 MB/s 的峰值传送速率，对于 64 位 PCI 传送支持 264 MB/s 的峰值传送速率。对于 64 位 66 MHz 的 PCI 局部总线，传送速率可达到 528 MB/s。

(6) 总线速度 2.0 版规范支持的 PCI 局部总线速度达到 33 MHz，2.1 以上版本增加了对



66 MHz 总线操作的支持。

(7) 64 位总线带宽。64 位扩展的完全定义。

(8) 访问时间快。当停靠在 PCI 局部总线上的主设备写 PCI 目标时，在 33 MHz 总线速度下，访问时间只需要 60 ns。

(9) 并行总线操作。桥支持完全总线并行操作，与处理器总线、PCI 局部总线和扩展总线同步使用。

(10) 总线主设备支持。全面支持 PCI 局部总线主设备，允许同级 PCI 局部总线访问和通过 PCI - PCI 与扩展总线桥访问主存储器和扩展总线设备。另外，PCI 主设备能够访问驻留于总线级别较低的另一个 PCI 局部总线上的目标。

(11) 隐式总线仲裁。PCI 局部总线仲裁能够在另一个总线主设备正在 PCI 局部总线上执行传送时发生。

(12) 引脚数少。总线信号使用经济，一个功能的 PCI 目标只有 47 个引脚，主设备只有 49 个引脚。

(13) 交易完整性校验。在地址、命令和数据上都进行奇偶校验。

(14) 3 类地址空间。即指存储器、I/O 和配置地址空间。

(15) 自动配置。配置寄存器的全位级别规范，支持自动的设备检测与配置。

(16) 软件透明。在与 PCI 设备或面向扩展总线的同类设备通信时，软件驱动程序使用相同的命令集和状态定义。

(17) 插入卡。规范包括 PCI 连接器和插入卡的定义。

(18) 插入卡尺寸。规范定义了 3 种插卡尺寸，即长卡、短卡和变高短卡。



1.4 PCI 设备与功能

典型的 PCI 设备包括已纳入 IC 封装内或集成于 PCI 扩展卡上的一套完整的周边适配器。网络、显示或 SCSI 适配器就是典型的例子。在引入 PCI 技术规范的起始阶段，许多供应商选择早已使用的、不符合 PCI 规范的设备作为 PCI 局部总线的接口，这可以通过可编程逻辑阵列(PLA)轻易实现。图 1-2 显示了 10 个符合 PCI 规范的设备连接在系统板的 PCI 局部总线上。

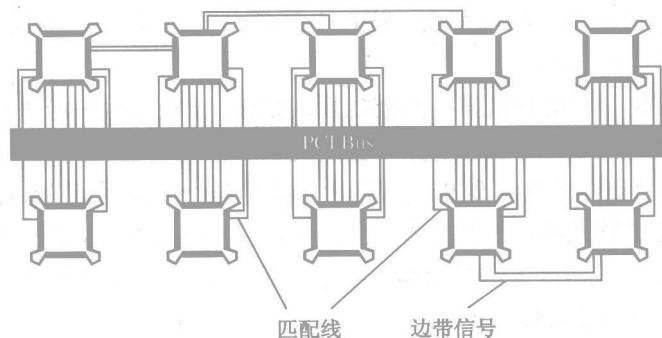


图 1-2 PCI 局部总线连接的 PCI 设备



应该注意, 每个符合 PCI 规范的设备(嵌入式器件或插卡)可以包含多达 8 个 PCI 功能, 一个功能就是一个逻辑设备。



1.5 遵循的技术规范及获取方法

本书的内容基于表 1-1 中所列的文件。

表 1-1 本书所基于的文件

文件名称	版本
PCI 局部总线规范	2.2
PCI - PCI 桥规范	1.1
PCI 系统设计指南	1.0
PCI BIOS 标准	2.1
PCI 局部总线电源管理接口规范	1.1
PCI 热插拔规范	1.0

PCI 局部总线技术规范 1.0 版由 Intel 公司开发, 现由一个工业厂商协会管理, 称为 PCI SIG。MindShare 是 SIG 的成员, 该规范的最新版本是 2.2。有关规范或 SIG 会员资格的信息, 请联系:

PCI Special Interest Group
2575 N.E Kathryn #17
Hillsboro, Oregon 97124
1-800-433-5177(USA)
503-693-6232(International)
503-693-8344(Fax)
pcisig@pcisig.com
<http://www.pcisig.com>



1.6 PCI 局部总线的应用

对于一个新型总线标准, 只有具备高性能、低成本、应用广泛、生命周期长等优点, 才能成为工业标准。在设计总线时, 不但要着眼于当前系统应达到新的性能价格比, 更重要的是要求总线能适应将来的系统要求, 能在多种平台和体系结构上应用。图 1-3 说明了 PCI 局部总线的多种应用范围。

PCI 局部总线不仅可应用到低档至高档的台式系统上, 而且也可应用在便携机乃至服务器的范围中。便携机应用要求 3.3 V 电源, 台式机应用也迫切要求由 5 V 电源改为 3.3 V 电源。因此, PCI 局部总线规范中明确指定了两种电源电压, 并说明了相应的转变途径。即规范中定义了两种插接卡连接器: 一种是 5 V 信号环境, 一种是 3.3 V 信号环境; 同时, 为这两种信号环境规定了三种插接卡电气类型, 分别是 5 V 卡、3.3 V 卡和通用卡, 其中通用卡是在实现 5 V 到 3.3 V 过渡时使用的。

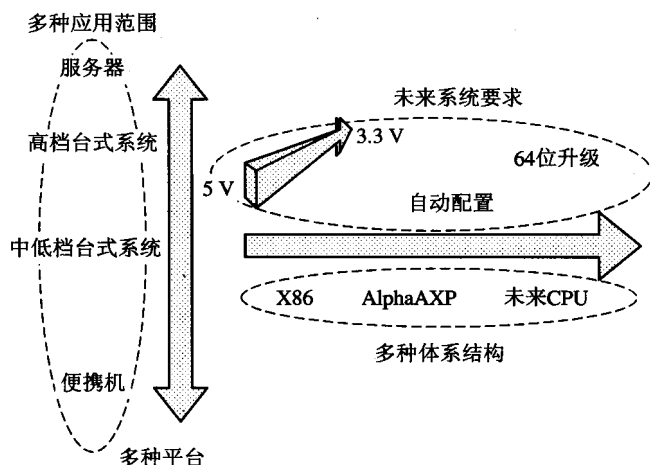


图 1-3 PCI 局部总线的应用范围

PCI 局部总线元件和插件接口与处理机是相互独立的，这样有助于将其应用到新型处理机上去，并适合于多种处理机体系结构的要求。同时，这种独立性可使 PCI 局部总线根据 I/O 功能的需求而优化，总线的操作与处理机/存储器子系统并行工作，以适应图形、运动图像、LAN、SCSI、FDDI 和硬盘驱动器等多种高性能外部设备。

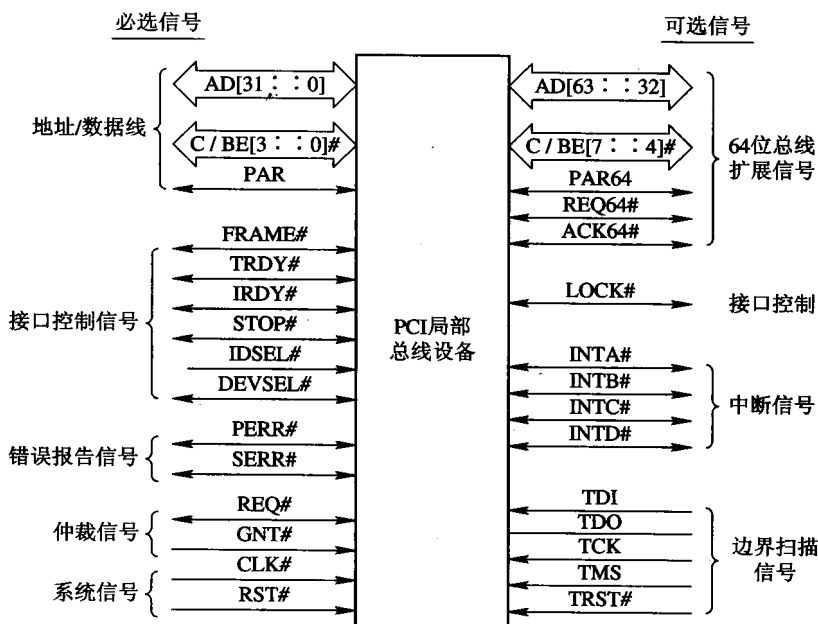
为了适应诸如高清晰度电视(HDTV)和三维显示等视频和多媒体显示的发展，以及高带宽 I/O 对局部总线带宽的进一步要求，PCI 局部总线允许对 32 位数据/地址总线进行 64 位扩展，并提供了 32 位及 64 位 PCI 局部总线设备的向前和向后的兼容性。

PCI 的自动配置功能使其应用更为方便。由于该总线标准为其元件及插件分配了相应的配置寄存器，因此对于一个系统而言，只要有嵌入的自动配置软件，就可以在加电时自动配置 PCI 局部总线上的设备，这为用户提供了很大的方便。



第 2 章 PCI 局部总线信号定义

在一个 PCI 应用系统中,如果某设备取得了总线控制权,就称其为“主设备”,而被主设备选中以进行通信的设备称为“从设备”或“目标设备”。对于相应的接口信号线,通常分为必备的和可选的两大类。如果只作为目标设备,至少需要 47 条接口信号线,若作为主设备,则需要 49 条。利用这些信号线便可处理数据、地址,实现接口控制、仲裁及系统功能。下面对主设备与目标设备综合考虑,并按功能分组将这些信号表示于图 2-1 中。



注:图中, #号表示低电平有效,否则为高电平有效

图 2-1 PCI 局部总线信号



2.1 信号类型说明

为了后续各章节叙述方便,在此对除了仲裁器或中央资源之外的所有 PCI 信号的类型规定综述如下:

对于仲裁器,REQ#为输入,GNT#为输出,其它适用于仲裁器的 PCI 信号的方向与主设备和目标设备相同,即

IN 表示输入,是标准的只作输入的信号。

OUT 表示输出,是标准的图腾柱式输出驱动信号。

T/S 表示双向的三态输入/输出信号。



S/T/S 表示持续的并且低电平有效的三态信号。在某一时刻只能属于一个主设备并被其驱动。这种信号从有效变为浮空(高阻状态)之前必须保证使其具有至少一个时钟周期的高电平状态。另一主设备要想驱动它,至少要等到该信号的原有驱动者将其释放(变为三态)一个时钟周期之后才能开始。同时,如果在此类信号处于持续的非驱动状态时,有新的主设备驱动它之前应采取上拉措施,并且该措施必须由中央资源提供。

O/D 表示漏极开路,以线或形式允许多个设备共同驱动和分享。



2.2 PCI 局部总线信号定义

本节主要介绍符合 PCI 的设备与总线的接口信号,其功能分组如图 2-1 所示。作为主设备或交易目标的 PCI 设备,很显然必须与主设备和相关目标信号相协调。实际上,一个设备不可能只是纯粹的总线主设备而不作为目标设备,至少,必须作为配置读和写的目标设备。

2.2.1 系统信号定义



CLK IN: 对于所有的 PCI 设备都是输入信号。其频率范围为 0~33 MHz 或 0~66 MHz,这一频率也称为 PCI 的工作频率。对于 PCI 的信号,除 RST#、INTA#、INTB#、INTC#、INTD#之外,其余信号都在 CLK 的上升沿有效(或采样)。

RST# IN: 复位信号。用来使 PCI 专用的特性寄存器、配置寄存器、定序器、主设备、目标设备以及输出驱动器恢复为规定的初始状态。至于其它设备复位后如何变化,不属于 PCI 规范的范围。每当复位时,PCI 的全部输出信号一般都应驱动到第三态。REQ#和 GNT#必须同时驱动到第三态,不能在复位期间为高或为低。为防止 AD、C/BE#及 PAR 在复位期间浮动,可由中央资源将它们驱动到逻辑低,但不能驱动为高电平。

RST#和 CLK 可以不同步,但要保证其撤消边沿没有反弹。当设备请求引导系统时,将响应复位,复位后响应系统引导。

2.2.2 地址和数据信号



AD [31 : 0] T/S: 地址、数据多路复用的输入/输出信号。一个总线交易由一个地址期和一个或多个数据期构成。在 FRAME#有效时,是地址期;在 IRDY#和 TRDY#同时有效时,是数据期。PCI 局部总线支持突发方式的读写功能。

在 FRAME#有效的第一个时钟周期是地址期,该周期中 AD [31 : 0] 线上含有一个 32 位的物理地址。对于 I/O 操作,它是一个字节地址;对于存储器操作和配置操作,则是双字地址。

在数据期,AD [7 : 0] 为最低字节,AD [31 : 24] 为最高字节。当 IRDY#有效时,表示写数据稳定有效;而当 TRDY#有效时,表示读数据稳定有效。在数据传输期间,IRDY#和 TRDY#应同时有效。

C/BE [3 : 0] # T/S: 总线命令和字节使能多路复用信号线。在交易的地址期中,这四条线上传输的是总线命令;在交易的数据期内,它们传输的是字节使能信号,并在整个数据期中有效,用来确定 AD [31 : 0] 线上哪些字节为有效数据。C/BE [0] #应用于字节 0(最低字节),C/BE [3] #应用于字节 3(最高字节)。



2.2.3 接口控制信号

FRAME# S/T/S: 帧周期信号。由当前主设备驱动,表示当前主设备一次交易的开始和持续时间。**FRAME#**的有效预示着总线传输的开始;在 **FRAME#**存在期间,意味着数据传输的继续进行;**FRAME#**失效后,是交易的最后一个数据期。

IRDY# S/T/S: 主设备准备好信号。由当前主设备(交易的启动方)驱动,该信号的有效表明发起本次传输的设备能够完成交易的当前数据期。它要与 **TRDY#**配合使用,二者同时有效,数据方能完整传输。在读周期,该信号有效时,表示主设备已作好接收数据的准备。在写周期,该信号有效时,表示有效数据已提交到 **AD[31:0]**线上。如果 **IRDY#**和 **TRDY#**有一个无效,将插入等待周期。

TRDY# S/T/S: 目标设备准备好信号。由当前被寻址的目标驱动,该信号有效表示目标设备已作好完成当前数据传输的准备工作,也就是说,可以进行相应的数据传输。同样,该信号要与 **IRDY#**配合使用,二者同时有效,数据才能完整传输。在写周期,该信号有效时,表示目标设备已作好接收数据的准备;在读周期内,该信号有效时,表示有效数据已提交到 **AD[31:0]**线上。同理,**IRDY#**和 **TRDY#**任何一个无效时都为等待周期。

STOP# S/T/S: 停止数据传送信号。当该信号有效时,表示目标设备要求主设备终止当前的数据传送。很显然,该信号应由目标设备驱动。

LOCK# S/T/S: 锁定信号。当该信号有效时,表示一个对桥的原始操作可能需要多个传输才能完成,也就是说,对此设备的操作是排它性的。而此时,对于未被锁定的桥,其非互斥访问仍然可以进行。**LOCK#**信号的控制是由 **PCI** 局部总线上发起数据传输的设备,根据它自己的约定并结合 **GNT#**信号来完成的。锁定交易只能由主桥、**PCI-PCI** 桥和扩展总线桥发起。有关 **LOCK#**信号的更为详细的内容请参阅附录 C。

IDSEL IN: 初始化设备选择信号。在参数配置读和配置写交易期间,用作片选信号。

DEVSEL# S/T/S: 设备选择信号。该信号有效时,表示驱动它的设备已成为当前访问的目标设备。换言之,该信号的有效说明总线上某处的某一设备已被选中。如果一个主设备启动一个交易并且在 6 个 **CLK** 周期内没有检测到 **DEVSEL#**有效,它必须假定目标设备没有反应或者地址不存在,从而实施主设备缺省。

2.2.4 仲裁信号



REQ# T/S: 总线占用请求信号。该信号一旦有效即表明驱动它的设备向仲裁器要求使用总线。它是一个点到点的信号线,任何主设备都有其 **REQ#**信号。当 **RST#**有效时,**REQ#**必须为三态。

GNT# T/S: 总线占用允许信号。用来向申请占用总线的设备表示其请求已获得批准。这也是一个点到点的信号线,任何主设备都应有自己的 **GNT#**信号。当 **RST#**有效时,必须忽略 **GNT#**。

每一个 **PCI** 主设备都有一对仲裁线直接连接到 **PCI** 仲裁器上。当一个主设备请求使用 **PCI** 局部总线时,它会使连接到仲裁器上的 **REQ#**有效,当仲裁器决定正在请求的主设备应该授权控制 **PCI** 局部总线时,它会使连接到正在请求的主设备的 **GNT#**有效。在 **PCI** 环境中,