



DSP 数据通路

基于累加器 的测试

DSP SHUJU TONGLU ·
JIYU LEIJIAQI DE CESHI

肖继学 著



电子科技大学出版社

DSP 数据通路基于累加器的测试

肖继学 著

电子科技大学出版社

图书在版编目(CIP)数据

DSP 数据通路基于累加器的测试 / 肖继学著. 成都:

电子科技大学出版社, 2009.3

ISBN 978-7-81114-699-8

I. D… II.肖… III.数字信号—信号处理—累加器—
测试技术—研究 IV.TN911.72

中国版本图书馆 CIP 数据核字(2009)第 022723 号

内 容 提 要

作为 VLSI 的一种高密度产品, DSP 因受微电子技术革命的强力助推其性能不断提高、功能不断丰富,但其测试,特别是其数据通路的测试问题变得越来越突出、严峻。基于累加器的测试,本书系统地阐述了关于这方面的关键方法、技术。

全书共分六章,第一章介绍了 DSP 数据通路基于累加器测试的研究背景、意义和研究现状;第二~五章分别阐述了 DSP 数据通路基于累加器的结构可测性设计与途径、测试生成与优化、低功耗测试生成与实现、测试策略与方法;第六章阐述了作为 DSP 数据通路基于累加器测试的核心即加法器的自测试与内建自测试。

此书是一部总结研究成果、系统阐述关于 DSP 数据通路基于累加器测试的专著。目前国内乃至亚洲尚未发现这方面的研究著作。著者期望本书的出版能够抛砖引玉,为从事 VLSI 设计开发、测试应用、科学研究的工程技术人员、科研人员,以及硕士生、博士生提供参考。

DSP 数据通路基于累加器的测试

肖继学 著

出 版: 电子科技大学出版社(成都市一环路东一段 159 号电子信息产业大厦 邮编: 610051)

策划编辑: 谢应成

责任编辑: 谢应成

主 页: www.uestcp.com.cn

电子邮箱: uestcp@uestcp.com.cn

发 行: 新华书店经销

印 刷: 郫县犀浦印刷厂

成品尺寸: 185mm×260mm 印张 9.25 字数 214 千字

版 次: 2009 年 3 月第一版

印 次: 2009 年 3 月第一次印刷

书 号: ISBN 978-7-81114-699-8

定 价: 28.00 元

■ 版权所有 侵权必究 ■

◆ 本社发行部电话: 028-83202463; 本社邮购电话: 028-83208003。

◆ 本书如有缺页、破损、装订错误,请寄回印刷厂调换。

序

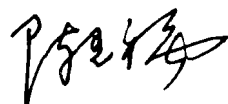
随着微电子技术的发展，集成电路的功能愈来愈复杂，集成度迅速提高，内部时钟频率极快增长，因而集成电路的测试也愈来愈困难。国际上已公认集成电路的测试问题已成为集成电路发展的瓶颈。因此，对集成电路测试理论和测试方法的研究一直是该学科领域的热门研究课题。国际半导体工业协会宣称：如果不采取有效的测试手段，到 2014 年，测试一只晶体管的费用将超过制造一只晶体的成本。

目前，微电子技术已经进入深亚微米的超高集成度阶段，这在确保 VLSI 实现的 DSP 的性能不断提高、功能不断丰富的时候，也使 DSP 的测试，特别是完成其诸多信号处理功能的 DSP 数据通路的测试变得越来越困难。

通过累加分别实现测试矢量生成、测试响应特征提取的基于累加器的测试实现简单，既避开了测试生成算法，又不需要像传统 VLSI 测试所采用的基于线性反馈移位寄存器、细胞自动机测试那样确定测试序列长度以及过长的测试时间，具有良好的测试性能和高的测试效率。

该书作者肖继学博士在电子科技大学攻读博士学位期间，结合国家自然科学基金项目对基于累加器的 DSP 数据通路测试进行了系统、深入的研究，包括结构可测性设计、测试生成与优化、低功耗测试生成、测试途径与方法、测试生成器与测试压缩器本身的自测试与内建自测试等诸多关键技术。目前，尚未发现类似书籍出版，相信该书对从事 DSP 数据通路、数字信号处理 IP 芯核以及 VLSI 设计、开发、测试的工程技术人员会有所裨益。

电子科技大学教授



2009 年 2 月 5 日于电子科技大学

前 言

由 VLSI 实现的 DSP 在当今信息时代具有非常重要的地位。无论从其生产角度，还是从其使用、维护角度看，对其测试均显得尤为迫切。而 VLSI 的集成度、逻辑/引脚比和工作时钟频率的快速、持续提高使其测试面临着越来越严峻的挑战。作为 VLSI 的一种高密度产品，DSP 特别是其数据通路在这方面的问题尤为突出。

自从 Rajski J、Gupta S、Tyszer J 等学者分别于 1993、1996 年提出了累加测试响应压缩、累加测试生成以来，基于累加器的测试以其优越的测试性能而受到了人们的广泛关注。在 DSP 数据通路中，大量地存在着二进制加法器，如果采用基于累加器的测试方法，则意味着不仅有卓越的测试性能，而且还可以将原电路中的部分加法器复用为测试生成器、测试响应压缩器，从而最小化电路的额外测试硬件开销。据此，国外学者进行了大量富有成效的研究工作并提出了基于各种故障模型的多种测试方法、策略。在这些研究成果的基础上，基于固定性故障模型，作者对 DSP 数据通路基于累加器的测试进行了深入、系统的研究工作，取得了大量的学术成就和显著的科研成果。本书是这些研究工作的结晶，是对这些研究成果的整理、归纳与总结。它主要涉及为进行 DSP 数据通路测试而须解决的其可测性设计，测试生成及优化、低功耗测试生成、测试策略与方法、测试生成器和（或）测试响应压缩器自身的测试等方面的研究。

本书基于国家自然科学基金资助项目（Grant No. 90407007）和西华大学人才引进/培养基金资助项目（Grant No. R0820207）的部分研究成果，并有幸得到了这两个基金和西华大学学术专著出版基金的资助。

作者有幸得到了许多专家、学者和朋友的可贵帮助、支持与建议。

作者在电子科技大学攻读博士学位期间进行本书所述科学研究中，得到了博士生导师陈光祚禹教授和顾亚平教授一贯的鼓励、支持与大力帮助。在本书第二章“DSP 数据通路的结构可测性设计”的研究过程中，曾得到了他们在结构可测性设计基本方法方面的指导；在第四章“基于累加器的 BIST 低功耗测试生成”、第五章“DSP 数据通路的基于累加器的 BIST 的测试”的研究过程中，他们曾就一些方法、策略给予了宝贵的建议；在写作本书期间，也自始至终得到了他们的悉心指导，作者在此表示衷心的感谢。

电子科技大学的谢永乐教授曾在本书第二章“DSP 数据通路的结构可测性设计”、第五章“DSP 数据通路的基于累加器的 BIST 的测试”的研究过程中提出了宝贵意见，童玲教授曾对本书第三章“DSP 数据通路的基于累加器的 BIST 测试生成”、第四章“基于累加器的 BIST 低功耗测试生成”、第五章“DSP 数据通路的基于累加器的 BIST 的测试”所述研究中的测试举例提供了有价值的参考，作者在此一并表示衷心的感谢。

近年来，西华大学的戴跃洪教授一直关注着作者在本书所述科学研究方面的研究进展，鼓励、支持作者将这些研究成果系统地整理、出版出来，以便于相关领域的工程技术人员、硕士研究生、博士研究生、科研人员等较好地分享这些成果。作者在此表示衷心的感谢。

感谢。

作者诚挚地感谢西华大学科技处以及电子科技大学出版社的谢应成主任和各位专家、编辑对这本书的出版所给予的支持、帮助，与他们合作是一件愉快的事。

由于作者水平有限，书中缺点与不足在所难免，敬请读者批评指正，作者将不胜感激。

肖继学

2009 年 1 月于成都

目 录

第一章 绪论.....	1
第二章 DSP 数据通路的结构可测性设计.....	17
2.1 DSP 数据通路的结构可测性设计方案.....	17
2.2 FFT 处理器数据通路的结构可测性设计	19
2.2.1 DIF-FFT 处理器的数据通路	19
2.2.2 DIF-FFT 处理器数据通路的结构可测性设计	20
2.3 IIR 滤波器数据通路的结构可测性设计.....	22
2.3.1 高阶 IIR 滤波器数据通路	23
2.3.2 IIR 滤波器数据通路的可测性设计.....	24
2.4 DF-FPDLMS 型自适应滤波器数据通路的结构可测性设计	25
2.5 DSP 数据通路结构可测性设计方案的评估.....	27
2.5.1 额外硬件开销.....	28
2.5.2 对原电路性能的影响.....	29
2.6 小结.....	29
第三章 DSP 数据通路的基于累加器的 BIST 测试生成.....	31
3.1 累加生成器基本原理.....	31
3.2 基于累加器的加/减法器测试生成.....	33
3.3 DSP 数据通路中加/减法器测试生成的优化.....	36
3.3.1 基于累加器的行波进位加法器测试生成的优化.....	37
3.3.2 基于累加器的超前进位加法器测试生成的优化.....	43
3.3.3 测试举例.....	45
3.4 DSP 数据通路中乘法器的测试生成.....	47
3.4.1 阵列乘法器的 TP	48
3.4.2 阵列乘法器 TP 的生成.....	56
3.4.3 测试举例.....	58
3.5 小结.....	59
第四章 基于累加器的 BIST 低功耗测试生成	61
4.1 低功耗测试生成原理.....	61
4.1.1 格雷码 (Gray Code)	61
4.1.2 伪格雷码.....	63
4.2 行波进位加法器的开关活动率	67

4.3	超前进位加法器的开关活动率	69
4.4	测试举例	70
4.5	伪格雷码编码器设计	99
4.6	小结	100
第五章	DSP 数据通路的基于累加器的 BIST 的测试	101
5.1	分阶分层的 DSP 数据通路测试方法	101
5.2	DIF-FFT 处理器数据通路的测试	101
5.2.1	ASU 层的测试	101
5.2.2	MU 层中乘法器的测试	104
5.2.3	MU 层中加、减法器的测试	106
5.3	IIR 数字滤波器数据通路的测试	107
5.3.1	加法器层的测试	108
5.3.2	乘法器层的测试	108
5.4	DF-FPDLMS 型自适应滤波器数据通路的测试	112
5.4.1	PM 内乘法器层的测试	112
5.4.2	PM 内加法器与 PM 外减法器层的测试	114
5.4.3	PM 外加法器树型结构的测试	115
5.5	DSP 数据通路分阶分层测试的性能	117
5.5.1	测试时间	117
5.5.2	故障覆盖率	117
5.5.3	测试额外硬件开销及其他	118
5.6	小结	118
第六章	DSP 数据通路中加法器的自测试	119
6.1	高效自测试设计	119
6.1.1	自测试方案	119
6.1.2	自测试设计	120
6.1.3	测试举例	123
6.2	BIST 设计	123
6.2.1	BIST 方案	124
6.2.2	累加器压缩原理与 BIST 实现	124
6.2.3	测试举例	126
6.3	小结	129
	参考文献	131

第一章 绪 论

电子信息技术是当今信息时代高新技术的前沿，它赋予了数字信号处理器（Digital Signal Processor, DSP）重要地位，而 DSP 一般由超大规模集成电路（Very Large Scale Integration, VLSI）实现，这决定了为降低 DSP 成本，提高其质量、性能和可靠性而对其进行必要测试的重要性、紧迫性。随着半导体芯片技术的快速发展，芯片集成度的持续增加，特别是片上系统（System-on-a-Chip, SoC）的出现与发展，VLSI 的测试面临着越来越严峻的挑战^[1]。内建自测试（Built-In Self-Test, BIST）已成为解决 VLSI 测试难题和降低测试成本的重要手段。DSP 的主体部分是其信号处理模块，即数据通路。产生测试矢量（Test Pattern, TP）的累加生成器^[2]和压缩测试响应的累加压缩器^[3]可通过复用 VLSI 中的二进制加法器构成，而二进制加法器是 DSP 数据通路的基本组成模块之一，所以，基于累加器，展开 DSP 数据通路的测试技术研究具有非常重要的现实意义。

针对半导体芯片制造全球化的趋势，为便于业界同行间的交流，由美国、欧洲、韩国和我国台湾的半导体工业协会以及日本的电子与信息工业协会组成了半导体工业联盟，定期发布全球半导体工业的需求参考和解决方案。该联盟 2003 年的报告即《2003 国际半导体技术指南》列举了如表 1-1 所示的从 2003~2018 年半导体芯片的主要技术指标^[4]。

表 1-1 2003~2018 年半导体芯片的主要技术指标

年 份	2003	2005	2007	2009	2012	2015	2018
特征尺寸/nm	100	80	65	50	35	25	18
存储器/Gbits	4.29	8.59	17.18	17.18	34.36	68.7	137.4
M 晶体管数/cm ²	142	225	357	566	1133	2265	4531
片上时钟/MHz	2976	5204	9285	12 369	20 065	33 403	53 207
I/O 引脚数（ASIC）	1700	2000	2200	2400	2600	2900	3200
最低 V_{dd} /V	1.0	0.9	0.8	0.8	0.7	0.6	0.5

由表 1-1 可知，半导体工艺目前已低于 100nm；芯片集成度仍大致在按 Moore 定律持续增长；专用集成电路（Application Specific Integrated Circuit, ASIC）的 I/O 引脚已达 2200 个，但远未跟上其集成度的增长；片上时钟的工作频率已超过 8GHz；存储器的容量已超过 17Gbits。

伴随着半导体芯片技术高速发展的是 SoC 技术的迅速发展和广泛应用。目前，越来越多的板上系统（System-on-Board, SoB）正逐渐被 SoC 取代。SoB 和 SoC 的开发流程如图 1-1 所示^[5]。二者非常相似，但 SoB 与 SoC 的测试差别很大。

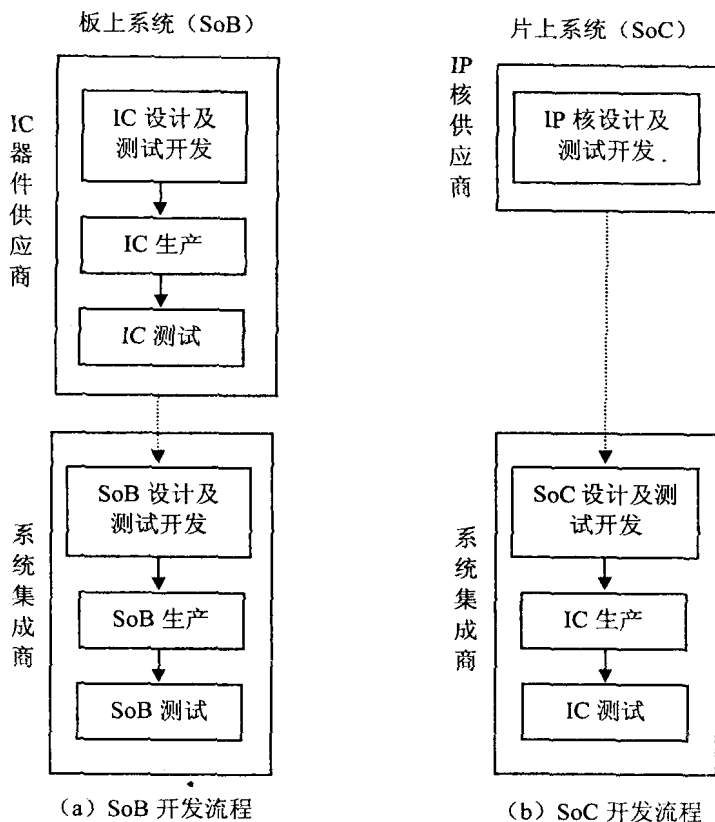


图 1-1 SoB 和 SoC 的开发流程

对于由 IC 构成的 SoB, 如图 1-1 (a) 所示, 其开发分为 IC 器件和系统集成设计两部分。前者的设计、生成、测试由 IC 器件供应商负责; 后者主要负责整个系统的设计、生产与测试。IC 器件已通过其供应商的测试, 故 SoB 的测试主要集中于 IC 间的互连测试和系统的整体测试。

SoC 的一个显著特征是它能够通过复用具有自主知识产权 (Intellectual Property, IP) 的芯核, 缩短开发周期, 加快产品上市时间。IP 核一般是以某种描述形式提供的虚拟部件, 并不是真正通过实物的形式制造出来的, 其供应商不可能对其进行具体的生产测试。而如图 1-1 (b) 所示, 目前的 SoC 开发包括 IP 核与 SoC 的系统集成设计两部分。这意味着 SoC 系统集成商不仅要负责各 IP 核间的互连测试, 还需负责各 IP 核自身的测试。当 SoC 包含多个大的 IP 核, 甚至 IP 核内嵌 IP 核, SoC 内嵌 SoC 时, VLSI 的测试就变得非常困难。其主要表现在: ①IP 核供应商一般只提供 IP 核的功能、性能, 而不会提供 IP 核的任何内部信息, 测试 IP 核时只能将其作为一个“黑盒”处理; ②自动测试设备 (Automatic Test Equipment, ATE) 的时钟信号精度每年 12% 的改善速度无法跟上 VLSI 工作频率每年 30% 的提高速度, ATE 的 I/O 通道数、速度、精度以及数据存储深度等方面的提高速度也远不及芯片集成度、管脚数目、工作时钟等的增长速度, SoC 的测试还需要一套合适的测试存取机制, 以利于测试数据的传输^[5]; ③如表 1-1 所示, 芯片集成度、工作频率的提高速度

远高于芯片最低工作电压的降低速度,让芯片的总功耗增加了 $2 \sim 96\text{W}^{[6-8]}$ 。而集成电路的测试功耗一般是工作功耗的几倍,过高的功耗会影响电路的性能,严重时还可能损坏电路^[9]。降低测试功耗是目前 VLSI 测试面临的又一个难题。

目前,主要有随机测试和穷举测试两种 VLSI 测试方法^[10]。随机测试是由一个随机序列发生器来提供被测电路 (Circuit Under Test, CUT) 输入组合的各种可能激励,把 CUT 的实际响应与无故障时 CUT 的正常响应相比较,以确定 CUT 是否发生了故障。获得完全随机的测试序列非常困难,一般是以已知的伪随机序列作为激励,这种随机测试称为伪随机测试。主要使用的伪随机序列发生器有线性反馈移位寄存器 (Linear Feedback Shift Register, LFSR) 和细胞自动机 (Cellular Automata, CA) 两种。随机或者伪随机测试的优点是不需要预先生成相应故障的 TP,实现简单。在应用该测试方法时,需要确定为达到既定故障覆盖率所需测试序列的长度。测试序列通常较长,测试时间长,一般难以保证 100% 的故障覆盖率。

将 2^n 个不同的 TP 输入到 n 输入组合电路的测试方法称为穷举测试。对于一个非冗余组合逻辑电路,全部输入值的集合必然构成该电路的一个完备测试集,故穷举测试一般属于完全测试。它不需要测试生成算法,但随着 n 的增加,TP 数目会以 2^n 的速度剧增,测试时间也会很快增长。McCluskey E J 和他主持的研究中心引入了伪穷举测试概念,从理论上很好地解决了这一问题。伪穷举测试法就是设法将电路分块,让分块后的每一个子电路均能进行穷举测试,而所需的 TP 数目 N 大幅度地减小,即 $N \ll 2^n$ 。对于 VLSI,伪穷举测试是一种非常理想的测试方法,它避开了繁琐的测试生成算法以及过长的测试时间,又成功地保证了 100% 的故障覆盖率。许多学者对它做了大量研究^[11-13]。

然而,良好的测试方法不足以解决 VLSI 的测试难题,《1999 国际半导体技术指南》曾指出^[14],如果不采取有效的测试手段,到 2014 年,测试一只晶体管的成本将超过其制造成本。SoC 的迅猛发展已经将 VLSI 测试推至一个新的高度并提出了前所未有的挑战^[1]。选择先进的甚至研究新的测试手段、方法已势在必行。另一方面,研究、改进测试生成算法虽然能够减少测试时间,改善测试性能,但仅仅这些还根本无法满足 VLSI 的测试需求。实践证明:对一个不具有可测性的电路进行测试是徒劳的。此时,如果不对 VLSI 进行旨在提高其测试性能的设计,则 SoC 的测试会变得非常困难。因此,旨在提高 VLSI 的可测性而对其进行的可测性设计 (Design-For-Testability, DFT) 便成了从根本上解决 VLSI 测试问题、实现 SoC 的唯一有效途径^[10, 15]。

边界扫描设计是应用得非常广泛、普遍的 DFT 方法^[10]。基于边界扫描设计的 VLSI 的测试若仍需 ATE 的参与,VLSI 芯片所需 TP 个数、测试速度和测试精度超出了目前 ATE 的存储和处理能力。为了减少甚至消除 VLSI 测试对 ATE 的依赖而将 TP 的产生、测试响应的分析及相关的测试控制等测试电路集成在待测 VLSI 中的 BIST 能够减少 VLSI 的测试和验证时间,提高故障覆盖率,已成为解决 VLSI 测试难题、降低测试成本的重要手段,是 VLSI 的一种理想测试方案^[15-18]。

电子信息科学是现代科学技术的象征,其重要技术手段为 DSP,而 DSP 一般由 VLSI 实现,它同样面临着上述测试困难。

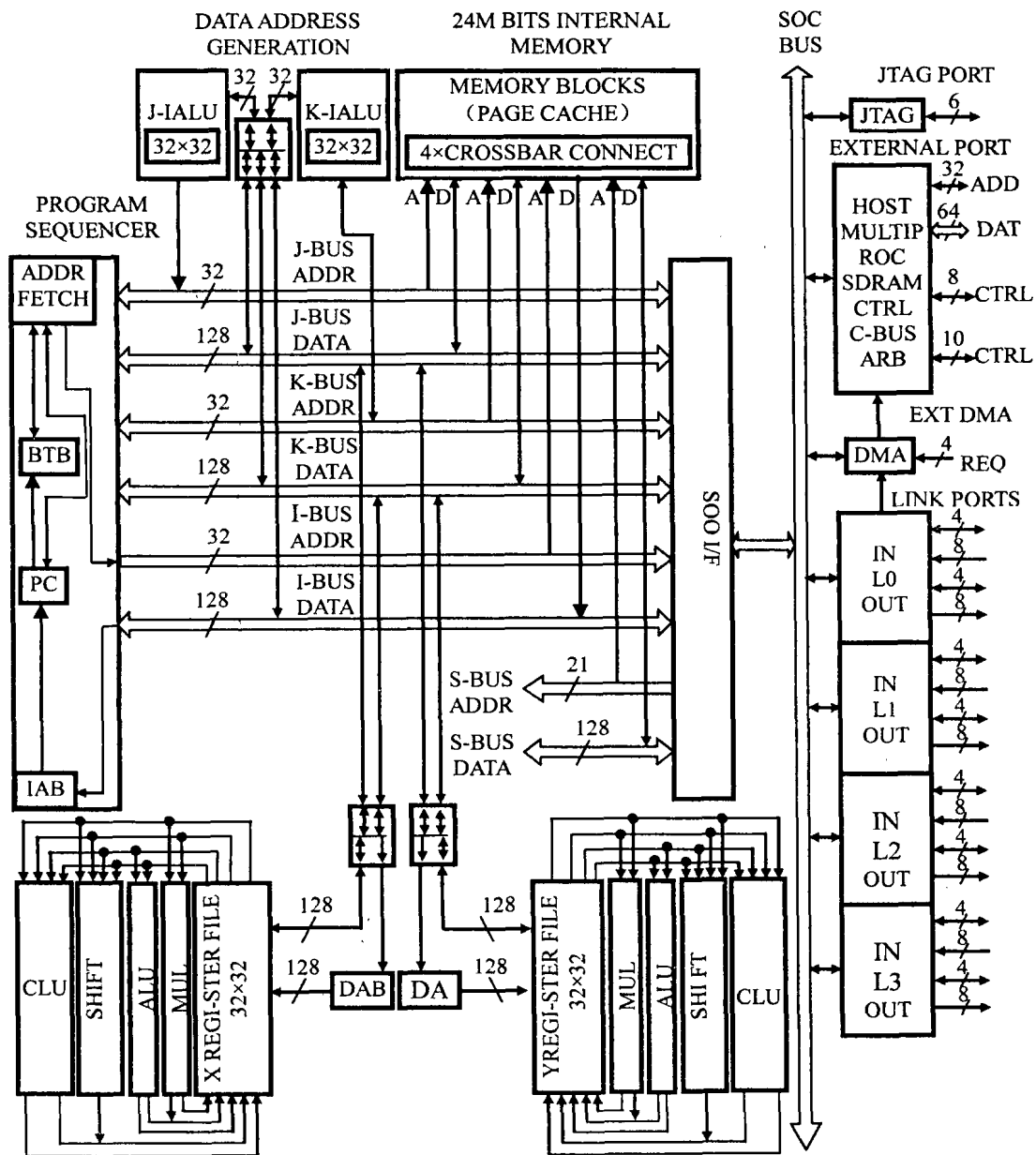


图 1-2 ADSP TS201S 内部结构框图^[19]

ADSP TS20XS 是美国 ADI 公司生产的通用数字信号处理器的一个系列。ADSP TS201S 是该系列的最基本机型，其内部结构如图 1-2 所示。从结构上，它可分为内核结构和 I/O 结构两大部分。其内核结构包括双运算模块、程序控制器、双整型 ALU、内部总线、数据对齐缓冲器 DAB、中断控制器等，每个运算模块又由寄存器组和 4 个独立运算单元即算术逻辑运算单元 ALU、通信逻辑处理单元 CLU、乘法器以及移位器构成，双整型 ALU (IALU)

即为图中的 J-ALU、K-ALU。其 I/O 结构主要包括外部总线、I/O 处理器、SDRAM 与 DMA 控制器、主机接口、多处理器接口、EPPROM 接口、链路接口、SoC 总线与 SoC 接口、定时器与通用 I/O 等。图中的这些控制器、部分处理器为数字信号的正确处理提供必要的控制信号，各种寄存器、运算器（单元）、内部总线形成数据通路完成对输入数字信号的相关处理，各种外部总线、接（端）口、缓冲器在一定控制信号的作用下实现数字信号的输入、输出，图 1-3、图 1-4 分别为 ADSP TS201S 在无中断情况下的读、写时序。

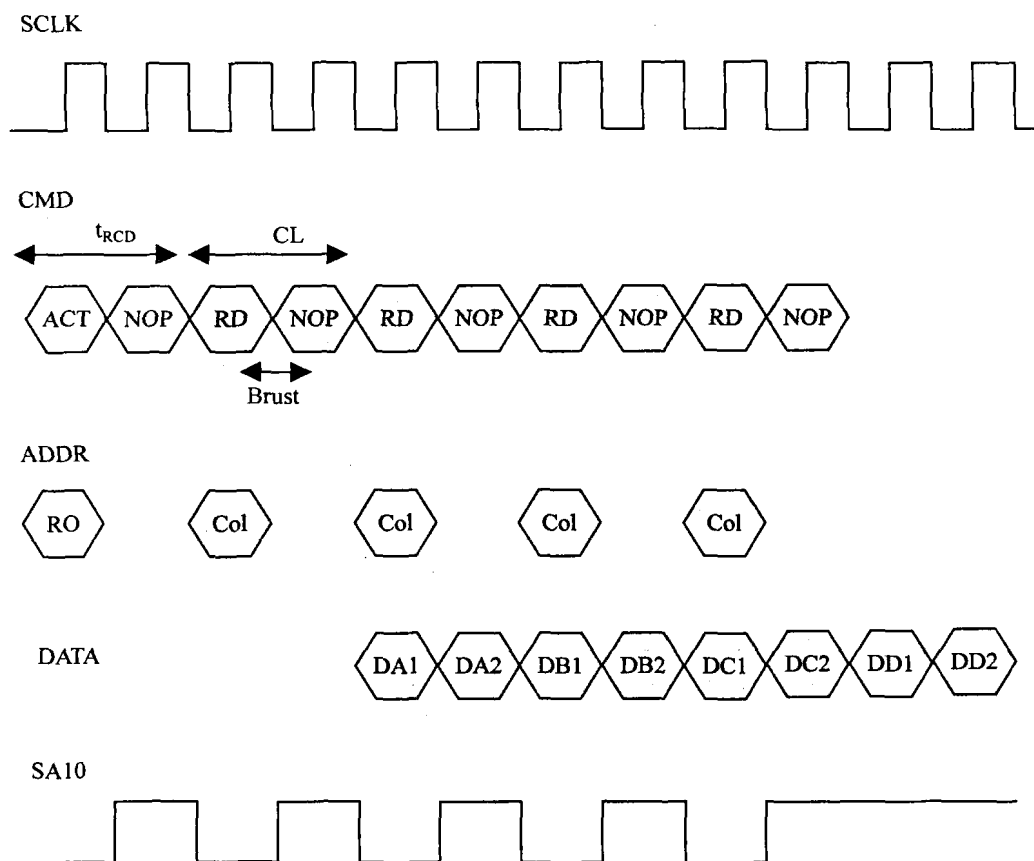


图 1-3 ADSP TS201S 无中断的读^[19]

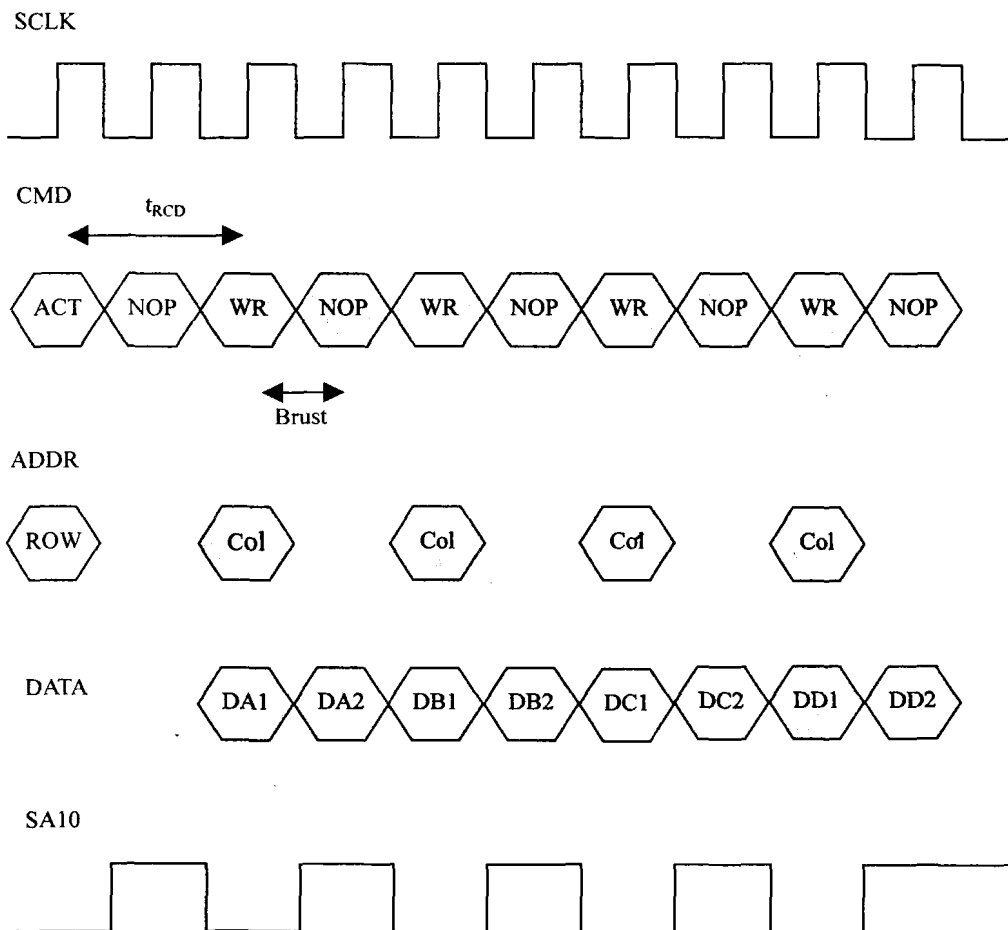
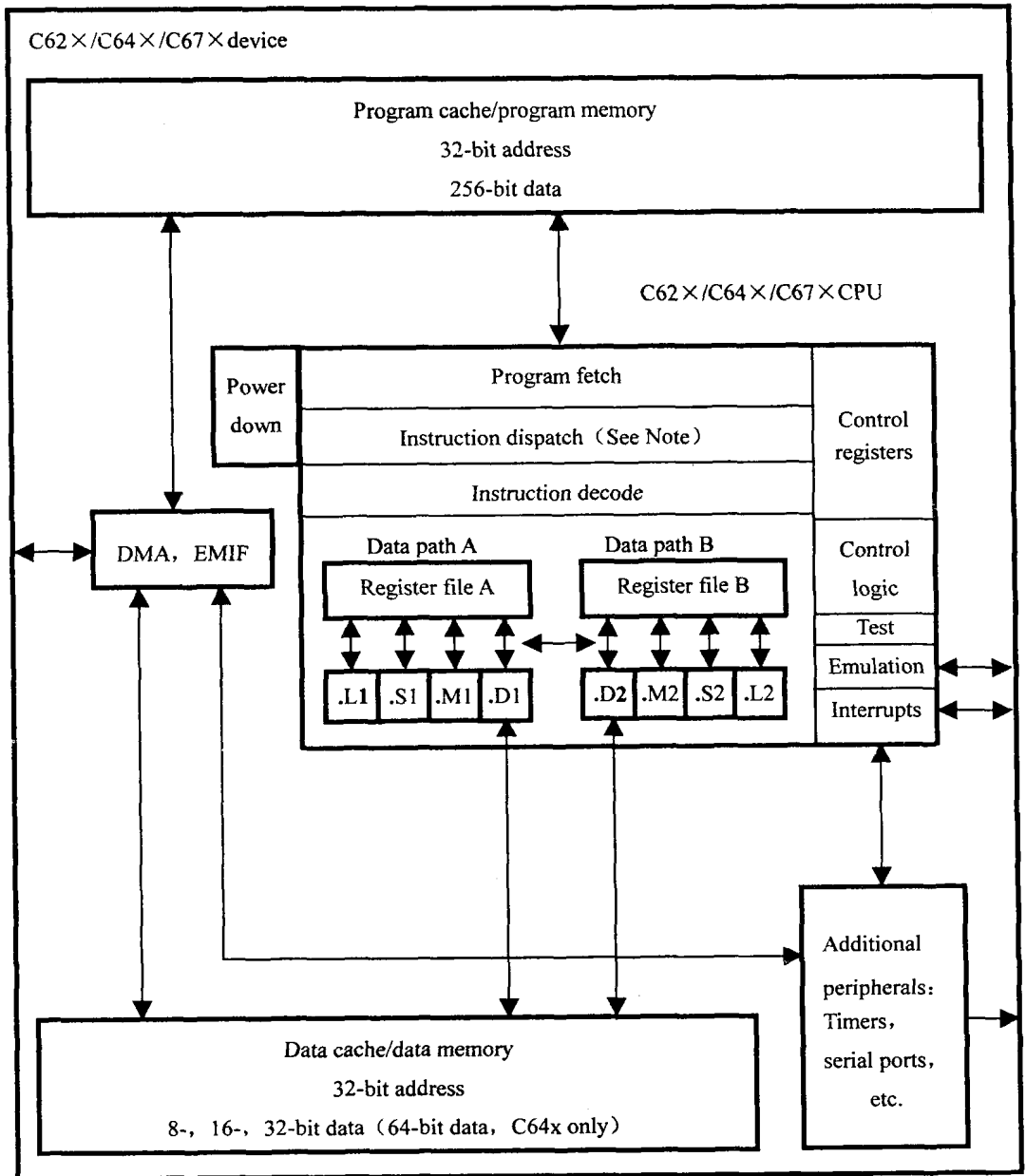


图 1-4 ADSP TS201S 无中断的写时序^[19]

TMS320C6000 是美国 TI 公司推出的高性能 DSP 芯片，它包括 C62××、C64××、C67××三类 DSP 产品，其内部结构如图 1-5 所示。它采用了 VelociTI 结构，能方便地应用于多通道、多功能系统中。其核心为由可并行工作的.L1,.S1,.M1,.D1 与.L2,.S2,.M2,.D2 两组共 8 个功能单元分别构成的数据通路 A、B，用以完成加、乘、移位和逻辑操作等运；其控制逻辑产生确保信号正确处理、协调系统与外部设备或系统进行正常通信的控制信号；其程序缓冲/存储器采用 32 位地址，支持 8 位、16 位、32 位数据；它具有 DMA 通道；其 32 位外部数据接口（external memory interface, EMIF）可以无缝地将系统连接至工业标准的 SBSRAM、SDRAM、SRAM、FIFO、FLASH 和 ROM 等存储芯片，例如，其从 SDRAM 读取、向 SDRAM 写数据的时序分别如图 1-6、图 1-7 所示。

图 1-5 TMS320C62x/C64x/C67x 结构框图^[20]

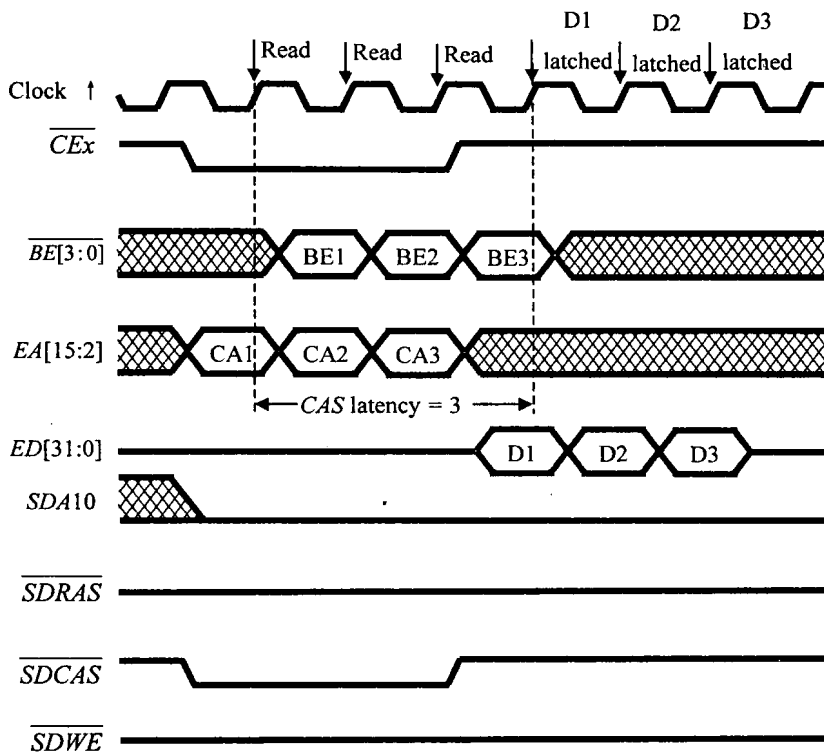


图 1-6 TMS320C620×/C670×从 SDRAM 读取 3 个数据^[20]

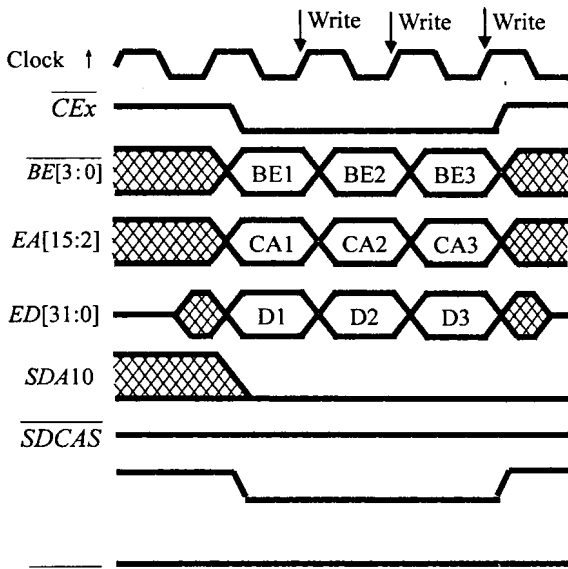


图 1-7 TMS320C620×/C670×的 3 个 SDRAM WRT 命令^[20]

IMSA100 是英国 INMOS 公司推出的级联型信号处理器。它是一种 32 级数字式横向滤波器，其结构如图 1-8 所示。它由乘法累加器阵列、系数寄存器、控制逻辑、32 周期延迟线以及可编程桶形移位器(36 选 24 选择器)等部分组成。它通过四个接口与外部进行通信：通过存储器接口访问片内系数寄存器、配置寄存器和状态寄存器、数据输入和输出寄存器，另三个专用口允许对其进行快速数据输入输出，以及多个该芯片的级联。其乘法累加器阵列由 32 个乘法累加器构成，实现 16 位输入数据与系数的相乘；其系数寄存器用于存放当前乘法累加器所使用的系数以及修改后的系数，当前系数可在数据处理时间之外的任何時候进行读写，修改后的系数可通过存储器接口存取，系数寄存器与乘法累加器阵列一起在芯片内对输入数字信号进行了信号处理；其控制逻辑为信号处理、I/O 等提供必要的控制信号；32 周期延迟线用于级联；桶形移位器用于信号的正确输出。

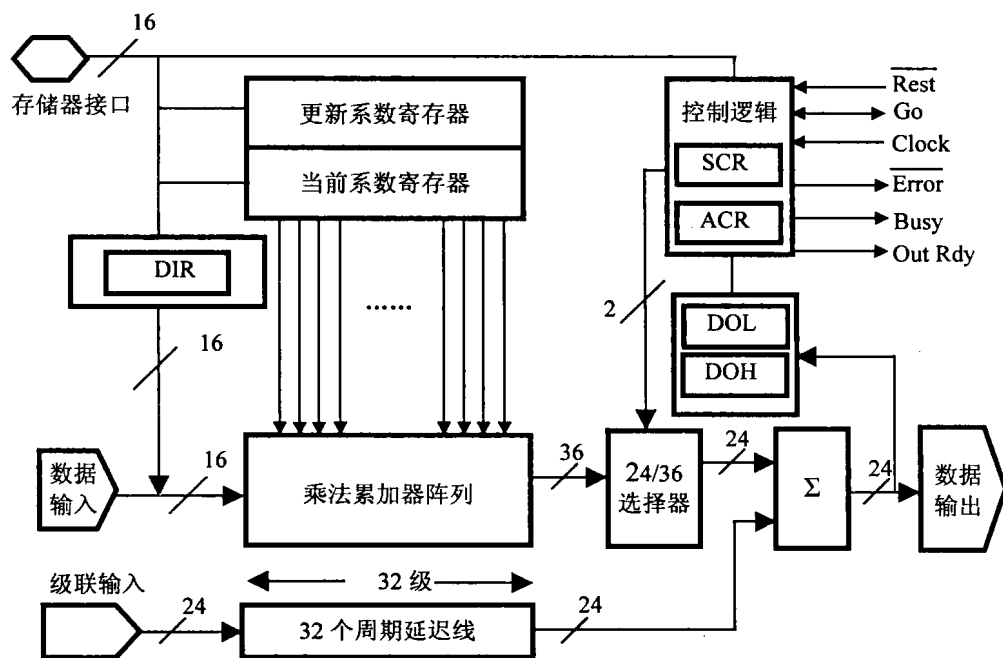
图 1-8 IMSA100 结构框图^[21]

图 1-9 所示的 TMC2310 是美国 TRW 公司推出的单片 FFT 处理器芯片。它将乘法累加器、地址产生器、可编程系数 ROM、控制逻辑等集成在一块 CMOS 芯片上。它采用基-2 时间抽取法，可在 4Ps—514Ps 内完成 16—1024 复数点 FFT。它具有良好的可编程性，可根据用户需要完成正/反 FFT、加窗正/反 FFT、nR 滤波、自适应滤波、实数和复数的乘法或乘法累加，以及平方和运算等。由图知，它由两个算术运算单元、外部存储器接口、系数 ROM 和控制逻辑等四个主要的部分所组成。每个算术运算单元均由阵列乘法器、加法器/累加器以及数据存储器所组成。算术运算单元与外部数据存储器、窗函数存储器以及内部系数 ROM 相连。两个算术运算单元之间相互通信，能够进行相关的复数运算。TMC2310 为外部存储器提供了必要的寻址和控制信号，其内部 ROM 固化了一张从 16-1024