

- 中国高等职业技术教育研究会推荐
- 高职高专电子、通信类专业“十一五”规划教材

集成电路版图设计 与TannerEDA工具的使用

主编 王 颖
主审 金 鸿



西安电子科技大学出版社
<http://www.xduph.com>

□ 中国高等职业技术教育研究会推荐

高职高专电子、通信类专业“十一五”规划教材

集成电路版图设计与 Tanner EDA 工具的使用

主 编 王 颖

副主编 龚汉东 张宗平 董 江

参 编 邢云凤

主 审 金 鸿

西安电子科技大学出版社

2009

内 容 简 介

本书结合 Tanner 版图设计软件的使用方法,介绍了与版图设计相关的微电子技术。全书共 8 章,主要包括集成电路设计概论、CMOS 电路设计基础、CMOS 集成电路的物理结构、Tanner 的 L-Edit 版图编辑器、设计规则检查和版图提取、使用 L-Edit 设计版图实例、Tanner 的 S-Edit 电路图编辑器和电路图与版图一致性检查。

本书选材合理,文字叙述清楚,可作为高职高专电子、通信类相关专业的教材使用,也可供集成电路设计人员参考。

图书在版编目(CIP)数据

集成电路版图设计与 Tanner EDA 工具的使用 / 王颖主编. —西安: 西安电子科技大学出版社, 2009.5

中国高等职业技术教育研究会推荐. 高职高专电子、通信类专业“十一五”规划教材

ISBN 978-7-5606-2196-8

I. 集… II. 王… III. 集成电路—计算机辅助设计—应用软件, Tanner EDA—高等学校: 技术学校—教材 IV. TN402

中国版本图书馆 CIP 数据核字(2009)第 002335 号

策 划 张晓燕

责任编辑 张晓燕

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com

电子邮箱 xdupfb001@163.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2009 年 5 月第 1 版 2009 年 5 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 15

字 数 350 千字

印 数 1~4000 册

定 价 21.00 元

ISBN 978-7-5606-2196-8/TN · 0484

XDUP 2488001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜, 谨防盗版。

序

进入 21 世纪以来,高等职业教育呈现出快速发展的形势。高等职业教育的发展,丰富了高等教育的体系结构,突出了高等职业教育的类型特色,顺应了人民群众接受高等教育的强烈需求,为现代化建设培养了大量高素质技能型专门人才,对高等教育大众化作出了重要贡献。目前,高等职业教育在我国社会主义现代化建设事业中发挥着越来越重要的作用。

教育部 2006 年下发了《关于全面提高高等职业教育教学质量的若干意见》,其中提出了深化教育教学改革,重视内涵建设,促进“工学结合”人才培养模式改革,推进整体办学水平提升,形成结构合理、功能完善、质量优良、特色鲜明的高等职业教育体系的任务要求。

根据新的发展要求,高等职业院校积极与行业企业合作开发课程,根据技术领域和职业岗位群任职要求,参照相关职业资格标准,改革课程体系和教学内容,建立突出职业能力培养的课程标准,规范课程教学的基本要求,提高课程教学质量,不断更新教学内容,而实施具有工学结合特色的教材建设是推进高等职业教育改革发展的重要任务。

为配合教育部实施质量工程,解决当前高职高专精品教材不足的问题,西安电子科技大学出版社与中国高等职业技术教育研究会在前三轮联合策划、组织编写“计算机、通信电子、机电及汽车类专业”系列高职高专教材共 160 余种的基础上,又联合策划、组织编写了新一轮“计算机、通信、电子类”专业系列高职高专教材共 120 余种。这些教材的选题是在全国范围内近 30 所高职高专院校中,对教学计划和课程设置进行充分调研的基础上策划产生的。教材的编写采取在教育部精品专业或示范性专业的高职高专院校中公开招标的形式,以吸收尽可能多的优秀作者参与投标和编写。在此基础上,召开系列教材专家编委会,评审教材编写大纲,并对中标大纲提出修改、完善意见,确定主编、主审人选。该系列教材以满足职业岗位需求为目标,以培养学生的应用技能为着力点,在教材的编写中结合任务驱动、项目导向的教学方式,力求在新颖性、实用性、可读性三个方面有所突破,体现高职高专教材的特点。已出版的第一轮教材共 36 种,2001 年全部出齐,从使用情况看,比较适合高等职业院校的需要,普遍受到各学校的欢迎,一再重印,其中《互联网实用技术与网页制作》在短短两年多的时间里先后重印 6 次,并获教育部 2002 年普通高校优秀教材奖。第二轮教材共 60 余种,在 2004 年已全部出齐,有的教材出版一年多的时间里就重印 4 次,反映了市场对优秀专业教材的需求。前两轮教材中有十几种入选国家“十一五”规划教材。第三轮教材 2007 年 8 月之前全部出齐。本轮教材预计 2008 年全部出齐,相信也会成为系列精品教材。

教材建设是高职高专院校教学基本建设的一项重要工作。多年来,高职高专院校十分重视教材建设,组织教师参加教材编写,为高职高专教材从无到有,从有到优、到特而辛勤工作。但高职高专教材的建设起步时间不长,还需要与行业企业合作,通过共同努力,出版一大批符合培养高素质技能型专门人才要求的特色教材。

我们殷切希望广大从事高职高专教育的教师,面向市场,服务需求,为形成具有中国特色和高职教育特点的高职高专教材体系作出积极的贡献。

中国高等职业技术教育研究会会长

2007 年 6 月



高职高专电子、通信类专业“十一五”规划教材

编审专家委员会名单

主 任: 温希东 (深圳职业技术学院副校长 教授)

副主任: 马晓明 (深圳职业技术学院通信工程系主任 教授)

余 华 (武汉船舶职业技术学院电子电气工程系主任 副教授)

电子组 组 长: 余 华(兼) (成员按姓氏笔画排列)

于宝明 (南京信息职业技术学院电子信息工程系副主任 副研究员)

马建如 (常州信息职业技术学院电子信息工程系副主任 副教授)

刘 科 (苏州职业大学信息工程系 副教授)

刘守义 (深圳职业技术学院 教授)

许秀林 (南通职业大学电子系副主任 副教授)

高恭嫻 (南京信息职业技术学院电子信息工程系 副教授)

余红娟 (金华职业技术学院电子系主任 副教授)

宋 烨 (长沙航空职业技术学院 副教授)

李思政 (淮安信息职业技术学院电子工程系主任 讲师)

苏家健 (上海第二工业大学电子电气工程学院 教授)

张宗平 (深圳信息职业技术学院电子通信技术系 高级工程师)

陈传军 (金陵科技学院电子系主任 副教授)

姚建永 (武汉职业技术学院电信学院院长 副教授)

徐丽萍 (南京工业职业技术学院电气与自动化系 高级工程师)

涂用军 (广东科学技术职业学院机电学院副院长 副教授)

郭再泉 (无锡职业技术学院自动控制与电子工程系主任 副教授)

曹光跃 (安徽电子信息职业技术学院电子工程系主任 副教授)

梁长垠 (深圳职业技术学院电子工程系 副教授)

通信组 组 长: 马晓明(兼) (成员按姓氏笔画排列)

王巧明 (广东邮电职业技术学院通信工程系主任 副教授)

江 力 (安徽电子信息职业技术学院信息工程系主任 副教授)

余 华 (南京信息职业技术学院通信工程系 副教授)

吴 永 (广东科学技术职业学院电子系 高级工程师)

张立中 (常州信息职业技术学院 高级工程师)

李立高 (长沙通信职业技术学院 副教授)

林植平 (南京工业职业技术学院电气与自动化系 高级工程师)

杨 俊 (武汉职业技术学院通信工程系主任 副教授)

俞兴明 (苏州职业大学电子信息工程系 副教授)

项目策划 马乐惠

策 划 张 媛 薛 媛 张晓燕

前 言

版图设计是集成电路设计不可缺少的部分,版图设计工程师在集成电路公司中同样起着不可或缺的作用。目前我国的本科教育主要侧重于理论学习,而实践性较强的版图设计工作很多则是由研究生来完成的。其实版图设计所需要的理论知识较少,在集成电路工业发达的欧美国家,版图设计工作并不需要很高的学历。现在很多企业已经意识到了这点,因此版图设计也开始面向高职高专学生。目前国内针对高职高专学生的相关教材非常短缺,作为有多年实际版图设计工作经验和教学经验的教师,我们觉得非常有必要编写一本针对高职高专学生的版图设计教材。

本书结合 Tanner 版图设计软件的使用方法,介绍了与版图设计相关的微电子技术。Tanner 集成电路设计软件是由 Tanner Research 公司开发的基于 Windows 平台的用于集成电路设计的工具软件。该软件功能十分强大,易学易用。特别是其基于 Windows 平台,有利于学生操作;其中的 L-Edit 版图编辑器在我国应用广泛,具有很高的知名度。

本书共 8 章,分为两大部分。书中首先介绍了 CMOS 技术的相关设计概念及 CMOS 器件与物理相关层的对应关系;然后重点介绍了 Tanner 工具的使用方法,包括版图设计、验证及电路图设计,使学生能够掌握版图设计的过程及相关软件的使用,便于在工作后能很快熟悉相关的版图设计工作。

主编王颖对本书的编写思路 and 大纲进行了总体策划,完成了全书的编写;副主编龚汉东、张宗平、董江对本书提出了很多建设性的意见,并审核、校对了全书;邢云凤老师参与了本书的校对工作。在此向为本书出版做出贡献的朋友表示感谢。

由于时间紧迫,编者水平有限,书中的疏漏在所难免,恳请广大读者批评指正。

编 者

2008 年 11 月

于深圳信息职业技术学院

目 录

第 1 章 集成电路设计概论.....1	3.3 CMOS 制造工艺简介.....34
1.1 集成电路发展概况.....1	3.4 版图中的绘图层.....37
1.2 集成电路的设计特点和方法.....2	3.4.1 N 阱层.....37
1.2.1 集成电路的设计特点.....2	3.4.2 有源区层.....38
1.2.2 集成电路的设计方法.....3	3.4.3 N 选择层和 P 选择层.....38
1.3 集成电路设计流程简介.....10	3.4.4 多晶硅栅层.....38
1.4 EDA 工具介绍.....11	3.4.5 金属层.....38
习题.....11	3.4.6 接触孔层和通孔层.....39
第 2 章 CMOS 电路设计基础.....12	3.4.7 文字标注层.....40
2.1 晶体管知识简介.....12	3.4.8 焊盘层.....40
2.2 MOS 晶体管开关.....13	3.5 CMOS 晶体管的版图.....40
2.2.1 独立晶体管开关.....13	3.5.1 MOS 晶体管的基本版图结构.....41
2.2.2 复合晶体管开关.....15	3.5.2 多指结构的 MOS 晶体管 版图设计.....42
2.3 基本的 CMOS 逻辑门.....16	3.5.3 串联晶体管的版图设计.....44
2.3.1 反相器.....17	3.5.4 并联晶体管的版图设计.....44
2.3.2 CMOS 与非门.....18	3.5.5 衬底连接和保护环.....45
2.3.3 CMOS 或非门.....19	3.5.6 器件的失配问题.....45
2.3.4 CMOS 传输门.....19	3.6 版图的验证.....47
2.3.5 复合逻辑门.....20	3.6.1 设计规则检查.....48
2.4 逻辑设计相关基础知识简介.....21	3.6.2 电学规则检查.....52
2.4.1 时钟信号.....21	3.6.3 版图寄生参数提取.....53
2.4.2 时延计算.....22	3.6.4 电路图与版图一致性检查.....53
习题.....23	3.7 版图输出数据.....54
第 3 章 CMOS 集成电路的物理结构.....24	3.7.1 GDS II 格式.....54
3.1 版图设计的概念和方法.....24	3.7.2 CIF 格式.....54
3.1.1 版图设计的概念.....24	3.7.3 EDIF 格式.....54
3.1.2 版图设计的方法.....25	3.7.4 Oasis 格式.....55
3.2 集成电路工艺简介.....27	3.8 版图设计的通用准则.....55
3.2.1 半导体知识简介.....28	3.8.1 电源线的版图设计准则.....55
3.2.2 集成电路主要制造工艺简介.....29	

3.8.2	信号线的版图设计准则	56	4.6.5	拷贝单元	110
3.8.3	晶体管的版图设计准则	56	4.6.6	删除单元	112
3.8.4	层次化版图设计准则	56	4.6.7	设计导航	113
3.8.5	单元设计准则	57	4.6.8	同时对多个单元进行操作	115
3.9	基本逻辑门的版图设计	58	4.6.9	交叉引用单元	116
3.9.1	CMOS 反相器版图设计	58	4.6.10	单元信息	118
3.9.2	缓冲器的版图设计	59	4.6.11	例化单元	120
3.9.3	与非门的版图设计	60	4.7	L-Edit 中的绘图对象	124
3.9.4	或非门的版图设计	62	4.7.1	绘图对象的类型及对应绘图工具	125
3.9.5	传输门的版图设计	62	4.7.2	利用绘图工具进行绘图	126
3.9.6	复合逻辑门的版图设计	63	4.7.3	利用绘图工具对绘图对象进行 图形编辑	128
习题		24	4.7.4	利用文本方式对绘图对象进行 图形编辑	130
第 4 章	Tanner 的 L-Edit 版图编辑器 ...	65	4.8	L-Edit 中的对象编辑	139
4.1	Tanner 版图设计工具介绍	65	4.8.1	选择对象	139
4.1.1	Tanner 工具简介	65	4.8.2	取消对象选定	140
4.1.2	L-Edit 版图编辑器简介	67	4.8.3	查找对象	141
4.2	L-Edit 版图编辑器的启动和界面介绍 ...	67	4.8.4	组合对象或取消组合	142
4.2.1	启动 L-Edit	67	4.8.5	移动对象	143
4.2.2	用户界面介绍	67	4.8.6	改变对象的方向	145
4.3	L-Edit 的设置	80	4.8.7	将对象从一个绘图层移动到 另一个绘图层	146
4.3.1	设置文件	80	4.8.8	复制对象	146
4.3.2	L-Edit 应用参数的设置	82	4.8.9	粘贴对象	146
4.3.3	L-Edit 设计参数的设置	92	4.8.10	删除对象	147
4.3.4	L-Edit 绘图层的设置	98	4.8.11	撤消和恢复操作	147
4.4	L-Edit 中的文件	101	4.9	版图的衍生绘图层	147
4.4.1	文件的创建	101	4.9.1	定义标准衍生绘图层	148
4.4.2	文件的打开、关闭及保存	102	4.9.2	衍生绘图层的生成	151
4.4.3	文件的打印	103	4.9.3	删除衍生绘图层	152
4.4.4	文件的信息	103	4.10	版图的视图窗口	152
4.4.5	列出绘图层上的对象类型	104	4.10.1	显示控制	152
4.4.6	将文件信息传递到单元	104	4.10.2	对象的显示和隐藏	154
4.5	文件的输入和输出	104	4.10.3	绘图层的显示或隐藏	154
4.5.1	文件的输入	104	4.10.4	观察版图的层次	154
4.5.2	文件的输出	105	4.10.5	设计中例化单元的视图	155
4.6	L-Edit 中的单元	107	4.10.6	缩放操作	156
4.6.1	创建一个新单元	107	4.10.7	视图面板操作	156
4.6.2	打开单元	108			
4.6.3	恢复单元	109			
4.6.4	对单元重命名	109			

4.10.8 利用鼠标进行缩放和视图 面板操作	157	7.3 电路设计图的查看、绘制和编辑.....	210
4.10.9 关于缩放和视图面板操作 的其他命令	157	7.3.1 设计窗口的平移和缩放.....	210
4.11 L-Edit 中的横截面观察器.....	158	7.3.2 注释图形的绘制.....	210
4.11.1 利用横截面观察器观察视图 的操作方法	158	7.3.3 对象的选择.....	211
4.11.2 关于工艺定义文件	159	7.3.4 对象的移动.....	211
习题	161	7.3.5 对象绘图属性的更改.....	211
第 5 章 设计规则检查和版图提取.....	162	7.3.6 对象的删除.....	211
5.1 设计规则检查	162	7.3.7 对象的复制和粘贴.....	211
5.1.1 运行 DRC	162	7.3.8 Undo 和 Redo 命令的使用	212
5.1.2 交互式 DRC	164	7.4 电路图的连接关系.....	212
5.2 版图的提取	167	7.4.1 连线.....	212
习题	171	7.4.2 端口.....	212
第 6 章 使用 L-Edit 设计版图实例	172	7.4.3 焊点.....	212
6.1 使用版图编辑器画 PMOS 晶体管 的版图	172	7.4.4 连接点.....	212
6.2 使用版图编辑器画 NMOS 晶体管 的版图	181	7.4.5 电路图的验证.....	213
6.3 使用版图编辑器画反相器的版图	183	7.5 网表和仿真.....	213
6.4 使用版图编辑器画并联晶体管 的版图	191	7.5.1 输入网表.....	213
6.5 使用版图编辑器画串联晶体管 的版图	199	7.5.2 输出网表.....	214
习题	204	7.6 实例.....	215
第 7 章 Tanner 的 S-Edit 电路图 编辑器	206	7.7 创建符号视图.....	217
7.1 S-Edit 电路图编辑器简介	206	习题.....	217
7.1.1 启动 S-Edit 电路图编辑器	206	第 8 章 电路图与版图一致性检查	218
7.1.2 S-Edit 界面介绍.....	206	8.1 LVS 比较器简介	218
7.1.3 设计的结构	206	8.1.1 启动 LVS 比较器.....	218
7.1.4 显示模式	207	8.1.2 输入和输出文件.....	218
7.1.5 S-Edit 的设置.....	207	8.1.3 用户界面.....	218
7.2 电路图的设计	207	8.1.4 文本文件的编辑.....	219
7.2.1 S-Edit 中的设计.....	207	8.2 LVS 的设置和运行	219
7.2.2 S-Edit 中的库.....	208	8.2.1 LVS 的设置窗口.....	226
7.2.3 S-Edit 中的单元和视图	208	8.2.2 执行 LVS 验证	227
		8.2.3 验证队列.....	227
		8.2.4 用批处理文件运行 LVS.....	228
		习题.....	228
		附录	229
		附录 A L-Edit 版图编辑器中文件类型 与扩展名对照表.....	229
		附录 B 设计导航界面符号解释	229
		参考文献.....	230

第1章 集成电路设计概论

1.1 集成电路发展概况

集成电路(IC, Integrated Circuit)的出现对人类的生产和生活都产生了巨大的影响,在过去几十年中其发展非常迅速。集成电路在一片小小的芯片上集成了具有一定功能的电路,随着技术的发展,芯片的面积越来越小,其功耗和制造成本越来越低,而集成度和性能则越来越高。

设计 IC 芯片的最初目的就是为了减小计算机的体积。1945 年,美国生产出了第一台全自动电子数字计算机“埃尼阿克”(ENIAC, Electronic Numerical Integrator and Calculator, 电子数字积分器和计算器)。它采用电子管作为计算机的基本元件,每秒可进行 5000 次加减运算,体积为 3000 立方英尺(1 立方英尺=0.028 317 立方米),占地 170 平方米,重量 30 吨,耗电 140~150 千瓦。如今,在集成电路技术的推动下,个人电脑的体积变得越来越小,其运行速度和功能在过去看来是不可想象的。

集成电路的分类方法非常多,如果按照应用领域来分,可以分为通用集成电路和专用集成电路;如果按照电路的功能来进行分类,可以分为数字集成电路、模拟集成电路和数模混合集成电路;如果按照器件结构类型来分,可以分为 MOS 集成电路、双极型集成电路和 BiMOS 集成电路;如果按照集成电路的集成度来分,可以分为小规模集成电路(SSI, Small Scale Integration)、中规模集成电路(MSI, Medium Scale Integration)、大规模集成电路(LSI, Large Scale Integration)、超大规模集成电路(VLSI, Very Large Scale Integration)、特大规模集成电路(ULSI, Ultra Large Scale Integration)和巨大规模集成电路(GSI, Giant Scale Integration)。

当前集成电路设计的主要特征如下:

- (1) 主流工艺是 0.18 μm CMOS 工艺, 90 nm 工艺也基本成熟。
- (2) 电路功能设计已进入片上系统(SOC, System On Chip)时代, 知识产权模块(IP 核)产品化。
- (3) 集成电路的设计与制造分离, 芯片生产厂家提供模型或标准单元库, 设计公司负责电路功能设计。
- (4) 设计方法越来越依赖于 EDA 工具。

1.2 集成电路的设计特点和方法

1.2.1 集成电路的设计特点

设计集成电路时除了关心其功能、性能之外,设计成本和设计周期也应该特别考虑。在进行设计的时候要正确进行功能配置,并设计合理的逻辑电路来实现其功能。集成电路的成本与芯片的面积有着密切的关系,芯片面积的增加会导致成本的提高。另外,设计周期与市场有着密切的联系,一个集成电路芯片要在市场抢得先机,就要尽量缩短设计周期。

集成电路是数量巨大的晶体管的集合,因此其设计不同于分立元件电路的设计,有其自身的特点。

(1) 集成电路要采用分层设计和模块化设计相结合的设计方法。集成电路设计的最终结果是设计出能实现既定功能的掩膜版图。在一个芯片上集成了成千上百甚至几十万、几百万、上亿个晶体管,要在一个层次上实现这些晶体管的版图及其互连是不可能的,因此在集成电路设计中,通常采用分层设计和模块化设计相结合的设计方法。所谓分层设计,是指将集成电路的设计分为五个设计层次,即行为级设计、RTL 级设计、门级设计、晶体管级设计和版图级设计。行为级设计是指用高级语言来建立行为模型,即用高级语言来实现设计的算法。RTL 级设计是指描述寄存器之间数据的流动及数据的处理方法。门级设计是指设计逻辑门及其互连方式。晶体管级设计是指将逻辑门进一步用晶体管及互连关系来描述。版图级设计是指集成电路最终的掩膜版设计。

集成电路按功能通常可以划分为几个部分,每一部分的功能都可以用一个模块电路来实现,这样在进行设计的时候就可以几个模块并行设计,以缩短设计周期,同时也便于电路的测试和验证。

(2) 集成电路芯片的不可修复性。集成电路在一块芯片上集合了所有实现该电路功能的晶体管,所以其中有一个晶体管或互连线发生错误,则需要将整个芯片重新制版、流片和测试;如果存在电路设计方面的错误,则需要重新设计芯片;另外,电路如果在功能上有所提升,即使需要做很小的修改也要重新对集成电路进行设计、制版、流片和测试,这将浪费大量的时间和费用。为了避免以上这些现象,在设计的时候就要对各方面因素综合考虑,而且要在设计的每个阶段反复检查、验证以保证设计的正确性。另外,可以在芯片中设置冗余器件(Dummy Cell),使芯片具有一定的修复功能。

(3) 集成电路设计要借助于语言描述和图形描述相结合的方法。集成电路设计过程中的功能描述要通过硬件描述语言或功能图(数据流图、结构图等)来实现。硬件描述语言借助于高级程序设计语言的功能特性对电路的行为和结构进行高度抽象化、规范化的形式描述,并对设计进行不同层次、不同领域的模拟验证与综合优化等处理,使设计过程达到高级自动化。目前,VHDL(Very High Speed Integrate Circuit Hardware Description Language)语言和 Verilog 语言已成为 IEEE 制定的硬件描述语言的工业标准。设计过程中的逻辑设计是通过硬件描述语言、逻辑网表或电路原理图来描述的,电路设计是通过电路图来描述的,版图设计是通过掩膜版图来描述的。

1.2.2 集成电路的设计方法

集成电路的设计方法并不是单一的,目前主要的设计方法有全定制设计法和半定制设计法。

1. 全定制设计方法

全定制设计方法是指设计人员根据设计目的确定芯片上所有晶体管的尺寸、位置、连接关系、几何图形和工艺规则,因此设计人员要付出巨大的劳动和时间。这种设计方法的优点是芯片可以获得最优的性能,即面积利用率高,速度快,功耗低。全定制设计方法的缺点是开发周期长,费用高。因此这种设计方法只适合大批量产品开发或对性能要求非常严格的产品的开发,如CPU的设计。另外,一些无法采用半定制方法进行设计的电路也需要采用全定制设计方法,如模拟集成电路的设计。

2. 半定制设计方法

半定制设计方法是专用集成电路(ASIC, Application Specific Integrated Circuit)设计普遍采用的方法,主要可分为基于门阵列的设计方法、基于标准单元的设计方法、积木块设计方法和可编程逻辑电路方法。专用集成电路与通用集成电路是相对的,是指应特定用户要求和特定电子系统的需要而设计、制造的集成电路,其特点是面向特定用户的需求,体积小,功耗低,可靠性高,保密性强,成本低。

1) 基于门阵列的设计方法

门阵列技术的布局方法是在一个芯片上把结构和形状相同的单元排列成阵列,每个单元内部包含若干个器件。采用门阵列结构的芯片除了没有完成连线之外,其他的芯片加工步骤都已经完成,所以此类芯片是一种半成品芯片,我们称之为门阵列母片或基片。

对于门阵列结构的芯片,在进行设计的时候,首先选择基板和单元库,然后采用EDA工具进行布局和布线以实现所需的电路功能。连线分两步:首先将晶体管连接成相应的逻辑单元电路,这一步在门阵列单元库布局的设计步骤中完成;然后将逻辑单元电路以及周围的引脚互连成所要求的电路,这一步在布线过程中完成。在这种设计方法中,设计者实际所做的工作只是设计几层连线以及各层之间连接点的掩膜版。

基于门阵列设计方法的缺点是灵活性较差,芯片面积的利用率较低。其原因在于芯片是半成品,芯片上元件的数目和种类、I/O单元数及布线通道的距离都是已经固定了的,设计者只能选择合适的芯片,不能改变元件。基于门阵列的设计方法由于建立在半成品的基础上,所以其设计周期短,成本低,设计风险低,这是其显著的优点。这种设计方法多用于设计规模不是很大,对性能要求不是很高且设计周期短的电路。

2) 基于标准单元的设计方法

基于标准单元的设计方法是目前应用最为广泛的设计方法,是指将逻辑电路单元设计成标准单元(与门、或门、触发器或者更复杂的单元),设计师可以将标准单元放置到硅片的适当位置,并用金属导线连通来实现电路功能。标准单元本身采用人工设计,所以其面积和性能能够达到最大的优化。

标准单元的排列方法是成行排列,行间要留有布金属连线的空隙。各个标准单元的高

度必须一致才能排列成行，否则会造成布线混乱，软件运行将会出现困难。

为了保持各单元高度的一致，当遇到尺寸较大的晶体管时就将单元变宽，并分割晶体管，使之能放在固定高度的轨线之内。

各个功能不同的单元构成了单元库，单元库可以来自于集成电路生产厂商、单元库生产公司，也可以由设计者自行建立。集成电路生产厂商提供的单元库一般是仿真单元库，单元是空的盒子，但包含版图设计所需要的足够的信息，例如边界、引线等。集成电路生产厂商在进行制版流片之前，会填充空盒子。单元库生产公司提供的单元库一般要基于某个集成电路生产厂商的工艺。自建库虽然费用较高，也需要花费大量的时间，但是可以保证产品的市场竞争力。

3) 积木块(宏单元)设计方法

在积木块设计方法中，宏单元的形状是任意的，而且可以根据需要放在芯片的任何位置，所以可以更加有效地利用芯片的面积。宏单元是比较成熟的功能块，在布局的时候可以把它当作一个大的单元来对待。芯片上可以只包含宏单元，如图 1.1(a)所示，也可以根据需要将宏单元和标准单元结合来进行布局，在标准单元布局的 EDA 工具中通常可以预留出宏单元的位置，如图 1.1(b)所示。

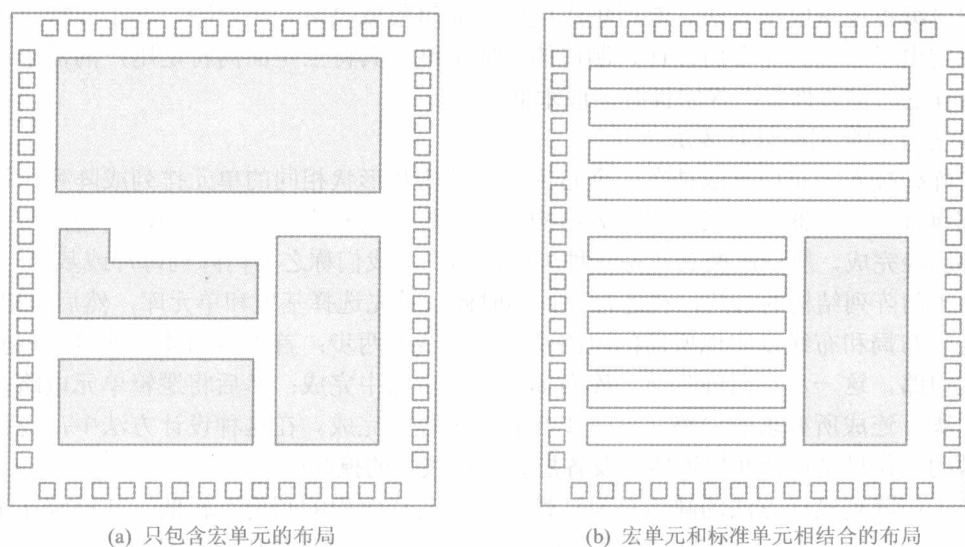


图 1.1 宏单元设计方法的布局示意图

宏单元本身可以采用标准单元、全定制或门阵列的方法进行设计。

采用积木块的设计方法具有较大的设计自由度，而且可以提高芯片的利用率，缩短开发周期，但是这种方法由于单元形状、位置、布线通道都不规则，所以其布图算法比较复杂。

4) 可编程逻辑电路设计方法

可编程逻辑电路设计是指将生产厂商提供的可编程逻辑器件进行现场编程和烧制，得到所需的集成电路。可编程逻辑器件本身是作为通用器件生产的，但是用户通过对它编程可以来设定其逻辑功能。设计人员完成版图设计后，在实验室内就可以烧制出自己的芯片，

无需 IC 生产厂家的参与,大大缩短了开发周期,降低了开发成本,因此这种设计方法特别适合于样品研制或小批量产品开发。

可编程逻辑器件(PLD)的种类很多,按照集成度可以分为低密度 PLD(LDPLD)和高密度 PLD(HDPLD)。按照编程方式和结构的不同,LDPLD 主要可分为可编程逻辑阵列(PLA, Programmable Logic Array)、可编程阵列逻辑(PAL, Programmable Array Logic)、通用阵列逻辑(GAL, Generic Array Logic)等;HDPLD 主要可分为可擦除的可编程逻辑器件(EPLD, Erasable Programmable Logic Device)、现场可编程门阵列(FPGA, Field Programmable Gate Array)等。

可编程逻辑器件除了具有与阵列和或阵列外,还有锁存器、多路开关和反馈线,共同组合产生时序逻辑。

可编程逻辑器件的基本组成部分是编程元件(存储单元),常用的可编程元件主要有:

- ① 一次性编程的熔丝或反熔丝元件;
- ② 紫外线擦除、电可编程的 EPROM(UVEPROM)存储单元,即 UVC MOS 工艺结构的元件;
- ③ 电擦除、电可编程存储单元,一类是 E^2 PROM 即 E^2 CMOS 工艺结构元件,另一类是快闪(Flash)存储单元;
- ④ 基于静态存储器(SRAM)的编程元件。

各种存储单元的工作原理在这里不详细介绍,有兴趣的读者可以参考相关文献。

(1) 可编程逻辑阵列(PLA)。可编程逻辑阵列的设计依据是:任何一个逻辑函数都能用一级与逻辑电路和一级或逻辑电路来实现。其结构包括:可编程的与逻辑阵列、可编程的或逻辑阵列、输出缓冲器,如图 1.2 所示。图中的 PLA 有 2 个输入变量,与阵列最多可以产生 4 个可编程的乘积项,或阵列最多能产生 2 个组合逻辑函数。

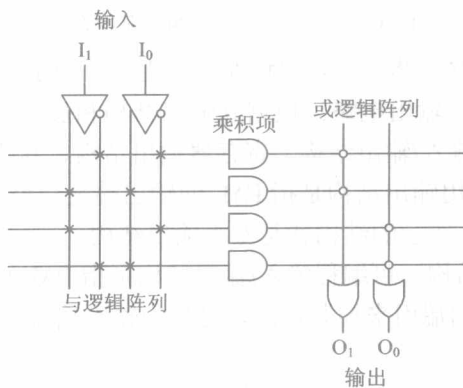


图 1.2 PLA 的基本电路结构

PLA 的规格用输入变量的个数、与逻辑阵列的输出个数和或逻辑阵列的输出个数三者的乘积来表示。例如,某个 PLA 的规格为 $16 \times 32 \times 8$,这就表示它有 16 个输入端,与逻辑阵列有 32 个输出,或逻辑阵列有 8 个输出。

上述结构的 PLA 电路只能用于组合逻辑电路的设计, 如果要设计时序逻辑电路, 还要另外加入含有触发器的芯片。我们将含有由触发器组成的寄存器的 PLA 电路称为可编程逻辑时序器(PLS)。

PLA 逻辑电路的结构比较灵活, 与逻辑阵列和或逻辑阵列之间的连接关系是可以编程的。PLA 器件既有现场可编程的, 也有掩膜可编程的。

(2) 可编程阵列逻辑(PAL)。可编程阵列逻辑器件是由可编程的与逻辑阵列和固定的或逻辑阵列构成的, 其基本结构如图 1.3 所示。或逻辑阵列的固化是 PAL 器件与 PLA 器件在结构上的最大不同, 这种不同的优点表现在 PAL 器件的结构更加简单, 体积更小, 速度更快而且工艺简单, 易于编程, 同时还具有上电复位功能和加密功能, 可以防止非法复制; 其缺点为结构的灵活性较差。

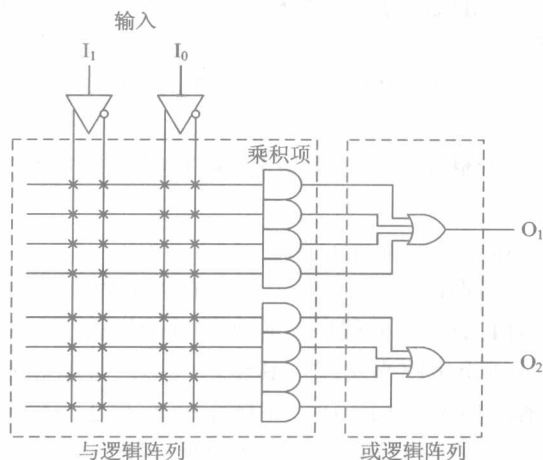


图 1.3 可编程阵列逻辑的基本结构

PAL 器件采用的是熔丝工艺, 一旦编程便无法更改。为了扩展电路的功能, 在 PAL 器件中还可以增加不同形式的输出电路。根据其输出结构和反馈方式的不同, 可以将它们分为专用输出结构、可编程输入/输出结构、寄存器输出结构、异或输出结构等几种类型。

① 专用输出结构。专用输出结构是指 PAL 的输出端是一个与或门, 其特点是输出端只能起到输出的作用。图 1.3 所示的结构就是专用输出结构。

② 可编程输入/输出结构。可编程输入/输出结构是指 PAL 的输出端是一个具有可编程控制端的三态缓冲器, 控制端用来控制输出端是作为输出端还是作为输入端使用, 如图 1.4 所示。

③ 寄存器输出结构。寄存器输出结构在三态缓冲器和与-或逻辑的输出之间接进了一个寄存器, 同时, 触发器的状态又通过互补输出的缓冲器反馈到与逻辑阵列的输入端。具有寄存器输出结构的 PAL 器件的特点是: 与-或逻辑阵列的输出状态可以被存储起来, 可以利用这一特点组成时序逻辑电路。寄存器输出结构如图 1.5 所示。

④ 异或输出结构。异或输出结构的 PAL 的电路结构与寄存器输出结构的 PAL 相似, 只是在与-或逻辑阵列的输出端加入了异或门。

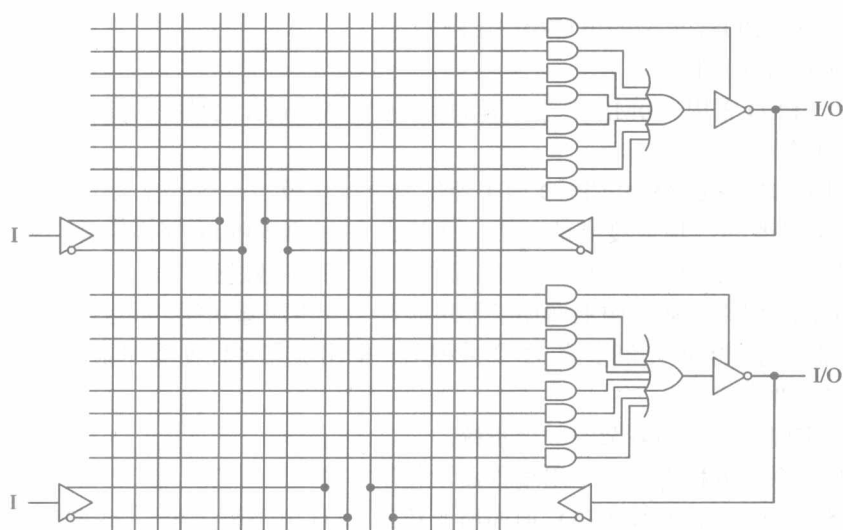


图 1.4 PAL 的可编程输入/输出结构

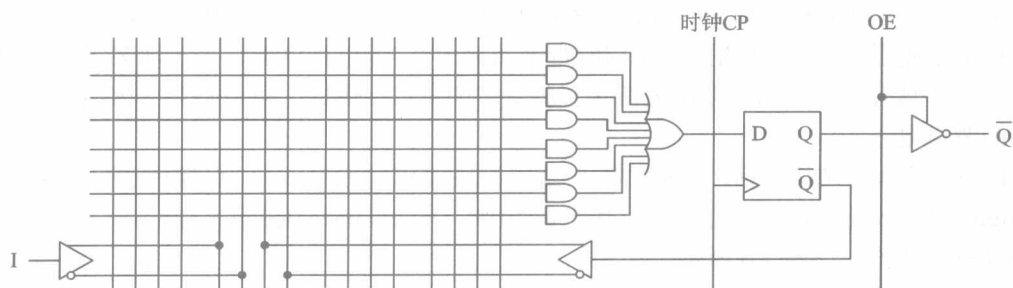


图 1.5 PAL 的寄存器输出结构

(3) 通用阵列逻辑器件(GAL)。PAL 器件由于具有工艺简单、易于编程的特点，所以可以用于小批量生产和实验室研究，但编程后不可修改的缺点使其在科研上的利用价值大大降低。为了克服这一缺点，在 20 世纪 80 年代初发明了通用阵列逻辑器件。通用阵列逻辑与 PAL 器件的基本结构大体相同，但是其采用了悬浮栅工艺，可以通过电擦除改写编程。另外，通用阵列逻辑器件还给输出结构配置了可以任意组态的输出逻辑宏单元(OLMC, Output Logic Macro Cell)，因此，同一型号的 GAL 器件可满足多种不同的需要。

通用阵列逻辑的输出可以根据需要设置成正逻辑或负逻辑，其输出端是双向的，即输出既可以作为输出端口使用也可以作为输入端口使用，这大大提高了器件的灵活性和通用性。此外，GAL 器件还具有加密功能和锁定保护、输入缓冲、输出寄存器预置等功能。

与 PAL 相比，GAL 器件具有以下优点：

① 有较高的通用性和灵活性。它的每个逻辑宏单元可以根据需要任意组态，既可实现组合电路，又可实现时序电路。

② 利用率高。GAL 采用电可擦除 CMOS 技术，可以用电压信号擦除并可重新编程，因此可反复使用，并使 GAL 具有高速度、低功耗的优点。其编程数据可保存 20 年以上。

(4) 可擦除可编程的逻辑器件(EPLD)。可擦除可编程的逻辑器件是一种可编程的逻辑器件，根据工艺不同可以分为两类：一类是采用 UVEPROM 工艺的紫外线可擦除 EPLD，

另一类是采用 $E^2\text{PROM}$ 工艺的电可擦除 EPLD。

EPLD 具有如下特点:

① 因为 EPLD 采用 COMS 工艺, 所以具有速度高(2 ns)、功耗低(电流在数十毫安以下)、抗干扰能力强等特点。

② 采用了 UVEPROM 的 EPLD 由于使用悬浮栅场效应晶体管作为编程单元, 所以具有可靠性高、可以改写、集成度高的特点。采用此工艺的 EPLD 属高密度可编程逻辑器件(HDPLD, 集成度大于 1000 门/片), 芯片规模已达上万等效逻辑门。

③ 与 GAL 相比, 从结构上增加了异步时钟、异步清除功能, 可实现异步时序电路乘积项共享功能, 每个宏单元可多达 32 个乘积项, 输出级有多种使能控制, 而且三态输出使能控制比 GAL 要丰富。

④ 可以实现功能相当复杂的数字系统。

⑤ 具有在系统编程能力, 不用编程器, 使用方便。

(5) 现场可编程门阵列(FPGA)。前面所介绍的 PLD 电路都采用与-或逻辑阵列和输出逻辑单元的结构形式, 根据需要还可以加入触发器来实现时序逻辑。FPGA 的结构形式和上述器件不同, 它通过编程将独立的可编程逻辑模块连接起来以实现所需要的逻辑。由于 FPGA 在结构上摆脱了上述 PLD 的固定结构所带来的局限性, 所以可以用它来实现多级逻辑功能。另外, 它还具有集成度高、使用灵活、管脚数多的特点。因此, 可以使用 FPGA 实现任何复杂的逻辑电路。

FPGA 的基本结构包括: 可编程输入/输出模块(IOB, I/O Block)、可编程逻辑模块(CLB, Configurable Logic Block)、可编程的互连资源(IR, Interconnect Resource)和用于存放编程数据的静态存储器, 如图 1.6 所示。

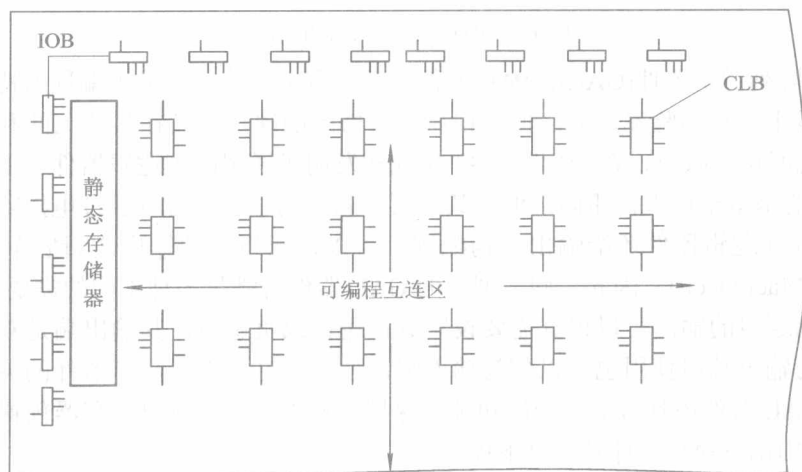


图 1.6 FPGA 的基本结构图

由结构图可以看到, FPGA 中的 CLB 排成阵列, 与门阵列中单元的排列方法相似。CLB 中包含组合逻辑电路和触发器, 可以根据需要设置成组合逻辑或者时序逻辑。IOB 主要完成芯片内部逻辑与外部封装脚的接口, 它通常排列在芯片的四周, 提供了器件引脚和内部逻辑阵列的接口电路。每一个 IOB 控制一个引脚(除电源线和地线引脚外), 可根据需要将它