

21世纪高等院校精品规划教材



基于Verilog HDL 的通信系统设计

陈 曦 邱志成 张 鹏 何初冬 等编著
安 亮 审 校



中国水利水电出版社
www.waterpub.com.cn

21 世纪高等院校精品规划教材

基于 Verilog HDL 的通信系统设计

陈曦 邱志成 张鹏 何初冬 等编著

安亮 审校



中国水利水电出版社
www.waterpub.com.cn

内 容 提 要

随着电子技术的发展,当前的数字通信系统正朝着速度快、带宽大、体积小、集成度高的方向迅猛发展。推动该浪潮迅猛发展的引擎就是日趋进步和完善的 FPGA 设计技术。FPGA 以其功能强大、开发周期短、投资少、可重复修改、开发工具智能以及软件可升级等特点成为通信系统领域硬件设计的先导。

本书综合几位作者多年的研究和实践经验,从 Verilog HDL 的基本语法知识开始,简要介绍 ModelSim 和 Quartus 应用软件的使用方法,再对数字信号处理关键技术的原理和实践、无线通信关键技术的原理和实践、有线通信关键技术的原理和实践进行全面的分析和介绍;最后给出 FPGA 的常用设计指导原则代码编写规范和实验指导。这种结构的安排旨在提高读者的工程实践能力,使读者在设计开发、应用过程中起到事半功倍的效果。

本书体系完整,内容编写思路大致按照基础知识、应用实例、设计指导、代码规范和实验来完成。本书适合作为高等院校通信、计算机专业本科生和研究生的教学用书,也可供有关技术培训及工程技术人员自学参考用。

本书配有免费电子教案和部分章节的源代码,读者可到中国水利水电出版社网站(<http://www.waterpub.com.cn/Softdown/>)下载。

图书在版编目(CIP)数据

基于 Verilog HDL 的通信系统设计 / 陈曦等编著. —北京:中国水利水电出版社, 2009

21 世纪高等院校精品规划教材

ISBN 978-7-5084-6288-2

I. 基… II. 陈… III. ①通信系统-系统设计-高等学校-教材②硬件描述语言, Verilog HDL-程序设计-高等学校-教材 IV. TN914 TP312

中国版本图书馆 CIP 数据核字(2009)第 020982 号

书 名	21 世纪高等院校精品规划教材 基于 Verilog HDL 的通信系统设计
作 者	陈曦 邱志成 张鹏 何初冬 等编著 安亮 审校
出版发行	中国水利水电出版社(北京市三里河路 6 号 100044) 网址: www.waterpub.com.cn E-mail: sales@waterpub.com.cn 电话: (010) 63202266 (总机)、68367658 (营销中心)
经 售	北京科水图书销售中心(零售) 电话: (010) 88383994、63202643 全国各地新华书店和相关出版物销售网点
排 版	北京英宇世纪信息技术有限责任公司
印 刷	北京市兴怀印刷厂
规 格	184mm×260mm 16 开本 20.5 印张 538 千字
版 次	2009 年 4 月第 1 版 2009 年 4 月第 1 次印刷
印 数	0001—4000 册
定 价	32.00 元

凡购买我社图书,如有缺页、倒页、脱页的,本社营销中心负责调换

前 言

随着电子技术的发展,当前的数字通信系统正朝着速度快、带宽大、体积小、集成度高的方向发展,并且发展极为迅猛,新技术层出不穷。推动该浪潮的引擎就是日趋进步和完善的FPGA设计技术。目前FPGA以其功能强大、开发周期短、投资少、可重复修改、开发工具智能以及软件可升级等特点成为通信系统领域硬件设计的首选设备。目前全球的FPGA生产厂商Xilinx公司和Altera公司的芯片设计水平已经很高,无论从逻辑门的数量和芯片处理速度来看,都已基本能够满足高速通信数据处理的需要。

近年来,随着通信技术的发展和FPGA的普及,翔实地讲解FPGA设计技术在通信领域应用的书籍凤毛麟角,编写本书的一个重要目的就在于填补这一市场空缺。本书力图全面、系统而深入地介绍Verilog HDL及其应用方面的相关知识,具有如下4大特色:

- **入门要求低。**本书重点讲解通信相关技术的FPGA实现,所以只需要读者拥有基本的通信背景知识即可。
- **实用性。**本书的Verilog HDL语法及开发软件章节内容深入浅出,力求只介绍最实用的内容给读者,方便读者迅速入门。而实例部分则来源于实际项目,实用性和可操作性较强。
- **概括性。**本书内容涵盖了通信的众多领域,实例覆盖面广,在介绍实例的同时又涉及语法、开发工具中最重要的内容,是一本工具书+实例参考书的综合读物。
- **新颖性。**本书的实例多为其他图书没有涉及的内容,同时本书花费了部分篇幅专门讲解Verilog HDL的代码编程规范,以及常见的FPGA设计指导性原则,这部分资料来源于部分国内外知名公司的编程规范和硬件设计工程师的经验总结。加入该部分内容的初衷在于力求帮助读者能够养成良好的编程习惯,因为好的编程习惯直接和代码开发效率及代码的可读性直接相关。同时该部分中所涉及的一些硬件工程师的设计经验总结,可以较快地提高读者的工程开发能力,在以后的实际系统开发过程中起到事半功倍的效果。

全书以Verilog HDL在通信系统中的应用为主线,包括三部分共12章内容。第一部分基础篇,内容为第1~3章,其中第1~2章简要介绍Verilog HDL发展历程、语法规则及其简单应用实例;第3章简要介绍系统开发平台中的Quartus II和ModelSim的使用方法以及FPGA/CPLD芯片的编程和配置方法。第二部分实践篇,内容为第4~10章,较为详细地介绍数字信号处理,有线、无线通信系统关键技术的原理及其FPGA实现方法。第三部分技巧和实验篇,内容为第11~12章,其中第11章介绍一些常用的FPGA设计指导性原则,同时给出了代码编写规范及其模板;第12章给出了10个实验,这10个实验是对第二部分内容的补充,读者可以在实践中提高编程能力。

本书由陈曦、邱志成、张鹏、何初冬等编著，安亮审校，其中陈曦编写第 3、7~10 章的内容，邱志成编写第 1、2、11 章的内容，张鹏和何初冬共同完成第 4~6 及 12 章的内容。参加部分编写工作的人员还有王治国、冯强、曾德惠、许庆华、程亮、周聪、黄志平、胡松、邢永峰、邵军、边海龙、刘达因、赵婷、马鸿娟、侯桐、赵光明、李胜、李辉、侯杰、王红研、王磊、闫守红、康涌泉、李欢、蒋杼倩、王小东、张森、张正亮、宋利梅、何群芬、程瑶等，在此对他们表示诚挚的感谢。本书在编写过程中参考了大量的书籍和论文，在这里也对这些作者表示深深的谢意。

为充分展现本书的编写特点，帮助读者深刻理解本书编写意图与内涵，进一步提高对本书教学的使用效率，我们建立本书使用指导联系方式，它是读者与编者之间交流沟通的直通车。欢迎读者将图书使用过程中的问题与各种探讨、建议反馈给我们，本书编者会竭诚给您满意的答复。我们的 E-mail 为 china_54@tom.com。

由于数字系统的开发设计涉及内容广泛，加上通信技术的迅猛发展，书中疏漏之处在所难免，欢迎广大读者和同行批评指正。

作 者

2009 年 1 月

目 录

前言

第一部分 基础篇

第 1 章 Verilog 的基本知识	1
1.1 Verilog HDL 的历史	1
1.2 Verilog HDL 和 VHDL 的异同	2
1.3 EDA 技术及其应用	2
1.3.1 EDA 技术的发展	2
1.3.2 现代 EDA 技术的特点及应用	3
1.3.3 EDA 技术的范畴和应用	4
1.3.4 EDA 技术的发展	4
1.4 IP 复用技术及 SOC 概况	5
1.4.1 IP 核	5
1.4.2 系统芯片	5
1.5 本章小结	6
第 2 章 常用 Verilog 语法	7
2.1 模块	7
2.2 标识符、关键字和注释	9
2.2.1 标识符	9
2.2.2 关键词	9
2.3 数字值集合	9
2.3.1 值的集合	10
2.3.2 常量	10
2.3.3 变量	12
2.4 运算符和表达式	13
2.4.1 逻辑运算符	13
2.4.2 关系运算符	14
2.4.3 算术运算符	15
2.4.4 条件运算符	15
2.4.5 等式运算符	15
2.4.6 移位运算符	16
2.4.7 位拼接运算符	16
2.4.8 位运算符	16
2.4.9 缩减运算符	18
2.4.10 优先级别	18
2.5 行为语句	19
2.5.1 过程语句	19

2.5.2	条件语句	20
2.5.3	循环语句	23
2.5.4	阻塞赋值和非阻塞赋值	25
2.6	task 和 function 说明语句	26
2.6.1	任务 (task)	26
2.6.2	函数 (function)	28
2.6.3	任务和函数的异同	29
2.7	编译预处理	30
2.7.1	宏替换'define	30
2.7.2	文件包含'include	31
2.7.3	时间尺度'timescale	32
2.7.4	条件编译'ifdef、'else、'endif	33
2.8	本章小结	34
第 3 章	功能仿真和下载配置	35
3.1	ModelSim 仿真工具	35
3.1.1	ModelSim 简介	35
3.1.2	ModelSim 基本仿真流程	35
3.1.3	ModelSim 仿真实例	36
3.1.4	常用的 ModelSim 仿真命令介绍	39
3.1.5	dataflow 的应用	40
3.1.6	ModelSim 代码覆盖率查看	40
3.2	Quartus II 的使用方法	44
3.2.1	Quartus II 设计实例	45
3.2.2	应用 RTL 电路图观察器	49
3.2.3	Altera 的 IP Core 的使用	50
3.3	下载配置设计	54
3.3.1	配置方式介绍	54
3.3.2	配置过程	56
3.3.3	配置接口电路	57
3.3.4	Altera 公司下载电缆介绍	61
3.3.5	配置芯片介绍	63
3.4	本章小结	64

第二部分 实践篇

第 4 章	简单逻辑电路实现	65
4.1	简单组合逻辑电路的 Verilog HDL 实现	65
4.1.1	基本门电路	65
4.1.2	译码器	65
4.1.3	数据选择器	66

4.1.4	半加器	68
4.1.5	全加器	69
4.2	简单时序逻辑的 Verilog HDL 实现	70
4.2.1	D 触发器	71
4.2.2	R-S 触发器	72
4.2.3	J-K 触发器	73
4.2.4	计数器	74
4.2.5	串并转换电路	75
4.2.6	分频器	76
4.3	几种常见的存储设备设计	78
4.3.1	RAM 的 Verilog HDL 实现	78
4.3.2	ROM 的 Verilog HDL 实现	79
4.3.3	FIFO 的 Verilog HDL 实现	79
4.4	本章小结	84
第 5 章	数字滤波器设计	85
5.1	数字滤波器概述	85
5.1.1	数字滤波器和模拟滤波器的比较	85
5.1.2	数字滤波器的分类	85
5.1.3	数字滤波器的数学模型	86
5.1.4	数字滤波器的性能指标	86
5.2	FIR 滤波器的设计与实现	87
5.2.1	FIR 滤波器和 IIR 滤波器的比较	87
5.2.2	FIR 滤波器原理与结构	87
5.2.3	FIR 滤波器设计	90
5.2.4	FIR 滤波器的 Verilog HDL 实现	92
5.3	IIR 滤波器的设计与实现	98
5.3.1	IIR 滤波器原理与结构	98
5.3.2	IIR 滤波器的设计	101
5.3.3	IIR 滤波器的 Verilog HDL 实现	105
5.4	多速率处理的设计	110
5.4.1	抽取的原理	110
5.4.2	抽取的 Verilog HDL 实现	111
5.4.3	内插的原理	112
5.4.4	内插的 Verilog HDL 实现	113
5.5	CIC 滤波器的设计	114
5.5.1	CIC 滤波器的基本理论	114
5.5.2	CIC 滤波器的 Verilog HDL 实现	117
5.6	本章小结	121

第 6 章 数字调制与解调系统设计	122
6.1 数字调制与解调的基本原理	122
6.2 ASK 调制与解调系统的设计	123
6.2.1 2-ASK 调制原理	123
6.2.2 2-ASK 调制的 Verilog HDL 实现	123
6.2.3 2-ASK 解调原理	125
6.2.4 2-ASK 解调的 Verilog HDL 实现	126
6.3 FSK 调制与解调系统的设计	128
6.3.1 2-FSK 调制原理	128
6.3.2 2-FSK 调制的 Verilog HDL 实现	128
6.3.3 2-FSK 解调原理	130
6.4 PSK 调制与解调系统的设计	133
6.4.1 2-PSK 调制基本原理	133
6.4.2 2-PSK 调制的 Verilog HDL 实现	134
6.4.3 2-PSK 解调原理	135
6.4.4 2-PSK 解调的 Verilog HDL 实现	136
6.5 QPSK 调制与解调系统的设计	138
6.5.1 QPSK 调制原理	138
6.5.2 QPSK 调制的 Verilog HDL 实现	139
6.5.3 QPSK 解调	141
6.5.4 QPSK 解调的 Verilog HDL 实现	141
6.6 PPM 调制与解调系统的 Verilog HDL 实现	143
6.6.1 PPM 调制原理	143
6.6.2 PPM 调制的 Verilog HDL 实现	144
6.6.3 PPM 解调原理	146
6.6.4 PPM 解调的 Verilog HDL 实现	146
6.7 本章小结	148
第 7 章 RS 编译码系统设计	149
7.1 信道编码原理	149
7.1.1 信道香农定理	149
7.1.2 数字通信系统的组成	149
7.1.3 差错控制系统分类和信道编码的简介	150
7.2 线性分组码	152
7.2.1 几种常见的线性分组码	152
7.2.2 编码应用	153
7.3 RS 码的编译码器设计	153
7.3.1 RS 码编码系统的 Verilog HDL 实现	154
7.3.2 RS 码译码系统的 Verilog HDL 实现	161
7.4 本章小结	182

第 8 章 直接扩频通信系统设计	183
8.1 扩频技术基本原理	183
8.2 扩频序列发生器设计	183
8.2.1 m 序列发生器的设计	184
8.2.2 Gold 序列发生器的设计	188
8.3 直接扩频调制系统设计	192
8.3.1 设计原理	192
8.3.2 程序设计	193
8.3.3 程序仿真结果	197
8.4 扩频接收机设计	197
8.4.1 设计原理	197
8.4.2 程序设计	200
8.4.3 程序仿真结果	204
8.5 本章小结	205
第 9 章 网络管理中 UART 系统设计	206
9.1 SNMP 网络管理系统在光分组交换中的应用	206
9.1.1 UART 的基本原理	208
9.1.2 UART 的操作	209
9.2 UART 发射机的设计和实现	210
9.3 UART 接收机的设计和实现	214
9.4 UART 波特率发生器的设计和实现	220
9.5 读/写 RAM 表控制模块设计和实现	221
9.6 RAM 表的 IP Core 调用方法	226
9.7 本章小结	227
第 10 章 以太网物理层关键技术的 Verilog HDL 实现	228
10.1 以太网概述	228
10.2 数据流扰码和解扰码器的 Verilog HDL 实现	229
10.2.1 串行扰码和解扰码器的设计	229
10.2.2 8 位并行扰码器和解扰器的设计	233
10.3 CRC-16 的 Verilog HDL 实现	237
10.3.1 串行 CRC-16 校验的 Verilog HDL 实现	238
10.3.2 并行 CRC-16 的 Verilog HDL 实现	241
10.4 SDH 帧同步器的设计	246
10.5 千兆以太网中 8B/10B 编译码器设计	252
10.5.1 8B/10B 编码原理	252
10.5.2 8B/10B 编码器的设计	259
10.5.3 8B/10B 译码器的设计	266
10.6 本章小结	270

第三部分 技巧和实验篇

第 11 章	FPGA 设计指导原则和代码规范	271
11.1	FPGA 设计指导原则	271
11.1.1	深入理解阻塞赋值和非阻塞赋值	271
11.1.2	组合逻辑设计注意事项	272
11.1.3	时序逻辑设计注意事项	273
11.1.4	可综合状态机的指导原则	274
11.1.5	面积与速度互换原则	277
11.1.6	同步设计原则	278
11.1.7	乒乓操作	279
11.1.8	串并转换	280
11.1.9	流水线操作	281
11.1.10	Testbench 的编写方法	281
11.2	Verilog HDL 代码编写规范	285
11.2.1	命名规则	285
11.2.2	代码风格	286
11.2.3	语法结构	288
11.2.4	设计风格	289
11.2.5	仿真部分	291
11.2.6	综合部分	293
11.2.7	Verilog HDL 代码规范模板	294
11.3	本章小结	297
第 12 章	实验设计指导	298
12.1	实验一 基本组合和时序逻辑电路设计	298
12.1.1	实验目的	298
12.1.2	实验原理	298
12.1.3	实验内容	299
12.1.4	实验步骤	299
12.1.5	实验总结报告要求	299
12.2	实验二 采用分布式算法 FIR 滤波器设计	299
12.2.1	实验目的	299
12.2.2	实验原理	299
12.2.3	实验内容	300
12.2.4	实验步骤	300
12.2.5	实验总结报告要求	300
12.3	实验三 MASK 调制器设计	300
12.3.1	实验目的	300
12.3.2	实验原理	301

12.3.3	实验内容	301
12.3.4	实验步骤	301
12.3.5	实验总结报告要求	301
12.4	实验四 函数发生器设计	302
12.4.1	实验目的	302
12.4.2	实验原理	302
12.4.3	实验内容	303
12.4.4	实验步骤	303
12.4.5	实验总结报告要求	303
12.5	实验五 PCM 采编器设计	303
12.5.1	实验目的	303
12.5.2	实验原理	304
12.5.3	实验内容	304
12.5.4	实验步骤	304
12.5.5	实验总结报告要求	305
12.6	实验六 循环码编译码器设计	305
12.6.1	实验目的	305
12.6.2	实验原理	305
12.6.3	实验内容	306
12.6.4	实验步骤	306
12.6.5	实验总结报告要求	306
12.7	实验七 FFT 碟形运算单元设计	307
12.7.1	实验目的	307
12.7.2	实验原理	307
12.7.3	实验内容	307
12.7.4	实验步骤	308
12.7.5	实验总结报告要求	308
12.8	实验八 数字相关器设计	308
12.8.1	实验目的	308
12.8.2	实验原理	308
12.8.3	实验内容	309
12.8.4	实验步骤	309
12.8.5	部分实验代码	309
12.8.6	实验总结报告要求	309
12.9	实验九 集中插入式帧同步器设计	310
12.9.1	实验目的	310
12.9.2	实验原理	310
12.9.3	实验内容	311
12.9.4	实验步骤	311

12.9.5 实验总结报告要求.....	311
12.10 实验十 多路信号复用的基带系统设计.....	311
12.10.1 实验目的	311
12.10.2 实验原理	311
12.10.3 实验内容	312
12.10.4 实验步骤	312
12.10.5 实验总结报告要求.....	312
12.11 本章小结.....	312
参考文献及参考资料.....	313

第一部分 基础篇

第 1 章 Verilog 的基本知识

硬件描述语言（Hardware Description Language, HDL）是一种形式化方法来描述数字电路和系统的语言，它从出现发展至今已经有 20 多年历史。本章从介绍 Verilog HDL 的发展历程讲起，进一步介绍 EDA 相关技术的发展现状，最后介绍了进行大规模快速的集成电路设计还需要了解的 IP 复用和 SOC 概念。

1.1 Verilog HDL 的历史

用形式化方法来描述数字电路和系统的语言构成了硬件描述语言（Hardware Description Language, HDL）。通过这种语言可以从上层至下层（从抽象到具体），逐层描述自己的设计思想，用一系列分层次的模块来表示简单或复杂的电路系统。

Verilog HDL 语言已经成为一种标准的硬件描述语言，它有以下一些特点：

- 作为一种多用途的硬件描述语言，它具有易学性和易用性。在语法上与 C 语言非常相似。如果有一定 C 语言编程经验的读者，那么 Verilog HDL 语言学起来非常容易。
- 大多数逻辑综合工具都支持 Verilog HDL，使得 Verilog HDL 成为设计人员的一个很好的选择。
- Verilog HDL 语言允许在同一个模块中进行不同抽象层次的描述，设计者可以同时使用门级、开关级、寄存器器传输级或行为描述代码对同一个硬件模块进行描述。
- 所有的制造厂商都提供了 Verilog HDL 的工艺库，用以支持仿真，这就为用 Verilog HDL 设计的芯片可以在不同的厂家进行生产，提供更大的灵活性。
- Verilog HDL 拥有强大的接口功能，允许用户用 C 语言对内部数据结构进行描述。

Verilog HDL 语言是由美国 GDA（Gateway Design Automatic）公司的 Phi Moordy 创立于 1983 年。在 1984~1985 年间 Phi Moorby 设计出一个仿真器称为 Verilog-XL；1986 年，他又提出了用于快速门级仿真的 XL 算法，对 Verilog HDL 的发展作出了另一个巨大贡献。1989 年，GDA 公司被 Cadence 公司收购，1990 年 Cadence 公司决定开发 Verilog HDL 语言，并成立了 OVI（Open Verilog International）组织来促进 Verilog HDL 语言的发展。1995 年，IEEE 制定了 Verilog HDL 的 IEEE 标准，即 Verilog HDL1364—1995。之后又在 2001 年发布了 Verilog HDL1364—2001 标准。

1.2 Verilog HDL 和 VHDL 的异同

VHDL 的英文全称是 Very high speed integrated circuit Hardware Description Language, 也就是高速集成电路的硬件描述语言, 多被用在 FPGA/CPLD/EPLD 的设计中, 当然一些设计单位还用来设计 ASIC。

Verilog HDL 和 VHDL 都是用于逻辑设计的硬件描述语言, 1987 年 VHDL 成为 IEEE 标准, 而 Verilog HDL 则是在 1995 年才正式成为 IEEE 标准的, VHDL 是由美国军方开发的, 而 Verilog HDL 是由一家普通公司开发和推广的。

同为硬件描述语言, Verilog HDL 和 VHDL 既有共同点, 也有各自的特点。

Verilog HDL 和 VHDL 的共同点如下:

- 用编程的方法来描述硬件, 能形式化的描述电路的结构和行为。
- 支持逻辑设计中层次和范围的描述。
- 硬件描述与实现工艺无关, 支持电路描述的由高层到低层的综合转换。
- 可以用高级语言的结构来简化电路行为的描述。
- 具有电路仿真与验证机制来保证电路设计的正确性。
- 文档管理方便, 易于设计人员的理解 and 设计重用。

Verilog HDL 和 VHDL 的区别如下:

- Verilog HDL 设计灵活, 可读性较好; 而 VHDL 语法规则, 规则复杂, 代码要求严格, 可读性与设计人员的编码风格有较大关系。
- Verilog HDL 对门级以下的物理建模能力较强; 而 VHDL 语言的高层建模和抽象能力较强。
- Verilog HDL 没有管理大型设计结构的语句; 而 VHDL 可用库和程序包, 配置语句、生成语句都是用于管理大型设计结构的语句。
- Verilog HDL 通过自动扩展和截短, 赋值较灵活, 因而编程、编码方便; 而 VHDL 数据类型要求严格, 必须精确定义和匹配。

近年来, EDA (Electronic Design Automation, 电子设计自动化) 界一直对在数字逻辑设计中到底采用哪一种硬件描述语言有着很多争论, 目前还没有定论。在美国, 应用 Verilog HDL 和 VHDL 的比例分别是 80% 和 20%; 而在欧洲大多数国家使用 VHDL。在中国, 由于两者的使用时间比较短, 应用比例还没有具体的统计, 不过从各个公司 and 研究单位的应用看来, 大多数都是采用 Verilog HDL。

Verilog HDL 比较适合于系统级、算法级、寄存器传输级、逻辑级、门级和电路开关级的设计, 而 VHDL 更适合特大型的系统级设计。

1.3 EDA 技术及其应用

1.3.1 EDA 技术的发展

在现代电子电路设计中, EDA 技术已经成为一种普遍的工具。对设计者而言, 熟练掌握

EDA 技术可以大大提高工作效率，达到事半功倍的效果。

EDA 技术是以计算机科学、微电子技术等为基础，汇集了计算机图形学、拓扑学和计算数学等众多学科的最新成果发展起来的。简单地说，EDA 就是立足于计算机工作平台而开发出来的一整套先进的设计电子系统的软件工具。EDA 技术经历了 CAD、CAE 和 EDA 三个阶段。

(1) 电子 CAD 阶段是 EDA 技术发展的早期阶段。在这个阶段，一方面，计算机的功能还比较有限，个人计算机还没有普及；另一方面，电子设计软件功能简单，人们主要是对设计电路的性能进行模拟和预测，以及完成一些 PCB 板的布局布线、简单版图的绘制等工作。

(2) 随着集成电路规模的扩大，电子系统设计复杂度的增强，使得电子 CAD 的工具逐步完善和发展，尤其是人们在设计方法学、设计工具集成化方面取得了长足的进步，开始进入电子 CAE 阶段。在这个阶段，各种简单设计工具和各种设计单元库逐渐完备，并且开始将许多单点工具集成在一起使用，大大提高了工作效率。

(3) 20 世纪 90 年代以后，微电子技术有了惊人的发展（深亚微米级），在一个芯片上可以集成上百万、上千万乃至上亿个晶体管，芯片的工作速度达到了 Gb/s 量级，于是对电子设计的工具提出了更高的要求，同时也促进了设计工具的发展。今天，EDA 技术无论是设计芯片还是设计系统，都已经成为电子设计的重要工具。EDA 工具已经成为设计师必不可少的设计软件。从发展的眼光来看，EDA 技术一直滞后于制造工艺的发展，它是在制造技术的驱动下不断地向前推进的。从长远看，EDA 技术将随着微电子技术，计算机技术的不断发展而功能更加强大。

1.3.2 现代 EDA 技术的特点及应用

现代 EDA 工具的自动化程度有了质的飞跃，形成了功能更完备、数据开放性和互换性更好，同时还具有系统级仿真和综合能力，以及高级语言描述功能。具体体现在以下几个方面。

1. 采用硬件描述语言

采用硬件描述语言进行电路与系统的描述是当前 EDA 技术的一个特征。与传统的设计方法相比较，HDL 语言更适合描述大规模的系统，它使设计者在比较抽象的层次上对所设计的系统结构和功能进行描述。

2. 高层综合和优化

为了更好地支持自上而下的设计方法，现代 EDA 工具能够在系统进行综合和优化，这样缩短了设计的周期，提高了设计效率。典型的支持高层综合的工具具有美国 Synopsys 公司的 Behavioral Compiler 等。将来还会有更多的工具支持系统级的综合与仿真。

3. 并行工程

以美国防卫分析研究所 R-338 报告中的定义认为，并行工程是“一种系统化的、集成化的、并行的产品及相关过程的开发模式”。现代的 EDA 工具都建立了并行工程框架结构的开发环境，以适应现代电子系统设计开发的特点。这样的 EDA 开发工具支持多人同时并行地进行设计。

4. 开放性和标准化

框架作为一种软件平台结构为 EDA 工具提供了优良的使用环境。只要 EDA 系统建立了标准下的开放式框架结构, 就可以兼容其他版本的 EDA 工具并进行设计。

随着设计数据格式的逐步标准化, 各种独特的 EDA 工具被集成在同一个工作站上, 从而达到 EDA 框架标准化。

1.3.3 EDA 技术的范畴和应用

EDA 技术的应用涵盖了工程师进行电子系统开发的全过程, EDA 技术包括电子电路设计的各个领域。

EDA 技术单方面来说可粗略分为系统级、门级和物理实现级等 3 个层次的辅助设计; 从全面来看 EDA 技术可以完成从低频电路到高频电路、从线性电路到非线性电路、从模拟电路到数字电路以及从 PCB 板设计到 FPGA 开发等的全部设计过程。

EDA 技术的功能和范畴如图 1-1 所示。

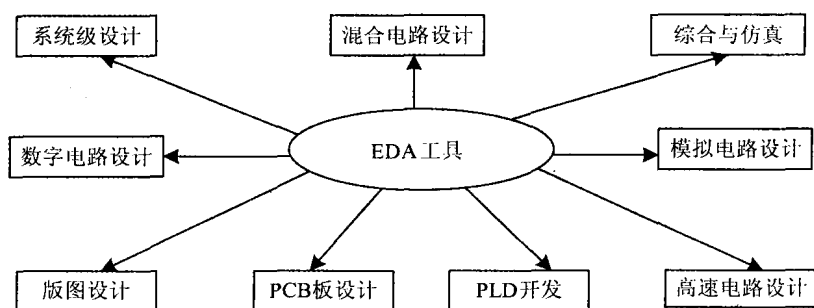


图 1-1 EDA 技术的功能和范畴

1.3.4 EDA 技术的发展

EDA 技术将向着智能化、高层综合的方向发展; 另外一个发展方向就是支持软、硬件协同设计。

一般在开始设计系统的时候, 首先根据电路的功能划分软件和硬件, 然后分别进行设计和实现, 最后才将两者结合起来。一般硬件部分用硬件描述语言进行描述, 而软件部分则用 C 或 C++ 进行描述。由于使用不同的语言描述, 两者要做到协调一致并不容易。

因此从设计开始到设计实现直至最后的验证和仿真, 应该有一种新的设计语言, 统一进行软、硬件的描述和定义。这种语言能够使设计过程一体化, 而且能够继承和借鉴现有语言的一些优点。这种能够进行软、硬件协同设计的语言是未来 EDA 的发展方向之一。

另外, 随着芯片规模的扩大, 在大型的系统设计过程中, 设计验证工作将变得比设计本身还要艰巨。因此, 优良的仿真和验证工具也是 EDA 需要加以完善的。

总之, EDA 的发展是没有止境的, 它将在诸多因素的推动下不断前进。