

 电子信息与电气学科规划教材·电子科学与技术类

现代半导体集成电路

杨银堂 朱樟明 刘帘曦 编著



电子工业出版社

PUBLISHING HOUSE OF ELECTRONICS INDUSTRY <http://www.phei.com.cn>

电子信息与电气学科规划教材·电子科学与技术类

现代半导体集成电路

杨银堂 朱樟明 刘帘曦 编著

電子工業出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

本书全面介绍了现代半导体集成电路的基础知识、分析与设计方法。全书共分为5个部分,第一部分(第1~2章)为集成电路的基础知识,主要介绍各种集成器件的结构和模型、集成电路的典型工艺。第二部分(第3~5章)为双极集成电路,包括TTL、ECL及PL逻辑门及逻辑扩展、双极差分放大器及双极运放电路等。第三部分(第6~8章)为CMOS数字集成电路,分为CMOS基本逻辑电路、CMOS数字子系统和现代半导体存储器。第四部分(第9~13章)为CMOS模拟集成电路,包括基本模拟电路单元、运算放大器、开关电容电路、数据转换器和锁相环。第五部分(第14~16章)为半导体集成电路设计的共性知识,介绍了集成电路的版图设计、可靠性设计、可测性设计和SoC的设计方法学、软硬件协同设计及仿真等。每章后面都附有习题。

本书可作为大专院校微电子学、电子科学与技术、电子信息工程等本科专业的教材,也可供有关专业的本科生、研究生和工程技术人员阅读参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

现代半导体集成电路/杨银堂,朱樟明,刘帘曦编著. —北京:电子工业出版社,2009.4

电子信息与电气学科规划教材. 电子科学与技术类

ISBN 978-7-121-08254-2

I. 现… II. ①杨…②朱…③刘… III. 半导体集成电路—集成电路工艺—高等学校—教材 IV. TN430.5

中国版本图书馆CIP数据核字(2009)第016639号

策划编辑:陈晓莉

责任编辑:陈晓莉 特约编辑:杨晓红

印 刷:北京市海淀区四季青印刷厂

装 订:涿州市桃园装订有限公司

出版发行:电子工业出版社

北京市海淀区万寿路173信箱 邮编100036

开 本:787×1092 1/16 印张:17 字数:435千字

印 次:2009年4月第1次印刷

印 数:5000册 定价:28.00元

凡所购买电子工业出版社图书有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系及邮购电话:(010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线:(010) 88258888。

前 言

半导体集成电路的发展可以极大地推动现代通信技术、计算机技术、网络技术及家用电器产业的迅速发展,已成为世界各国极为重要的主导产业和战略产业之一。正值中国集成电路设计产业高速发展之际,基于作者多年来的半导体集成电路等课程的教学经验,结合片上系统(SoC)及IP核的设计技术,编写了本教材,希望能在促进中国集成电路设计产业的迅速发展中发挥作用。

本书共分为五个部分,第一部分(第1~2章)为集成电路的基础知识,主要介绍各种集成器件的结构及模型,介绍了现代双极集成电路、CMOS集成电路和BiCMOS集成电路的典型工艺,作为后续章节的基础。第二部分(第3~5章)为双极数字集成电路和模拟集成电路,包括TTL、ECL及 Γ^2 L逻辑门及逻辑扩展,模拟电路包括差分放大器、基准源、输出电路及运放电路等。第三部分(第6~8章)为CMOS数字集成电路,分为基本CMOS逻辑电路、CMOS数字子系统和现代半导体存储器。第四部分(第9~13章)为CMOS模拟集成电路,包括基本模拟电路单元、运算放大器、开关电容电路、数据转换器和锁相环,还特别介绍了Rail-to-Rail运放及电流舵D/A转换器等最新的集成电路。第五部分(第14~16章)为半导体集成电路的共性知识,介绍了集成电路的版图设计、集成电路可靠性设计及可测性设计知识,对模拟集成电路版图的不匹配布局和IEEE 1149.1进行了较多的介绍,最后还对SoC的设计方法学、模拟硬件描述语言、软硬件协同设计及仿真进行了介绍。本书取材内容兼顾了半导体集成电路的基础知识和集成电路的最新进展,对已经不常用的双极数字集成电路部分进行大篇幅的压缩,对流行的CMOS集成电路进行重点介绍。

本书由西安电子科技大学微电子研究所所长杨银堂教授担任主编并编写了第1~8章,朱樟明博士编写了第9~12、14~16章,刘帘曦博士编写了第13章。本书对审稿人陈晓莉编审及特约编辑等人的有益建议表示由衷的感谢。参加本书编写及为编写提供帮助的部分老师有李娅妮讲师、柴常春教授、李跃进教授等,在此一并感谢!

编 者

2008年5月

于西安电子科技大学微电子研究所

主要参数符号表

A	面积	E, e	晶体管发射极
A_i	电流增益	F	反馈系数
A_v	电压增益	f_T	特征频率
B, b	晶体管基极	f_m	最高振荡频率
BV_{DS}	漏源击穿电压	f_0	单位增益频率
BV_{DSR}	漏源穿通电压	f_p	(1) 极点频率; (2) 全功率输出频率
C, c	晶体管集电极	f_z	零点频率
C_b	自举电容	G	MOS 管栅极
C_c	补偿电容	g_m	MOS 管跨导
C_{be}	基-射结电容	g_{mb}	MOS 管背栅跨导
C_{cb}	集-基结电容	g_{ms}	MOS 管源极输出跨导
C_{cs}	集-衬结电容	g_D	MOS 管漏极电导
$C_{D,Cd}$	pn 结扩散电容	GND	地电位
C_{DS}	漏源电容	I_C	集电极电流
C_{GD}	栅漏电容	I_B	基极电流, 衬底电流
C_{GS}	栅源电容	I_{ol}	输出漏电流
C_j	pn 结势垒电容	I_{DS}	漏源电流
C_L	负载电容	I_E	发射极电流
C_M	密勒电容	I_{is}	输入短路电流
C_{ox}	二氧化硅单位面积电容	I_{il}	输入漏电流
C_w	引线电容	I_{os}	(1) 输出短路电流; (2) 输入失调电流
D	MOS 管漏极	I_{OOL}	空载导通电源电流
D_b	基区少子扩散系数	I_{OOH}	空载截止电源电流
D_n	电子扩散系数		
D_p	空穴扩散系数		

I_S	反向饱和电流	P_c	电路平均静态功耗
I_{DN}	导通电流	P_{cf}	电路平均瞬态功耗
I_{OFF}	截止电流	Q	总电荷、单位面积电荷
I_{DN}	吸收电流	Q_B	(1) 基区电荷; (2) 强反型表面耗尽区电荷密度
$I_{DP} (I_{OH})$	供给电流	Q_{BS}	基区超量存储电荷
I_H	维持电流	Q_{CS}	集电区超量存储电荷
I_R	读出电流	Q_n	反型层中单位面积电荷
K	MOS 管导电因子	Q_{ss}	表面态电荷密度
K'	MOS 管本征导电因子	Q_3	半导体表面单位面积感应电荷
K_n	nMOS 管导电因子	q	电子电荷
K_p	pMOS 管导电因子	R_L	负载电阻
K_f	闭环电压增益	$R_{\square}$	单位面积薄层电阻
K_o	开环电压增益	R_D	动态电阻
K_{od}	差模电压增益	R_{oH}	高电平输出阻抗
K_{oc}	共模电压增益	r_{CS}	集电极串联电阻
L	沟道长度	r_{BB}	基极串联电阻
L_D	德拜长度	r_E	发射极电阻
L_{E-eff}	发射极有效长度	r_{oE}	共射极输出电阻
L_n	电子扩散长度	r_{oB}	共基极输出电阻
L_p	空穴扩散长度	r_{ds}	MOS 管源漏间电阻
N	杂质浓度	r_{ON}	MOS 管动态导通电阻
N_A	受主杂质浓度	S	(1) 衬底; (2) MOS 管源极;
N_D	施主杂质浓度	S	饱和度
N_s	衬底杂质浓度	S_L	沟道长度灵敏度
N_0	扇出	SR	转移速率 (转换速率)
n	电子浓度	T	(1) 温度; (2) 周期; (3) 距离, 厚度
n_i	本征电子浓度	t	时间
n_0	平衡电子浓度	T_A	环境温度
p	空穴浓度	T_s	(1) 衬底温度; (2) 建立时间
P	功率		

T_D	对延迟时间	V_{GG}	MOS 负载管栅电压
t_d	延迟时间	V_{on}	导通电压
t_f	下降时间	V^*	转换电压
t_s	存储时间	V_{FB}	平带电压
t_r	上升时间	V_{TH}	MOS 管阈值电压
t_{on}	开启时间	$V_{Tn} (V_{THN})$	nMOS 管阈值电压
t_{off}	关断时间	$V_{Tp} (V_{THP})$	pMOS 管阈值电压
t_{PLR}	截止延迟时间	V_{TL}	负载管阈值电压
t_{PHL}	导通延迟时间	V_{TI}	输入管阈值电压
t_{pd}	平均延迟时间	V_{TD}	耗尽管阈值电压
t_{ox}	氧化层厚度	V_{TE}	增强管阈值电压
v_i	小信号电压	V_P	夹断电压
v	交流电压	V_{PF}	穿通电压
V	电压	V_{TF}	场阈值电压
V_D	接触电势电压	V_{IL}	关门电平
V_T	(1) 阈值电压; (2) 热电压	V_{IH}	开门电平
V_F	正向偏压	V_L	逻辑摆幅
V_R	反向偏压	V_W	过渡区宽度
V_S	表面势	V_{NML}	低电平噪声容限
V_{sat}	饱和压降	V_{NMH}	高电平噪声容限
V_{sat0}	本征饱和压降	V_{zo}	输入钳位电压
V_{oi}	输入失调电压	V_G	栅压
V_{CC}	电源电压	V_D	漏压
V_{ref}	参考电压	V_{GS}	栅源电压
V_i	输入电压	V_{DS}	漏源电压
V_o	输出电压	V_{BE}	基极发射极电压
V_{IL}	输入低电平	V_{CE}	集电极发射极电压
V_{IH}	输入高电平	$V_{SS}、V_{EE}$	MOS 电路最低电位 (地电位)
V_{oL}	输出低电平	V_{oL}	输出低电平
V_{oH}	输出高电平	W	(1) 沟道宽度; (2) 宽度

W_b	基区宽度	μm	ϵ_0	真空介电常数
W_{epi}	外延层宽度	μm	ϵ_{Si}	硅相对介电常数
$V_{\text{DD}}, V_{\text{CC}}$	MOS 电路电源电压	V	ϵ_{ox}	二氧化硅相对介电常数
W_d	耗尽层宽度	μm	μ	迁移率
W_M	金属功函数	eV	μ_n	电子迁移率
W_{MS}	金属一半 (MS) 功函数差	eV	μ_p	空穴迁移率
x_j	结深	μm	μ_{eff}	反型层有效迁移率
x_{je}	发射结结深	μm	ρ	电阻率
x_{jc}	集电结结深	μm	τ	寿命
α	共基极电流增益		τ_n	电子寿命
α_F	nnp 管共基极正向电流增益		τ_p	空穴寿命
α_R	nnp 管共基极反向电流增益		τ_e	发射极延迟时间常数
α_{SF}	寄生 pnp 管共基极正向电流增益		τ_b	基区渡越时间
α_{SR}	寄生 pnp 管共基极反向电流增益		τ_c	集电极势垒渡越时间
β	共射极电流增益		τ_d	集电极延迟时间常数
β_R	MOS 电路输入管与负载管增益因子之比		τ_f	下降时间常数
β_R	CMOS 电路 K_p 与 K_n 之比		σ	电导率
γ	发射效率		Φ_F	费米势
δ	电容自举率		Φ_{MS}	MS 接触电势差
ϵ	介电常数			

目 录

第 1 章 集成电路器件与模型	1
1.1 PN 结与二极管	1
1.1.1 半导体与 PN 结	1
1.1.2 PN 结二极管基本原理	1
1.1.3 集成化的肖特基势垒二极管	3
1.2 MOS 晶体管及模型	4
1.2.1 MOS 晶体管基本工作原理	4
1.2.2 MOS 晶体管大信号模型及体效应	6
1.2.3 MOS 晶体管小信号模型	8
1.2.4 NMOS 晶体管的亚阈值特性	9
1.2.5 MOS 晶体管的短沟道效应	10
1.3 双极型晶体管及模型	11
1.3.1 Bipolar 晶体管基本工作原理	11
1.3.2 Bipolar 晶体管大信号模型	14
1.3.3 Bipolar 晶体管小信号模型	14
1.4 集成电路无源元件	16
1.4.1 CMOS 集成电容	17
1.4.2 CMOS 集成电阻	18
1.5 MOS Spice 器件模型	19
1.5.1 Spice Level1 模型	19
1.5.2 Spice Level2 模型	21
1.5.3 Spice Level3 模型	21
1.5.4 Spice BSIM3V3 模型	22
习题一	22
第 2 章 集成电路制造技术	24
2.1 集成电路基本制造技术	24
2.1.1 硅晶圆的制造	24
2.1.2 氧化技术	25
2.1.3 扩散与离子注入	25
2.2 基本 CMOS 工艺与器件结构	26
2.2.1 基本 n 阱/双阱 CMOS 工艺步骤	26
2.2.2 CMOS 版图设计规则	28
2.3 基本 Bipolar 工艺与器件结构	29
2.3.1 PN 结隔离与基本工序步骤	29

2.3.2	Bipolar 版图设计规则	31
2.3.3	Bipolar 工艺的光刻版次	31
2.4	基本 BiCMOS 工艺	32
2.4.1	以 CMOS 工艺为基础的 BiCMOS 工艺	32
2.4.2	以 Bipolar 工艺为基础的 BiCMOS 工艺	34
2.4.3	典型的 BiCMOS 的光刻版次	34
习题二		35
第 3 章	晶体管—晶体管逻辑 (TTL) 电路	36
3.1	六管单元 TTL 与非门	37
3.1.1	工作原理	37
3.1.2	电压传输特性	41
3.1.3	瞬态特性	41
3.1.4	电路特点	44
3.2	STTL 和 LSTTL 电路	44
3.2.1	STTL 电路	44
3.2.2	LSTTL 电路	46
3.3	TTL 门电路逻辑扩展	47
3.4	简化逻辑门	50
3.4.1	简化逻辑门	50
3.4.2	单管逻辑门	50
习题三		54
第 4 章	发射极耦合逻辑与集成注入逻辑电路	56
4.1	ECL 电路	56
4.1.1	基本工作原理	56
4.1.2	射极耦合电流开关	57
4.1.3	射极输出器	57
4.1.4	参考电压源	58
4.1.5	ECL 逻辑扩展	59
4.2	I^2L 电路	61
4.2.1	I^2L 电路单元工作原理	61
4.2.2	I^2L 电路特性分析	63
4.2.3	I^2L 电路逻辑组合	65
4.2.4	I^2L 与 TTL 之间的接口电路	66
4.3	ECL 和 I^2L 工艺与版图设计	69
4.3.1	ECL 电路工艺与版图设计	69
4.3.2	I^2L 电路工艺与版图设计	69
习题四		71
第 5 章	双极模拟集成电路	73
5.1	Bipolar 基本放大器	73
5.1.1	Darlington 放大器	73

5.1.2	双极差分放大器	74
5.2	Bipolar 基本模拟电路单元	79
5.2.1	恒流源	79
5.2.2	有源负载	82
5.2.3	基准源电路	83
5.3	Bipolar 输出级电路	87
5.3.1	射极跟随器输出电路	87
5.3.2	AB类输出电路	90
5.4	Bipolar 运算放大器 ($\mu A741$)	92
	习题五	94
第6章 CMOS 基本逻辑电路		96
6.1	CMOS 逻辑门电路	96
6.1.1	CMOS 反相器	96
6.1.2	CMOS 门电路	99
6.1.3	CMOS 组合逻辑电路	101
6.2	CMOS 传输门逻辑	105
6.2.1	CMOS 传输门	105
6.2.2	CMOS 传输门逻辑电路	106
6.3	CMOS 触发器	107
6.3.1	CMOS RS 触发器	108
6.3.2	CMOS D 触发器	109
6.4	CMOS 多米诺逻辑	110
6.5	CMOS 施密特触发器	112
	习题六	113
第7章 CMOS 数字电路子系统		114
7.1	CMOS 二进制加法器	114
7.1.1	串行进位加法器	115
7.1.2	超前进位加法器	116
7.2	CMOS 移位寄存器	118
7.3	CMOS 数字乘法器	119
7.3.1	乘法器的运算原理	119
7.3.2	并行乘法器	119
7.3.3	流水线乘法器	120
7.3.4	飞速乘法器	121
7.4	CMOS 算术逻辑单元 (ALU)	122
	习题七	123
第8章 现代半导体存储器		124
8.1	存储器的结构	125
8.2	掩模编程只读存储器 (MaskROM)	126
8.3	可编程只读存储器 (PROM)	127

8.4	可擦除可编程存储器 (EPROM)	128
8.5	电可擦除可编程存储器 (E ² PROM)	128
8.6	闪速存储器 (Flash Memory)	130
8.6.1	闪速存储器的结构及工作原理	131
8.6.2	闪速存储器的可靠性问题	134
8.6.3	深亚微米闪速存储器技术	134
8.7	ROM 的存取时间	135
8.8	静态随机存取存储器存储器	135
8.8.1	SRAM 存储单元结构及工作原理	136
8.8.2	存储单元的主要参数	137
8.9	动态随机存取存储器 (DRAM)	138
8.9.1	DRAM 的结构和基本原理	138
8.9.2	DRAM 的主要制造技术	139
8.9.3	采用不同技术的 DRAM	140
习题八		142
第 9 章	CMOS 基本模拟电路	143
9.1	CMOS 基本模拟电路单元	143
9.1.1	MOS 模拟开关	143
9.1.2	有源电阻	145
9.1.3	电流沉和电流源电路	146
9.1.4	电流镜电路	147
9.2	CMOS 基本模拟放大器	148
9.2.1	共源放大器	148
9.2.2	共漏放大器	149
9.2.3	共栅放大器	150
9.2.4	Cascode 放大器	151
9.3	CMOS 差分放大器	152
9.3.1	CMOS 差分放大器的大信号特性	152
9.3.2	CMOS 差分放大器的小信号特性	155
9.4	CMOS 基准电压源和电流源	156
9.4.1	简单基准源	156
9.4.2	V _T 基准源	157
9.4.3	带隙基准源	158
习题九		159
第 10 章	CMOS 运算放大器	161
10.1	两级运算放大器	161
10.1.1	两级 CMOS 运放的基本电路结构	161
10.1.2	两级 CMOS 运放电路的补偿	162
10.1.3	两级运算放大器的设计方法	164
10.2	高速 CMOS 运算放大器	167

10.2.1	套筒式共源共栅运放结构	167
10.2.2	折叠式共源共栅运放结构	169
10.2.3	单级运放结构	171
10.2.4	设计举例	171
10.3	Rail-to-Rail CMOS 运算放大器	173
10.3.1	Rail-to-Rail 输入级	173
10.3.2	恒跨导 Rail-to-Rail 输入级	174
10.3.3	Rail-to-Rail 输出级设计	174
10.3.4	设计举例	177
	习题十	179
第 11 章 CMOS 开关电容电路		180
11.1	CMOS 开关电容等效电阻	180
11.1.1	并联型 SC 等效电阻电路	180
11.1.2	其他 SC 等效电阻电路	181
11.2	CMOS 开关电容积分器电路	182
11.3	CMOS 开关电容滤波器	182
11.3.1	滤波器工作原理	183
11.3.2	开关电容滤波器设计方法	183
11.3.3	一阶低通滤波器	184
11.3.4	双二阶滤波器	184
11.3.5	CMOS 开关电容滤波器设计中应考虑部分实际因素	186
	习题十一	186
第 12 章 CMOS 数据转换器		188
12.1	CMOS 数据转换器的主要性能指标	188
12.1.1	理想 D/A 转换器	188
12.1.2	理想 A/D 转换器	189
12.1.3	微分非线性误差 (DNL) 和积分非线性误差 (INL)	190
12.1.4	无杂波动态范围 (SFDR)	191
12.1.5	信号噪声比 (SNR)	191
12.1.6	谐波失真 (HD_k)	191
12.1.7	总谐波失真 (THD)	191
12.1.8	信号噪声失调比 (SNDR)	192
12.1.9	有效位数 (ENOB)	192
12.1.10	有效分辨带宽 (ERB)	192
12.2	Nyquist CMOS 数模转换器	192
12.2.1	电阻分压型 D/A 转换器	193
12.2.2	R-2R 电流权重型 D/A 转换器	193
12.2.3	权电容型 D/A 转换器	194
12.2.4	电荷重分配型 D/A 转换器	195
12.2.5	流水线 D/A 转换器	196

12.3	Nyquist CMOS 模数转换器	197
12.3.1	并行 A/D 转换器	197
12.3.2	两步式 A/D 转换器	199
12.3.3	内插式 A/D 转换器	200
12.3.4	折叠式 A/D 转换器	201
12.3.5	流水线 Pipeline A/D 转换器	202
12.3.6	逐次逼近式 A/D 转换器	203
12.4	CMOS 数据转换器的测试初步	204
12.4.1	静态参数测试	204
12.4.2	频域参数测试	205
习题十二		207
第 13 章 CMOS 锁相环 (PLL)		208
13.1	PLL 技术基础	208
13.1.1	不同频率信号的相位关系	209
13.1.2	捕获过程	210
13.1.3	锁定过程	211
13.2	电荷泵 PLL	211
13.2.1	电荷泵锁相环的工作原理	211
13.2.2	鉴频鉴相器的模型	212
13.2.3	电荷泵和环路低通滤波器的数学模型	213
13.2.4	压控振荡器的数学模型	214
13.2.5	锁相环的系统数学模型	215
13.3	PLL 的非理想效应	216
13.3.1	PFD/CP 的非理想效应	216
13.3.2	锁相环中的抖动	216
13.4	数字 PLL	217
13.4.1	数字锁相环基本原理	217
13.4.2	N 先于 M 滤波器	218
习题十三		219
第 14 章 集成电路版图设计		220
14.1	集成电路版图设计基础	220
14.1.1	集成电路版图设计方法	220
14.1.2	集成电路版图设计流程	221
14.2	Bipolar 集成电路版图设计	222
14.2.1	Bipolar 集成电路版图设计过程	222
14.2.2	集成化 Bipolar 晶体管版图设计	223
14.3	CMOS 集成电路版图设计	224
14.3.1	CMOS 集成电路版图设计过程	224
14.3.2	CMOS 集成电路版图设计举例	226
14.3.3	混合信号 CMOS 集成电路版图设计注意事项	230

习题十四	230
第 15 章 集成电路可靠性设计与可测性设计	231
15.1 集成电路可靠性设计	231
15.1.1 集成电路可靠性	231
15.1.2 集成电路设计中提高可靠性的措施	232
15.1.3 集成电路的版图设计中提高可靠性的措施	236
15.2 集成电路可测性设计	237
15.2.1 故障模型 (Fault Model)	237
15.2.2 测试向量的产生	239
15.2.3 集成电路边界扫描技术和标准——IEEE 1149.1	240
习题十五	242
第 16 章 片上系统 (SoC) 设计初步	243
16.1 SoC 设计方法学	243
16.1.1 软硬件协同设计技术	243
16.1.2 IP 核设计技术	245
16.1.3 超深亚微米集成电路设计技术	245
16.2 混合信号硬件描述语言 Verilog—AMS	246
16.2.1 模拟硬件描述语言 Verilog—AMS	246
16.2.2 基于 Verilog—A 的模拟电路行为模型	247
16.2.3 基于 Verilog—AMS 的混合电路系统仿真	249
16.3 SoC 仿真技术	250
16.4 SoC 验证方法	252
习题十六	254
参考文献	255

第 1 章 集成电路器件与模型

1.1 PN 结与二极管

1.1.1 半导体与 PN 结

导电能力介于导体和绝缘体之间的物质称为半导体。在半导体器件中最常用的是硅和锗两种材料,它们都是 4 价元素,在原子结构中最外层轨道上有 4 个价电子。物质的化学性质是由价电子决定的,导电性能也与价电子有关,其中纯净的半导体称为本征半导体。半导体中存在两种载流子,即带负电荷的自由电子和带正电荷的空穴。晶体中的共价键具有很强的结合力,在热力学零度(-273.16°C)时,价电子没有能力脱离共价键的束缚,晶体中没有自由电子,半导体不能导电。室温下,少数价电子因热激发而获得足够的能量,因而能脱离共价键的束缚成为自由电子,同时在原来的共价键中留下一个空位,称为空穴。

如果这时施加电场,电子将形成电子电流,空穴形成空穴电流。虽然两种载流子的运动方向相反,但因它们所带的电荷极性也相反,所以两种电流的实际方向是相同的,它们的和即是半导体中的电流。本征半导体的导电能力很弱,但是掺入其他微量元素就会使其导电性能发生显著变化。这些微量元素的原子称为杂质,掺入杂质的半导体称为杂质半导体,有 N 型和 P 型两类。

PN 结是构成各种半导体器件的基础,指在一块完整的硅片上,用不同的掺杂工艺使其一边形成 N 型半导体,另一边形成 P 型半导体,那么在两种半导体的交界面附近就形成了 PN 结。图 1.1 为 PN 结示意图。



图 1.1 PN 结示意图

1.1.2 PN 结二极管基本原理

PN 二极管基本工作原理如下:当 P 型半导体和 N 型半导体结合在一起时,由于交界面两侧多子和少子的浓度有很大的差别,n 区的电子必然向 p 区运动,这种由于载流子浓度差而引起的运动称为扩散运动。扩散到 p 区的电子因与空穴复合而消失,同时 p 区的空穴也要向 n 区扩散,且与 n 区中电子复合。这样在交界面附近,多子的浓度骤然下降,出现了由不能移动的带电离子组成的空间电荷区。具体地说,n 区一侧出现正离子区,p 区一侧出现负离子区。

空间电荷区形成了一个 n 区指向 p 区的电场(称内建电场),随着扩散的进行,空间电荷区加宽,内电场加强。由于内电场的作用是阻止多子扩散的,所以由浓度差而产生的多子扩散作用和由多子扩散的结果产生的内电场对扩散的阻碍作用最终将达到平衡,使空间电荷区的宽度不再变化。正、负离子在交界面两边形成的电位差记作 ϕ_0 。

$$\phi_0 = V_T \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (1.1)$$

式中, V_T 为热电压

$$V_T = \frac{kT}{q} \quad (1.2)$$

T 为 Kelvin 温度, k 为 Boltzmann 常数 ($1.38 \times 10^{-23} \text{ J/K}$), q 为电子电荷 ($1.602 \times 10^{-19} \text{ C}$)。在室温条件下, V_T 约为 26mV。

当二极管的 p 区接电源正极, n 区接电源的负极,即正向偏置条件下,此时在外电场作用下,多子被推向耗尽层,结果使耗尽层变窄,内电场被削弱,有利于多子的扩散而不利于少子的漂移。多子的扩散电流通过回路形成正向电流,耗尽层两端的电位差变成零点几伏,所以,不大的正向电压就可以产生相当大的正向电流。此时,二极管的电压电流关系为

$$I_D = I_S e^{V_D/V_T} \quad (1.3)$$

式中, V_D 为二极管的正向偏置电压, I_S 称为反向饱和电流,与二极管的结面积 A_D 成正比。

$$I_S \propto A_D \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \quad (1.4)$$

正向偏置二极管的结电容 (C_T) 也是集成电路设计中另一个重要参数,其由扩散电容 C_D 和耗尽电容 C_j 组成,即

$$C_T = C_D + C_j \quad (1.5)$$

由于通常扩散电容要比耗尽电容大,所以二极管正向偏置电容的误差是比较大的,多用于 Bipolar 集成电路的不精确电容设计。

当 PN 结二极管反向偏置应用时,即 p 区接电源负极, n 区接正极,此时外电场使耗尽层变宽,加强了内电场,结果阻止了多子的扩散,但促使少子漂移,在回路中形成反向电流。因少子的浓度很低,并在温度一定时少子的浓度不变,所以反向电流不仅很小,而且当外加电压超过零点几伏以后,因少子供应有限,它基本上不随外加电压增大而增加,即反向饱和电流 I_S 在反向偏置件下,耗尽层宽度 X 与反向偏置电压 V_R 之间的关系为

$$X_n = \left[\frac{2\epsilon_{Si}\epsilon_0(\phi_0 + V_R)}{q} \frac{N_A}{N_D(N_D + N_A)} \right]^{1/2} \quad (1.6)$$

$$X_p = \left[\frac{2\epsilon_{Si}\epsilon_0(\phi_0 + V_R)}{q} \frac{N_D}{N_A(N_D + N_A)} \right]^{1/2} \quad (1.7)$$

式中, V_R 为反向偏置电压, ϵ_{Si} 为硅材料相对介电常数(11.8), ϵ_0 为真空介电常数($8.854 \times 10^{-12} \text{ F/m}$)。

如果 $N_A \gg N_D$, 即 P 区重掺杂,则式(1.6)和式(1.7)变为

$$X_n = \left[\frac{2\epsilon_{Si}\epsilon_0(\phi_0 + V_R)}{qN_D} \right]^{1/2} \quad (1.8)$$

$$X_p = \left[\frac{2\epsilon_{Si}\epsilon_0(\phi_0 + V_R)N_D}{qN_A^2} \right]^{1/2} \quad (1.9)$$

即