



高等学校电子与通信类专业“十一·五”规划教材

EDA技术入门与提高

(第二版)

王行 熊寿葵 李衍 编著



西安电子科技大学出版社
<http://www.xduph.com>

高等学校电子与通信类专业“十一五”规划教材

EDA 技术入门与提高

(第二版)

王行 熊寿葵 李衍 编著

西安电子科技大学出版社

2009

内 容 简 介

本书通过大量实例系统地介绍了应用 EDA 技术进行 FPGA/CPLD 器件的数字电路系统仿真设计的方法和技巧。本书的主要内容包括 EDA 技术概述、可编程逻辑器件、Quartus II 7.2 简介、图形输入设计方法、文本输入设计方法、VHDL 入门、常见逻辑单元的 VHDL 描述、有限状态机设计、VHDL 设计实例、设计中的常见问题及 FPGA/CPLD 器件的硬件连接等。

本书内容全面、叙述清晰，既可作为学习 EDA 技术应用的基础教材，也可作为电子类工程技术人员参考书。

★ 本书配有电子教案，需要者可登录出版社网站，免费下载。

图书在版编目(CIP)数据

EDA 技术入门与提高 / 王行，熊寿葵，李衍编著. —2 版. —西安：西安电子科技大学出版社，2009.4
高等学校电子与通信类专业“十一五”规划教材

ISBN 978-7-5606-2215-6

I. E… II. ①王… ②熊… ③李… III. 电子电路—电路设计：计算机辅助设计—高等学校—教材
IV. TN702

中国版本图书馆 CIP 数据核字(2009)第 023096 号

策 划 毛红兵

责任编辑 王 瑛 毛红兵

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西华沐印刷科技有限责任公司

版 次 2009 年 4 月第 2 版 2009 年 4 月第 2 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 19.875

字 数 467 千字

印 数 4001~8000 册

定 价 28.00 元

ISBN 978-7-5606-2215-6/TN · 0494

XDUP 2504002-2

如有印装问题可调换

本社图书封面为激光防伪覆膜，谨防盗版。

西安电子科技大学出版社
高等学校电子与通信类专业“十一五”规划教材
编审专家委员会名单

主任: 杨 震 (南京邮电大学校长、教授)

副主任: 张德民 (重庆邮电大学通信与信息工程学院副院长、教授)

秦会斌 (杭州电子科技大学电子信息学院院长、教授)

通信工程组

组 长: 张德民 (兼)

成 员: (成员按姓氏笔画排列)

王 晖 (深圳大学信息工程学院副院长、教授)

巨永锋 (长安大学信息工程学院副院长、教授)

成际镇 (南京邮电大学通信与信息工程学院副院长、副教授)

刘顺兰 (杭州电子科技大学通信工程学院副院长、教授)

李白萍 (西安科技大学通信与信息工程学院副院长、教授)

张邦宁 (解放军理工大学通信工程学院卫星系系主任、教授)

张瑞林 (浙江理工大学信息电子学院院长、教授)

张常年 (北方工业大学信息工程学院院长、教授)

范九伦 (西安邮电学院信息与控制系系主任、教授)

姜 兴 (桂林电子科技大学信息与通信学院副院长、教授)

姚远程 (西南科技大学信息工程学院副院长、教授)

康 健 (吉林大学通信工程学院副院长、教授)

葛利嘉 (中国人民解放军重庆通信学院军事信息工程系系主任、教授)

电子信息工程组

组 长: 秦会斌 (兼)

成 员: (成员按姓氏笔画排列)

王 荣 (解放军理工大学通信工程学院电信工程系系主任、教授)

朱宁一 (解放军理工大学理学院基础电子学系系主任、工程师)

李国民 (西安科技大学通信与信息工程学院院长、教授)

李邓化 (北京信息工程学院信息与通信工程系系主任、教授)

吴 谨 (武汉科技大学信息科学与工程学院电子系系主任、教授)

杨马英 (浙江工业大学信息工程学院副院长、教授)

杨瑞霞 (河北工业大学信息工程学院院长、教授)

张雪英 (太原理工大学信息工程学院副院长、教授)

张 彤 (吉林大学电子科学与工程学院副院长、教授)

张焕君 (沈阳理工大学信息科学与工程学院副院长、副教授)

陈鹤鸣 (南京邮电大学光电学院院长、教授)

周 杰 (南京信息工程大学电子与信息工程学院副院长、教授)

欧阳征标 (深圳大学电子科学与技术学院副院长、教授)

雷 加 (桂林电子科技大学电子工程学院副院长、教授)

项目策划: 毛红兵

策 划: 曹 昉 寇向宏 杨 英 郭 景

第一版前言

EDA 是 Electronic Design Automation 的缩写,即电子设计自动化,是指使用计算机自动完成电子系统的设计。应用 EDA 技术进行电子产品的设计已成为当今电子设计工程师的一项基本技能。EDA 技术的应用分为两个层次。较初级的层次是使用 Protel、Multisim 等电路设计软件对电路板进行设计仿真,这一层次的应用在国内已经非常普遍;较高层次是应用 MAX+PLUS II、Synplify 等 EDA 软件对可编程逻辑器件 FPGA/CPLD 进行设计和仿真编程,最终实现芯片级的 ASIC 设计。较高层次的应用目前国内发展迅速,市场上急需大量这一层次的电子设计人员,本书主要是针对这一层次的 EDA 电子设计人员而编写的。本书主要介绍使用目前国内较常用的 EDA 软件 MAX+PLUS II 10.2 对 Altera 公司的系列 FPGA/CPLD 器件进行数字电路系统设计的方法,以及 VHDL 硬件描述语言的基本知识。

本书共分 10 章:第 1 章简单介绍了 EDA 技术的发展过程和常用 EDA 软件的结构;第 2 章介绍了常见的可编程逻辑器件 FPGA/CPLD 的性能参数;第 3 章介绍了 EDA 软件 MAX+PLUS II 10.2 的安装及操作界面;第 4 章首先通过实例介绍了在 MAX+PLUS II 10.2 工作平台上使用原理图图形输入方式进行数字电路系统设计的步骤,然后介绍了 MAX+PLUS II 10.2 提供的常用的设计模块;第 5 章通过简单的实例,介绍了在 MAX+PLUS II 10.2 工作平台上使用硬件描述语言进行数字系统设计的步骤;第 6 章介绍了 VHDL 硬件描述语言的基本知识;第 7 章介绍了常见逻辑单元的 VHDL 描述方法,使读者能够迅速地掌握数字电路系统的行为级 VHDL 描述方法;第 8 章介绍了使用比较广泛的状态机的 VHDL 描述方式,使读者能掌握简单状态机的描述方法,进而能设计出较复杂的数字电路系统;第 9 章介绍了在进行数字电路系统设计时需要注意的一些问题;第 10 章介绍了 FPGA/CPLD 器件配置的硬件连接方式。通过这 10 章的学习,读者将能够独立应用 EDA 技术进行数字电路系统的设计和实验。

本书由王行主编,参与本书编写工作的还有李衍、杨杉、欧大生、于华民、谭笛、张家祥、方凌江、毛全胜、刘岩峰、卜先锦、张凤林、魏永森、蔡益朝、张涛、汪文元、李慧、陈光、冯静、张渺、任花梅等。在本书的编写过程中,作者参考了许多专家和学者的著作及研究成果,在这里向他们表示衷心的感谢。

由于作者水平有限,书中不妥之处敬请读者批评指正。

作者

2005 年 2 月 27 日

第二版前言

EDA(Electronic Design Automation)即电子设计自动化,是指使用计算机自动完成电子系统的设计。应用 EDA 技术进行电子产品的设计已成为当今电子设计工程师的一项基本技能。EDA 技术的应用分为两个层次。较初级的层次是使用 Protel、Multisim 等电路设计软件对电路板进行设计仿真,这一层次的应用在国内已经非常普遍。较高层次是应用 Quartus II、Synplify 等 EDA 软件对可编程逻辑器件 FPGA/CPLD 进行设计和仿真编程,最终实现芯片级的 ASIC 设计,该层次的应用目前国内发展迅速,市场上急需大量这一层次的电子设计人员,本书就是主要针对这一层次的 EDA 电子设计人员而编写的。本书主要介绍了使用目前国内较常用的 EDA 软件 Quartus II 7.2 对 Altera 公司的系列 FPGA/CPLD 器件进行数字电路系统设计的方法,以及 VHDL 硬件描述语言的基本知识。

本书共分 11 章,主要内容如下:

- 第 1 章简要介绍了 EDA 技术的发展历程和常用 EDA 软件的结构。
- 第 2 章介绍了常见的可编程逻辑器件 FPGA/CPLD 的性能参数。
- 第 3 章介绍了 EDA 软件 Quartus II 7.2 的安装及操作界面。
- 第 4 章首先通过实例介绍了在 Quartus II 7.2 工作平台上使用原理图图形输入方式进行数字电路系统设计的步骤,然后介绍了 Quartus II 7.2 提供的常用设计模块。
- 第 5 章通过简单的实例介绍了在 Quartus II 7.2 工作平台上使用硬件描述语言进行数字系统设计的步骤。
- 第 6 章介绍了 VHDL 硬件描述语言的基本知识。
- 第 7 章介绍了常见的数字逻辑单元的 VHDL 描述方法,使读者能够迅速地掌握数字电路系统的行为级 VHDL 描述方法。
- 第 8 章介绍了使用比较广泛的状态机的 VHDL 描述方式,使读者能掌握简单状态机的描述方法,进而能设计出较复杂的数字电路系统。
- 第 9 章通过 SPI 接口、UART 接口和 ASK 调制解调器的 VHDL 描述实例让读者对使用 VHDL 进行逻辑设计有更清楚的认识。
- 第 10 章介绍了在进行数字电路系统设计时需要注意的一些问题。
- 第 11 章介绍了 FPGA/CPLD 器件配置的硬件连接方式。

为适应 EDA 软件的发展潮流,第二版实例中使用的 EDA 开发平台软件由 MAX + PLUS II 改为 Quartus II 7.2,并且在第 9 章中增加了较完整的 SPI 接口、UART 接口、ASK 调制解调器的 VHDL 实现实例。此外,与第一版相比,本书添加或修订了 Altera 和 Xilinx 的最新器件介绍,如 Cyclone III 系列、Stratix III 系列、Stratix IV 系列、Spartan-3 系列和 CoolRunner II 系列等。

通过对本书的学习,读者将能够独立应用 EDA 技术进行数字电路系统的设计和实验。

本书由王行担任主编，参与本书编写工作的还有熊寿葵、李衍、叶晓慧、杨杉、欧大生、于华民、谭笛、张家祥、方凌江、毛全胜、刘岩峰、卜先锦、张凤林、魏永森、蔡益朝、张涛、汪文元、李慧、陈光、冯静、张渺、任花梅等。在本书的编写过程中，作者参考了许多专家和学者的著作及研究成果，在这里向他们表示衷心的感谢。

由于作者水平有限，书中不妥之处敬请读者批评指正。

作者

2009年1月

目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术的发展历程	1
1.2 应用 EDA 技术的设计特点	3
1.3 EDA 工具软件结构	4
第 2 章 可编程逻辑器件	7
2.1 可编程逻辑器件概述	7
2.2 Altera 公司的可编程逻辑器件	9
2.2.1 MAX 系列器件	9
2.2.2 FLEX 系列器件	11
2.2.3 Cyclone 系列器件	12
2.2.4 ACEX1K 系列器件	15
2.2.5 Stratix™ 系列器件	15
2.2.6 Arria™ GX 系列器件	22
2.2.7 Excalibur™ 系列器件	23
2.3 其他可编程逻辑器件	23
2.3.1 Xilinx 公司的器件产品	24
2.3.2 Lattice 公司的器件产品	25
第 3 章 Quartus II 7.2 简介	27
3.1 Quartus II 7.2 的设计步骤	27
3.2 Quartus II 7.2 的安装	28
3.2.1 Quartus II 7.2 的版本分类	28
3.2.2 Quartus II 7.2 的安装要求	29
3.2.3 Quartus II 7.2 的安装过程	30
3.2.4 第一次运行 Quartus II 7.2	36
3.3 Quartus II 7.2 的结构和工作环境	37
3.3.1 Quartus II 7.2 的结构	37
3.3.2 Quartus II 7.2 的工作环境	37
第 4 章 图形输入设计方法	45
4.1 4 位加法器设计实例	45
4.1.1 4 位加法器逻辑设计	45

4.1.2	半加器模块设计过程.....	47
4.1.3	全加器模块设计过程.....	63
4.1.4	4 位加法器的设计过程.....	65
4.2	宏功能模块及其使用.....	75
4.2.1	时序电路宏模块.....	75
4.2.2	运算电路宏模块.....	82
4.2.3	2 位十进制数字位移测量仪设计实例.....	85
4.3	LPM 宏模块及其使用.....	107
4.3.1	参数化时序单元宏模块.....	107
4.3.2	参数化运算单元宏模块.....	111
4.3.3	参数化存储器宏模块.....	116
4.3.4	其他模块.....	123
4.3.5	参数化宏模块的使用方法.....	123
第 5 章 文本输入设计方法		130
5.1	文本输入界面.....	130
5.2	用 VHDL 实现 8 位加法器设计.....	131
第 6 章 VHDL 入门		136
6.1	VHDL 的结构.....	136
6.1.1	实体.....	137
6.1.2	结构体.....	139
6.1.3	VHDL 库.....	141
6.1.4	VHDL 程序包.....	143
6.1.5	配置.....	145
6.2	VHDL 的词法元素.....	147
6.2.1	分界符.....	147
6.2.2	标识符.....	147
6.2.3	注释.....	149
6.2.4	字符文字.....	150
6.3	VHDL 的数据对象.....	152
6.4	VHDL 的数据类型.....	153
6.4.1	VHDL 标准程序包 STANDARD 中定义的数据类型.....	154
6.4.2	用户定义的数据类型.....	156
6.4.3	IEEE 预定义标准逻辑位与矢量.....	159
6.4.4	VHDL 的类型转换.....	160
6.5	VHDL 的操作符.....	161
6.5.1	逻辑(LOGICAL)操作符.....	162
6.5.2	算术(ARITHMETIC)操作符.....	162

123	6.5.3 关系(RELATIONAL)操作符	163
123	6.5.4 并置(CONCATENATION)操作符	164
123	6.5.5 操作符的优先级	165
123	6.6 VHDL 的语法基础	165
123	6.6.1 并行语句	165
123	6.6.2 顺序语句	181
123	第 7 章 常见逻辑单元的 VHDL 描述	197
123	7.1 组合逻辑单元的 VHDL 描述	197
123	7.1.1 基本逻辑门的 VHDL 描述	197
123	7.1.2 编码器、译码器和多路选通器的 VHDL 描述	201
123	7.1.3 加法器和求补器的 VHDL 描述	205
123	7.1.4 三态门及总线缓冲器	208
123	7.2 时序电路的 VHDL 描述	211
123	7.2.1 时钟信号和复位信号	211
123	7.2.2 触发器	214
123	7.2.3 寄存器	218
123	7.2.4 计数器	223
123	7.3 存储器的 VHDL 描述	231
123	7.3.1 存储器的数据初始化	231
123	7.3.2 ROM(只读存储器)的 VHDL 描述	231
123	7.3.3 RAM(随机存储器)的 VHDL 描述	233
123	7.3.4 先进先出(FIFO)堆栈的 VHDL 描述	234
123	第 8 章 有限状态机设计	237
123	8.1 有限状态机的优点及转移图描述	237
123	8.1.1 有限状态机的优点	237
123	8.1.2 有限状态机的转移图描述	238
123	8.2 有限状态机的 VHDL 描述	239
123	8.2.1 状态说明	240
123	8.2.2 主控时序进程	240
123	8.2.3 主控组合进程	241
123	8.2.4 辅助进程	242
123	8.3 有限状态机编码	243
123	8.3.1 状态位直接输出型编码	243
123	8.3.2 顺序编码	245
123	8.3.3 一位热码编码(One Hot Encoding)	245
123	8.4 有限状态机剩余状态码的处理	246
123	8.5 有限状态机设计实例	246

第9章 VHDL 设计实例	251
9.1 SPI 接口的 VHDL 实现	251
9.1.1 SPI 接口介绍	251
9.1.2 移位寄存器编程	253
9.1.3 SPI 主从选择模块编程	257
9.1.4 时钟信号发生模块	259
9.1.5 SPI 接口控制管理模块	261
9.1.6 顶层设计 VHDL 描述	268
9.2 URAT 接口的 VHDL 实现	272
9.2.1 UART 接口介绍	272
9.2.2 UART 顶层的模块划分和 VHDL 描述	272
9.2.3 波特率发生模块分析与 VHDL 描述	275
9.2.4 UART 发送模块程序与仿真	277
9.2.5 UART 接收模块分析及其 VHDL 描述	280
9.3 ASK 调制解调器的 VHDL 实现	283
9.3.1 ASK 调制器的 VHDL 描述	283
9.3.2 ASK 解调器的 VHDL 描述	284
第10章 设计中的常见问题	287
10.1 信号毛刺的产生及消除	287
10.1.1 信号毛刺的产生	287
10.1.2 信号毛刺的解决方法	289
10.2 时钟问题	293
10.2.1 信号的建立和保持时间	293
10.2.2 全局时钟	293
10.2.3 门控时钟	294
10.2.4 多时钟系统	295
10.3 复位和清零信号	296
第11章 FPGA/CPLD 器件的硬件连接	297
11.1 编程工艺及方式介绍	297
11.2 ByteBlaster 下载电缆	297
11.3 JTAG 方式编程和配置	299
11.4 PS 配置方式	301
11.5 使用专用配置器件配置 FPGA	305
参考文献	307

第1章 EDA 技术概述

随着电子技术和计算机技术的飞速发展,新的高度集成的电子设计方法不断推出,电子产品的性能越来越高,更新的速度也越来越快。与此同时,市场对电子产品的设计提出了更为严格的要求,从而促进了电子设计自动化(EDA)技术的迅速发展。本章首先简要介绍 EDA 技术的发展历程,然后说明采用 EDA 技术进行 FPGA/CPLD 器件设计的步骤及其特点,使读者能够对 EDA 技术及其在可编程逻辑器件上的应用有一个总体的概念。

1.1 EDA 技术的发展历程

EDA(Electronic Design Automation)即电子设计自动化,是指使用计算机自动完成电子系统的设计。EDA 技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。

EDA 技术通过计算机完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需要完成对系统功能的描述,就可以由计算机软件进行处理并得到设计结果,而且修改设计如同修改软件一样方便,从而极大地提高了设计效率。

从 20 世纪 60 年代中期计算机刚进入实用阶段开始,人们就希望使用计算机进行电子产品的设计,设计人员不断开发出各种计算机辅助设计工具来进行电子系统的设计。随着电路理论和半导体工艺水平的提高,EDA 技术得到了飞速发展。EDA 工具的作用范围从 PCB 板设计延伸到电子线路和集成电路设计,甚至延伸到了整个系统的设计。

EDA 技术的发展共经历了以下三个阶段。

1. CAD 阶段

CAD(Computer Aided Design, 计算机辅助设计)阶段是 EDA 技术发展的最初阶段,这一时期从 20 世纪 60 年代中期到 20 世纪 80 年代初期。在 20 世纪 70 年代 MOS 工艺得到了广泛应用,可编程逻辑技术及其器件已经问世,计算机作为一种运算工具已在科研领域得到广泛应用。这一时期,计算机技术还不是非常先进,计算机的运算速度比较低,人工智能技术尚不发达,只能使用计算机实现一些简单的工作。这一时期的 EDA 技术只能称之为电子设计 CAD 技术。这一时期的 EDA 软件主要是一些功能简单的工具软件,但人们已经开始利用这些工具软件代替手工劳动,辅助进行集成电路版图编辑、PCB 布局布线等工作。通过使用计算机,设计人员可以从大量繁琐重复的计算和绘图工作中解脱出来。

20 世纪 80 年代初,随着电路集成规模的扩大,EDA 技术有了较快的发展。许多软件公司(如 Mentor、DaisySystem 及 LogicSystem 等)进入市场,开始供应带电路图编辑工具和逻辑模拟工具的 EDA 软件。这个时期的软件主要针对产品开发,按照设计、分析、生产和

测试等不同阶段,分别使用不同的软件,每个软件只能完成其中的一项工作,通过顺序循环使用这些软件,可完成设计的全过程。但这样的设计过程存在不同软件之间的接口处理繁琐、缺乏系统级的总体仿真的缺陷。

这一时期的工具软件的代表有 Protel 的早期版本 Tango 布线软件、用于电路模拟的 SPICE 软件和后来产品化的 IC 版图编辑与设计规则检查系统软件等。

2. CAE 阶段

进入 20 世纪 80 年代后,随着计算机技术和电子技术的发展,EDA 技术发展到了 CAE (Computer Aided Engineering, 计算机辅助工程)阶段,这个阶段在集成电路与电子设计方法学以及设计工具集成化方面取得了许多成果,各种设计工具(如原理图输入、编译与链接、逻辑模拟、测试码生成、版图自动布局以及各种单元库)已齐全。由于采用了统一数据管理技术,因而能够将各个工具集成为一个 CAE 系统。按照设计方法学制定的设计流程,可以实现从设计输入到版图输出的全程设计自动化。这个阶段主要采用基于单元库的半定制设计方法,采用门阵列和标准单元设计的各种专用集成电路(Application Specific Integrated Circuit, ASIC)得到了极大的发展,将集成电路工业推入了 ASIC 时代。多数系统中集成了 PCB 自动布局布线软件以及热特性、噪声、可靠性等分析软件,进而可以实现电子系统设计自动化。

3. EDA 阶段

20 世纪 90 年代以来,微电子技术以惊人的速度发展,其工艺水平达到深亚微米级,在一个芯片上可集成数百万乃至上千万只晶体管,工作速度可达到吉赫兹,这为制造出规模更大、速度更快和信息容量更大的芯片系统提供了条件,但同时也对 EDA 系统提出了更高的要求,并促进了 EDA 技术的发展。此阶段主要出现了以高级语言描述、系统仿真和综合技术为特征的第三代 EDA 技术,不仅极大地提高了系统的设计效率,而且使设计人员摆脱了大量的辅助性及基础性的工作,将精力集中于创造性的方案与概念的构思上。

下面简单介绍这个阶段 EDA 技术的主要特征。

(1) 高层综合(High Level Synthesis, HLS)的理论与方法取得了较大进展,将 EDA 设计层次提高到了行为级(又称系统级),并划分为逻辑综合和测试综合。逻辑综合就是对不同层次和不同形式的设计描述进行转换,通过综合算法,以具体的工艺背景实现高层目标所规定的优化设计;通过设计综合工具,可将电子系统的高层行为描述转换到低层硬件描述和确定的物理实现,使设计人员无需直接面对低层电路,不必了解具体的逻辑器件,从而把精力集中到系统行为建模和算法设计上。测试综合是以设计结果的性能为目标的综合方法,以电路的时序、功耗、电磁辐射和负载能力等性能指标为综合对象。测试综合是保证电子系统设计结果稳定可靠工作的必要条件,也是对设计进行验证的有效方法,其典型工具有 Synopsys 公司的 Behavioral Compiler 以及 Mentor Graphics 公司的 Monet 和 Renoir。

(2) 采用硬件描述语言(Hardware Description Language, HDL)来描述 10 万门以上的设计,并形成了 VHDL(Very High Speed Integrated Circuit HDL)和 Verilog HDL 两种标准硬件描述语言。它们均支持不同层次的描述,使得对复杂 IC 的描述规范化,便于传递、交流、保存与修改,也便于重复使用。它们多应用于 FPGA/CPLD/EPLD 的设计中。大多数的 EDA 软件都兼容这两种标准。硬件描述语言的使用使电子设计成果以自主知识产权的方式得以

明确表达和确认成为可能,大型的芯片生产商不再将大部分资金用于芯片生产线,而是转而进行具有知识产权的芯片 IP 核的设计,然后寻找加工厂商进行生产。

(3) 采用平面规划(Floorplaning)技术对逻辑综合和物理版图设计进行联合管理,做到在逻辑综合早期设计阶段就考虑到物理设计信息的影响。通过这些信息,设计者能更进一步进行综合与优化,并保证所作的修改只会提高性能而不会对版图设计带来负面影响。这对在深亚微米级布线延时已成为主要延时的情况下,加速设计过程的收敛与成功实现是有所帮助的。在 Synopsys 和 Cadence 等公司的 EDA 系统中均采用了这项技术。

(4) 可测性综合设计。随着 ASIC 的规模与复杂性的增加,测试难度与费用急剧上升,由此产生了将可测性电路结构制作在 ASIC 芯片上的想法,于是开发了扫描插入、BLST(内建自测试)、边界扫描等可测性设计(DFT)工具,并已集成到 EDA 系统中。其典型产品有 Compass 公司的 Test Assistant 和 Mentor Graphics 公司的 LBLSTArchitect、BSDArchitect、DFTAdvisor 等。

(5) 带有嵌入 IP 模块的 ASIC 设计提供软/硬件协同系统设计工具。协同验证弥补了硬件设计和软件设计流程之间的空隙,保证了软/硬件之间的同步协调工作。协同验证是当今系统集成核心,它以高层系统设计为主导,以性能优化为目标,融合了逻辑综合、性能仿真、形式验证和可测性设计,其代表产品如 Mentor Graphics 公司的 SeamlessCAV。

(6) 建立并行设计工程 CE(Concurrent Engineering)框架结构的集成化设计环境,以适应当今 ASIC 设计的要求。在这种集成化设计环境中,使用统一的数据管理系统与完善的通信管理系统,由若干相关的设计小组共享数据库和知识库,并行地进行设计,而且在各种平台之间可以平滑过渡。

目前,全球范围内有近百家厂商提供了 EDA 工具软件,这些公司大体可分两类:一类是 EDA 专业软件公司,其推出的 EDA 系统标准化程度较高,兼容性好,注意追求技术上的先进性,适用于学术性基础研究,这方面较著名的公司有 Mentor Graphics、Cadence Design Systems、Synopsys、Viewlogic Systems 和 Altum 等;另一类是半导体器件厂商,为了销售其产品而开发 EDA 工具,用这些 EDA 工具器件的工艺特点进行优化设计,提高资源利用率,降低功耗,改善性能,这方面较著名的公司有 Altera、Xilinx、AMD、TI 和 Lattice 等。

1.2 应用 EDA 技术的设计特点

与采用传统的电子设计技术相比,应用 EDA 技术的可编程逻辑器件设计具有以下特点。

(1) 强大的系统建模与电路仿真功能。EDA 技术中最具代表性的功能是日益强大的逻辑设计仿真测试功能。利用该功能,只需通过计算机就能在各种不同层面对所设计的电子系统的性能特点进行准确的测试与仿真,在完成实际系统的安装后,还能对系统上的目标器件进行边界扫描测试。这一切都极大地提高了大规模系统电子设计的自动化程度。

与传统的使用专用功能器件等分离元件构成的应用电子系统的技术性能和设计手段相比,EDA 技术及其设计系统具有更加明显的优势。

(2) 采用硬件描述语言(HDL)进行设计。应用 EDA 技术后,用户可以采用硬件描述语言对电子芯片进行设计,即采用 HDL 对数字电子系统进行抽象的行为描述或者具体的内部线路结构描述,从而在电子设计的各个阶段、各个层次进行计算机模拟验证,无需构建实

际的电路,这样既能保证设计过程的正确性,又可以大大降低设计成本,缩短设计周期。

使用硬件描述语言,用户能进行方便的文档管理。使用硬件描述语言进行设计后,用户可以使用库(Library)实现设计的复用。通过库的不断扩充,EDA 工具将能够完成更多的自动设计过程。

通过硬件描述语言进行的设计具有自主知识产权。这一点对于电子芯片生产厂家来说非常重要,未来的芯片厂商将会把资金重点投到芯片 IP 核的开发上,芯片的生产可交由专业的生产商组织。

(3) 开发技术的标准化、规范化以及 IP 核的可利用性。传统的电子设计方法缺乏标准规范,设计效率低,系统性能差,开发成本高,市场竞争能力小。以单片机或 DSP 开发为例,每一次新的开发,必须选用具有更高性价比和更适合设计项目的处理器,但由于不同的处理器其结构、语言和硬件特性有很大差异,设计者每一次都必须重新了解和学习相关的知识,例如重新了解器件的详细结构和电气特性,重新设计该处理器的功能软件,甚至重新购置和了解新的开发系统和编译软件。

采用 EDA 技术的可编程逻辑器件的设计就完全不同。EDA 的设计语言是标准化的,不会因设计对象的不同而改变,EDA 软件平台支持任何标准化的设计语言;采用 EDA 技术进行设计,其设计成果具有通用性和规范的接口协议、良好的可移植性与可测试性,为高效、高质的系统开发提供了可靠的保证。因此,EDA 技术适用于高效率、大规模系统设计的自顶向下的设计方案。传统的电子设计技术没有规范的设计工具和表达方式,所以无法采用这种先进的设计流程。

(4) 对设计者的硬件知识和硬件经验要求低。传统的电子设计对于电子设计工程师的要求非常高,不仅需要在电子技术理论和设计实践方面拥有很深的造诣,还必须熟悉各种在线测试仪表和开发工具的使用方法及性能指标。而采用 EDA 技术对设计者的要求就低得多,使用标准化的硬件描述语言,设计者能更大程度地将自己的才智和创造力集中在设计项目性能的提高和成本的降低上,而将更具体的硬件实现工作让专业部门来完成。

1.3 EDA 工具软件结构

本节主要介绍当今广泛使用的以开发 FPGA 和 CPLD 为主的 EDA 工具软件的结构。应用 EDA 的设计工具软件在 EDA 技术应用中占据及其重要的位置,EDA 技术是利用计算机完成电子设计全程自动化的设计技术,基于计算机环境的 EDA 软件是 EDA 技术的基础。以 EDA 设计流程中涉及的主要软件包分类,用于可编程逻辑器件的 EDA 工具软件的结构大致可以分为设计输入模块、HDL 综合器、仿真器、适配器和下载器等五个模块。

1. 设计输入模块

设计输入模块用于进行电子设计的输入,通常支持多种表达方式的电子设计输入,如原理图输入方式、状态图输入方式、波形输入方式以及 HDL 的文本输入方式等。

可编程逻辑器件厂商提供的 EDA 开发工具中都含有这类输入编辑器,如 Xilinx 公司的 Foundation 以及 Altera 公司的 MAX+PLUS II 与 Quartus II 等。

由专业的 EDA 工具供应商提供的设计输入工具一般与该公司的其他电路设计软件整

合,比较有代表性的是 Innovada 公司的 eProduct Designer 中的原理图输入管理工具 Dx Designer,它既可作为 PCB 设计的原理图输入环境,又可作为 IC 设计、模拟仿真和 FPGA 设计的原理图输入环境。比较常见的还有 Cadence 公司的 Orcad 中的 Capture 工具等。这一类工具一般都设计成通用型的原理图输入工具。由于针对 FPGA/CPLD 设计的原理图需要特殊原理图库(含原理图中的 Symbol)的支持,因此其输出并不与 EDA 流程的下一步设计工具直接相连,而要通过 EDIF 文件进行传递。

HDL 采取文本输入方式,用普通的文本编辑器即可完成 HDL 的输入。常用的文本编辑器有 UltraEdit、Vim、XEmacs 等,绝大部分的 EDA 工具中都提供有 HDL 编辑器,如 Aldec 公司的 ActiveHDL 中的 HDL 编辑器、Quartus II 中的 Text Editor 文本编辑器等。

某些 EDA 设计输入工具把图形设计与 HDL 文本设计相结合,如在提供 HDL 编辑器的同时提供状态机编辑器,用户可用转移图描述状态机,直接生成 HDL 文本输出。在这些输入工具中,比较流行的有 VisualHDL、FPGA Adantage、ActiveHDL 中的 Active State 等,尤其是 HDL Designer Series 中的各种输入编辑器,可以接受诸如原理图、状态图、表格图等输入形式,并将它们转换成 HDL(VHDL/Verilog HDL)文本表达方式,很好地解决了通用性(HDL 输入的优点)与易用性(图形法的优点)之间的矛盾。

2. HDL 综合器

由于目前通用的硬件描述语言为 VHDL 和 Verilog HDL,因此这里介绍的 HDL 综合器主要是针对这两种语言的。

硬件描述语言最初是用于电路逻辑的建模和仿真的,Synopsys 公司推出了第一个 HDL 综合器后,其他公司相继推出了基于 HDL 的综合器,至此,HDL 才被直接用于电路的设计。

由于 HDL 综合器实现上的困难,因此成熟的 HDL 综合器并不多。比较常用且性能良好的 FPGA/CPLD 设计的 HDL 综合器有 Synopsys 公司的 FPGA Compiler 和 FPGA Express 综合器、Synplicity 公司的 Synplify Pro 综合器和 Exemplar Logic 公司的 Leonardo Spectrum 综合器等。

3. 仿真器

仿真器有基于元件(逻辑门)的仿真器和硬件描述语言(HDL)的仿真器两种,基于元件的仿真器缺乏 HDL 仿真器的灵活性和通用性,在此主要介绍 HDL 仿真器。

在 EDA 设计技术中,仿真的地位十分重要,行为模型的表达、电子系统的建模、逻辑电路的验证以及门级系统的测试,每一步都离不开仿真器的模拟检测。在 EDA 发展的初期,快速地进行电路逻辑仿真是当时的核心问题,即使在现在,各设计环节的仿真仍然是整个 EDA 工程流程中最耗时间的一个步骤,因此仿真器的仿真速度以及仿真的准确性、易用性已成为衡量仿真器的重要指标。按对设计语言的处理方式分类,仿真器可分为编译型仿真器和解释型仿真器。

编译型仿真器的仿真速度较快,但需要预处理,因此不便于即时修改。解释型仿真器的仿真速度一般,但是可随时修改仿真环境和条件。

按处理的硬件描述语言类型分,HDL 仿真器可分为如下几种:

- (1) VHDL 仿真器;
- (2) Verilog HDL 仿真器;

- (3) 混合型 HDL 仿真器, 可同时处理 Verilog HDL 与 VHDL;
- (4) 其他 HDL 仿真器, 针对其他 HDL 的仿真, 例如 AHDL。

ModelTechnology 公司的 ModelSim 是一个出色的 VHDL/Verilog HDL 混合型仿真器。它也属于编译型仿真器, 仿真执行速度较快。Cadence 公司的 Verilog-XL 是最好的 Verilog 仿真器之一。

按仿真的电路描述级别的不同, HDL 仿真器可以单独或综合完成以下各仿真步骤:

- (1) 系统级仿真;
- (2) 行为级仿真;
- (3) RTL 级仿真;
- (4) 门级时序仿真。

按是否考虑硬件延时分类, 仿真可分为功能仿真和时序仿真。根据输入仿真文件的不同, 仿真可以由不同的仿真器完成, 也可以由同一个仿真器完成。

几乎所有的 EDA 厂商都提供了基于 Verilog HDL 和 VHDL 的仿真器。常用的 HDL 仿真器除上面提及的 ModelSim 外, 还有 Aldec 的 Active HDL、Synopsys 的 VCS 和 Cadence 的 NC-Sim 等。

4. 适配器

适配器(布局布线器)的任务是完成目标系统在器件上的布局布线。适配通常由可编程逻辑器件的厂商提供的专门针对器件开发的软件来完成。这些软件可以单独存在或嵌入在厂商的针对自己产品的集成 EDA 开发环境中。例如, Lattice 公司在其 ispEXPERT 开发系统嵌有自己的适配器, 同时还提供了性能良好、使用方便的专用适配器 ispEXPERT Compiler; Altera 公司的 EDA 集成开发环境 MAX+PLUS II 和 Quartus II 中都含有嵌入的适配器 Fitter; Xilinx 公司的 Foundation 和 ISE 中也同样含有自己的适配器。

适配器最后输出的是各厂商自己定义的下载文件, 用于下载到器件中, 以实现设计。

5. 下载器(编程器)

下载器(编程器)的作用是把设计下载到相应的实际器件, 完成硬件设计。