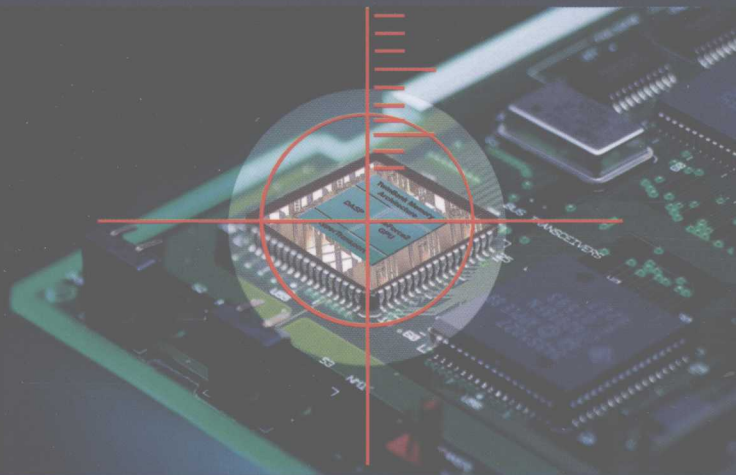




普通高等教育“十一五”国家级规划教材



EDA 技术与实验

EDA JISHU YU SHIYAN

杨春玲 朱 敏 主编



哈尔滨工业大学出版社
HARBIN INSTITUTE OF TECHNOLOGY PRESS



普通高等教育“十一五”国家级规划教材

EDA 技术与实验

主 编 杨春玲 朱 敏
副主编 杨荣峰 陶隽源

哈尔滨工业大学出版社

内 容 简 介

本书共分9章,分别介绍了 Altera 公司迄今为止最新器件的结构、Altera 公司设计套件 Quartus II 7.0 和基于 Nios II 的 SOPC 系统构建方法,给出了基于台湾友品公司 DE2 和康芯公司 GW48 实验板的设计实例。第4章从实例入手,介绍了 Verilog 语言常用的命令及语法结构。第5章给出了 HDL 编码优化方法和编码规范。第6章的 DSP 硬件实现算法和第9章的 FPGA 工程应用实例来源于作者及所在的课题组多年来的工程实际开发项目。

本书总结了近几年 FPGA 开发设计的经验,力求给出 FPGA 设计的一些较高级设计技巧和实用的设计方法,使设计人员和学生在科研开发、毕业设计及电子竞赛中获得启发和帮助。

图书在版编目(CIP)数据

EDA 技术与实验/杨春玲,朱敏主编. —哈尔滨:哈尔滨工业大学出版社,2009.3

普通高等教育“十一·五”国家级规划教材

ISBN 978-7-5603-2813-3

I. E… II. ①杨… ②朱… III. 电子电路-电路设计:计算机辅助设计-高等学校-教材 IV. TN702

中国版本图书馆 CIP 数据核字(2009)第 024244 号

策划编辑 杨 桦

责任编辑 范业婷

封面设计 范业婷 高永利

出版发行 哈尔滨工业大学出版社

社 址 哈尔滨市南岗区复华四道街 10 号 邮编 150006

传 真 0451-86414749

网 址 <http://hitpress.hit.edu.cn>

印 刷 哈尔滨市工大节能印刷厂

开 本 787mm×1092mm 1/16 印张 22.25 字数 510 千字

版 次 2009 年 4 月第 1 版 2009 年 4 月第 1 次印刷

书 号 ISBN 978-7-5603-2813-3

定 价 38.00 元

(如因印装质量问题影响阅读,我社负责调换)

前 言

电子设计自动化(Electronic Design Automation, EDA)是指利用计算机完成电子系统的设计。EDA 技术是以计算机和微电子技术为先导,汇集了计算机图形学、拓扑、逻辑学、微电子工艺与结构学和计算数学等多种计算机应用学科最新成果的先进技术。它以计算机为工具,代替人完成数字系统的逻辑综合、布局布线和设计仿真等工作。设计人员只需完成对系统功能的描述,就可以由计算机软件进行处理,得到设计结果,而且修改设计如同修改软件一样方便,可以极大地提高设计效率。

目前,电子设计技术的核心就是 EDA 技术。EDA 技术已在各大公司、企事业单位和科研教学部门广泛使用。EDA 技术目前主要包括 HDL 语言、FPGA/CPLD 开发技术、SOPC(片上可编程系统)及 ASIC(专用集成电路)设计技术等。

本书共分 9 章,分别介绍了 Altera 公司迄今为止最新器件的结构、Altera 公司设计套件 Quartus II 7.0 和基于 Nios II 的 SOPC 系统构建方法,给出了基于台湾友晶公司 DE2 和康芯公司 GW48 实验板的设计实例。第 4 章从实例入手,介绍了 Verilog 语言常用的命令及语法结构。第 5 章给出了 HDL 编码优化方法和编码规范。

本书作者将承担的一些 FPGA 方面的科研课题和指导学生参加 Altera 设计大赛的获奖作品做了归纳提炼和总结,编写在第 6 章 DSP 硬件实现算法和第 9 章 FPGA 工程应用实例中。

总之,本书总结了近几年 FPGA 设计的经验,力求给出 FPGA 设计的一些较高级设计技巧和实用设计方法,使设计人员和学生在科研开发、毕业设计及电子竞赛中获得启发和帮助。

参加本书编写的有杨春玲、朱敏、杨荣峰、陶隽源、吕超、王敬美、李宪全、綦志强、王睐来、朱厚存、孙超。全书由杨春玲和朱敏任主编,杨荣峰和陶隽源任副主编。

由于时间仓促,书中难免有疏漏或不妥之处,恳请读者批评指正。

编 者

2009 年 2 月

目 录

第 1 章 概述	1
1.1 EDA 技术的发展	1
1.1.1 EDA 技术的基本特征	1
1.1.2 EDA 技术的发展	3
1.2 嵌入式系统简介	4
1.2.1 嵌入式系统定义	5
1.2.2 嵌入式系统分类	5
1.3 IP 核	6
1.4 SOPC 技术	7
第 2 章 Altera 公司可编程逻辑器件简介	10
2.1 Cyclone II 器件	10
2.2 Cyclone III 器件	17
2.3 Stratix III 器件	22
第 3 章 Quartus II	30
3.1 Quartus II 软件介绍	30
3.1.1 Quartus II 的主要功能	30
3.1.2 Quartus II 的设计流程	30
3.2 DE2 介绍	31
3.2.1 DE2 开发平台	31
3.2.2 DE2 控制面板	33
3.3 应用实例一:4 位加法器	34
3.4 应用实例二:正弦信号发生器	46
3.4.1 顶层 VHDL 文件设计	46
3.4.2 正弦信号数据 ROM 定制	52
3.5 应用实例三:VGA 显示及 SRAM 读写实例	63
第 4 章 Verilog 语言	86
4.1 Verilog 概述	86
4.1.1 Verilog HDL 简介	86
4.1.2 Verilog HDL 语言的特点	86
4.1.3 Verilog HDL 的描述风格	87
4.2 Verilog HDL 结构	88
4.3 运算符	96
4.4 数据选择器	100

4.5	编码器和译码器	109
4.6	数字相关器	116
4.7	计数器	119
4.8	状态机	128
第 5 章	HDL 编码指南	135
5.1	概述	135
5.2	基本编码方法	135
5.3	可移植性编码	144
5.4	时钟和 Reset 信号设计指南	146
5.5	可综合性编码	150
5.6	可综合划分	161
第 6 章	DSP 硬件算法实现	165
6.1	数字滤波算法 FPGA 实现	165
6.1.1	FIR 滤波器	165
6.1.2	IIR 滤波器	168
6.1.3	FIR 及 IIR 数字滤波器实现	170
6.2	FFT 和 DCT 变换	183
6.2.1	FFT 算法	183
6.2.2	DCT 变换的 FPGA 实现	189
6.3	双模式 CORDIC 算法的 FPGA 实现	195
6.3.1	CORDIC 算法简介	195
6.3.2	CORDIC 算法原理	196
6.3.3	CORDIC 算法的 FPGA 实现	198
6.3.4	仿真结果与分析	202
6.4	全数字锁相环(DPLL)FPGA 实现	205
6.4.1	数字锁相环简介	205
6.4.2	数字锁相环原理	205
6.4.3	数字锁相环的实现	209
6.5	CRC 校验	214
6.5.1	CRC 校验码原理	214
6.5.2	CRC 校验码编码	215
6.5.3	CRC 校验码的 Verilog 实现	219
第 7 章	基于 Nios II 的 SOPC 系统	221
7.1	SOPC 简介	221
7.2	Nios II 嵌入式软核处理器	222
7.2.1	Nios II 处理器特性	222
7.2.2	可配置软核处理器	222
7.3	Nios II 处理器架构	223

7.3.1 寄存器文件	224
7.3.2 ALU 算术逻辑单元	224
7.3.3 异常控制器和中断控制器	224
7.3.4 存储器和 I/O 组织	225
7.4 Avalon 存储器映射桥接器	228
第 8 章 Nios II 系统设计实验	239
8.1 Nios II 系统设计所需要的开发工具	239
8.2 开发平台及工具简要介绍	239
8.3 设计实例一:点亮 7 段 LED 数码管	241
8.4 设计实例二:自定义 PWM 组件设计	256
第 9 章 FPGA 工程应用实例	269
9.1 数据采集与滤波系统	269
9.2 电机控制器模块设计	273
9.2.1 SPWM 技术	273
9.2.2 SPWM 技术的 FPGA 实现	274
9.2.3 数字 PID 控制模块设计	287
9.3 DDS 设计	294
9.3.1 DDS 技术原理	294
9.3.2 DDS 模块的 FPGA 实现	296
9.4 图像处理算法设计	300
9.4.1 数字图像采集 FPGA 实现	300
9.4.2 3×3 中值滤波算法的 FPGA 实现	308
9.4.3 简单图像增强算法的 FPGA 实现	317
9.5 ModelSim 仿真实验:三角波发生器	326
附录	334
附录 1 GW48 教学实验系统简介	334
附录 2 DE2 实验板引脚对照表	337
附录 3 Xilinx 公司 FPGA 器件配置电路	343
附录 4 Altera 公司 FPGA 配置电路原理图	345
参考文献	347

第 1 章 概 述

内容提要

本章主要介绍 EDA 技术的发展概况,可编程逻辑器件的发展概况,PLD 和其他技术的比较,硬件描述语言,EDA 与传统电子设计方法的比较,IP 核的概念。通过本章的学习,使大家对 EDA 技术有一个初步的了解。

1.1 EDA 技术的发展

电子设计技术的核心就是 EDA 技术,EDA 是指以计算机为工作平台,融合应用电子技术、计算机技术、智能化技术最新成果而研制成的电子 CAD 通用软件包,主要能辅助进行三方面的设计工作,即 IC 设计、电子电路设计和 PCB 设计。EDA 技术已有 30 多年的发展历程,大致可分为三个阶段。20 世纪 70 年代为计算机辅助设计(CAD)阶段,人们开始用计算机辅助进行 IC 版图编辑、PCB 布局布线,取代了手工操作。20 世纪 80 年代为计算机辅助工程(CAE)阶段。与 CAD 相比,CAE 除了有纯粹的图形绘制功能外,又增加了电路功能设计和结构设计,并且通过电气连接网络表将两者结合在一起,实现了工程设计。CAE 的主要功能是:原理图输入,逻辑仿真,电路分析,自动布局布线等。20 世纪 90 年代为电子系统设计自动化(EDA)阶段。

1.1.1 EDA 技术的基本特征

EDA 代表了当今电子设计技术的最新发展方向,它的基本特征是:设计人员按照“自顶向下”的设计方法,对整个系统进行方案设计和功能划分,系统的关键电路用一片或几片专用集成电路(ASIC)实现,然后采用硬件描述语言(HDL)完成系统行为级设计,最后通过综合器和适配器生成最终的目标器件,这样的设计方法被称为高层次的电子设计方法。下面介绍与 EDA 基本特征有关的几个概念。

1. “自顶向下”的设计方法

10 年前,电子设计的基本思路还是选用标准集成电路“自底向上”地构造出一个新的系统,这样的设计方法就如同一砖一瓦建造金字塔,不仅效率低、成本高,而且容易出错。

高层次设计是一种“自顶向下”的全新设计方法,这种设计方法首先从系统设计入手,在顶层进行功能方框图的划分和结构设计。在方框图一级进行仿真、纠错,并用硬件描述语言对高层次的系统行为进行描述,在系统一级进行验证。然后,用综合优化工具生成具体门电路的网络表,其对应的物理实现级可以是印刷电路板或专用集成电路。由于设计

的主要仿真和调试过程是在高层次上完成的,这既有利于早期发现结构设计上的错误,避免工作时间的浪费,又减少了逻辑功能仿真的工作量,提高了设计的一次成功率。

2. ASIC 设计

现代电子产品的复杂度日益提高,一个电子系统可能由数万个中小规模集成电路构成,这就带来了体积大、功耗大、可靠性差的问题。解决这一问题的有效方法就是采用 ASIC 芯片进行设计。ASIC 按照设计方法的不同可分为全定制 ASIC、半定制 ASIC 和可编程 ASIC(也称为可编程逻辑器件)。

设计全定制 ASIC 芯片时,设计师首先要定义芯片上所有晶体管的几何图形和工艺规则,然后将设计结果交由厂家去做出产品。这种设计方法的优点是芯片可以获得最优的性能,即面积利用率高、速度快、功耗低,而缺点是开发周期长、费用高,只适合大批量产品开发。

半定制 ASIC 芯片的版图设计方法分为门阵列设计法和标准单元设计法,这两种方法都是约束性的设计方法,其主要目的就是简化设计,以牺牲芯片性能为代价来缩短开发时间。

可编程逻辑芯片与上述掩模 ASIC 的不同之处在于:设计人员完成版图设计后,在实验室内就可以烧制出自己的芯片,无须 IC 厂家的参与,大大缩短了开发周期。

可编程逻辑器件自 20 世纪 70 年代以来,经历了 PAL、GAL CPLD、FPGA 几个发展阶段,其中 CPLD/FPGA 为高密度可编程逻辑器件,目前集成度已高达 200 万门/片,它将 ASIC 集成度高的优点和可编程逻辑器件设计生产方便的特点结合在一起,特别适合于样品研制或小批量产品开发,使产品能以最快的速度上市,而当市场扩大时,它可以很容易地转由掩模 ASIC 实现,因此开发风险也大为降低。

上述 ASIC 芯片,尤其是 CPLD/FPGA 器件,已成为现代高层次电子设计方法的实现载体。

3. 硬件描述语言

硬件描述语言(HDL)是一种用于设计硬件电子系统的计算机语言,它用软件编程的方式来描述电子系统的逻辑功能、电路结构和连接形式,与传统的门级描述方式相比,它更适合大规模系统的设计。例如一个 32 位的加法器,利用图形输入软件需要输入 500 ~ 1 000 个门,而利用 VHDL 语言只需要书写一行“ $A = B + C$ ”即可。而且 VHDL 语言可读性强,易于修改和发现错误。早期的硬件描述语言,如 ABEL、HDL、AHDL,由不同的 EDA 厂商开发,互不兼容,而且不支持多层次设计,层次间翻译工作要由人工完成。为了克服以上不足,1985 年美国国防部正式推出了高速集成电路硬件描述语言 VHDL。1987 年,IEEE 采纳 VHDL 为硬件描述语言标准(IEEE STD—1076)。

VHDL 是一种全方位的硬件描述语言,包括系统行为级、寄存器传输级和逻辑门级多个设计层次,支持结构、数据流和行为三种描述形式的混合描述,因此 VHDL 几乎覆盖了以往各种硬件描述语言的功能,整个“自顶向下”或“自底向上”的电路设计过程都可以用 VHDL 完成。VHDL 还具有以下优点:

(1) VHDL 的宽范围描述能力使它成为高层次设计的核心,将设计人员的工作重心提高到了系统功能的实现与调试,而花较少的精力用于物理实现。

(2)VHDL 可以用简洁明确的代码描述来进行复杂控制逻辑设计,灵活且方便,而且也便于设计结果的交流、保存和重用。

(3)VHDL 的设计不依赖于特定的器件,方便了工艺的转换。

(4)VHDL 是一个标准语言,为众多的 EDA 厂商支持,因此移植性好。

4. EDA 系统框架结构

EDA 系统框架结构(Framework)是一套配置和使用 EDA 软件包的规范。目前主要的 EDA 系统都建立了框架结构,如 CADENCE 公司的 Design Framework, Mentor 公司的 Falcon Framework,而且这些框架结构都遵守国际 CFI 组织制定的统一技术标准。框架结构能将来自不同 EDA 厂商的工具软件进行优化组合,集成在一个易于管理的统一的环境之下,而且还支持任务之间、设计师之间以及整个产品开发过程中的信息传输与共享,是并行工程和“自顶向下”设计实现的基础。

1.1.2 EDA 技术的发展

EDA 技术的每一次进步,都引起了设计层次上的一次飞跃,从设计层次上分,20 世纪 70 年代为物理级设计(CAD),20 世纪 80 年代为电路级设计(CAE),20 世纪 90 年代进入到系统级设计(EDA)。物理级设计主要指 IC 版图设计,一般由半导体厂家完成,对电子工程师没有太大的意义,因此本文重点介绍电路级设计和系统级设计。

1. 电路级设计

电子工程师接受系统设计任务后,首先确定设计方案,并选择能实现该方案的合适元器件,然后根据具体的元器件设计电路原理图,进行第一次仿真,其中包括数字电路的逻辑模拟、故障分析,模拟电路的交直流分析、瞬态分析。在进行系统仿真时,必须有元件模型库的支持,计算机上模拟的输出波形代替了实际电路调试中的信号源和示波器。这一次仿真主要是检验设计方案在功能方面的正确性。

仿真通过后,根据原理图产生的电气连接网络表进行 PCB 板的自动布局布线。在制作 PCB 板之前还可以进行 PCB 后分析,其中包括热分析、噪声及窜扰分析、电磁兼容分析、可靠性分析等,并可将分析后的结果参数反标回电路图,进行第二次仿真,也称为后仿真。后仿真主要是检验 PCB 板在实际工作环境中的可行性。

由此可见,电路级的 EDA 技术使电子工程师在实际的电子系统产生前,就可以全面地了解系统的功能特性和物理特性,从而将开发风险消灭在设计阶段,缩短了开发时间,降低了开发成本。

2. 系统级设计

进入 20 世纪 90 年代以来,电子信息类产品的开发明显呈现两个特点:一是产品复杂程度提高;二是产品上市时限紧迫。然而,电路级设计本质上是基于门级描述的单层次设计,设计的所有工作(包括设计输入、仿真和分析、设计修改等)都是在基本逻辑门这一层次上进行的,显然这种设计方法不能适应新的形势,一种高层次的电子设计方法,即系统级设计方法应运而生。

高层次设计是一种“概念驱动式”设计,设计人员无须通过门级原理图描述电路,而是针对设计目标进行功能描述。由于摆脱了电路细节的束缚,设计人员可以把精力集中于

创造性的方案与概念的构思上,一旦这些概念构思以高层次描述的形式输入计算机,EDA 系统就能以规则驱动的方式自动完成整个设计。这样,新的概念就能迅速有效地成为产品,大大缩短了产品的研制周期。不仅如此,高层次设计只是定义系统的行为特性,可以不涉及实现工艺,因此还可以在厂家综合库的支持下,利用综合优化工具将高层次描述转换成针对某种工艺优化的网络表,使工艺转化变得轻而易举。

系统级设计步骤如下:

第 1 步:工程师按照“自顶向下”的设计方法进行系统划分。

第 2 步:输入 VHDL 代码,这是高层次设计中最为普遍的输入方式。此外,还可以采用图形输入方式(框图、状态图等),这种输入方式具有直观、容易理解的优点。

第 3 步:将以上的设计输入编译成标准的 VHDL 文件。

第 4 步:进行代码级的功能仿真,主要是检验系统功能设计的正确性。这一步骤适用于大型设计,因为对于大型设计来说,在综合前对源代码仿真,就可以大大减少设计重复的次数和时间。一般情况下,这一仿真步骤可略去。

第 5 步:利用综合器对 VHDL 源代码进行综合优化处理,生成门级描述的网络表文件,这是将高层次描述转化为硬件电路的关键步骤。综合优化是针对 ASIC 芯片供应商的某一产品系列进行的,所以综合的过程要在相应的厂家综合库支持下才能完成。

第 6 步:利用产生的网络表文件进行适配前的时序仿真,仿真过程不涉及具体器件的硬件特性,较为粗略。一般的设计也可略去这一仿真步骤。

第 7 步:利用适配器将综合后的网络表文件针对某一具体的目标器件进行逻辑映射操作,包括底层器件配置、逻辑分割、逻辑优化、布局布线。

第 8 步:在适配完成后,产生多项设计结果:①适配报告,包括芯片内部资源利用情况,设计的布尔方程描述情况等;②适配后的仿真模型;③器件编程文件。根据适配后的仿真模型,可以进行适配后的时序仿真,因为已经得到器件的实际硬件特性(如时延特性),所以仿真结果能比较精确地预期未来芯片的实际性能。如果仿真结果达不到设计要求,就需要修改 VHDL 源代码或选择不同速度和品质的器件,直至满足设计要求。

第 9 步:将适配器产生的器件编程文件通过编程器或下载电缆载入到目标芯片 FPGA 或 CPLD 中。如果是大批量产品开发,则通过更换相应的厂综合库,轻易地转由 ASIC 形式实现。

综上所述,EDA 技术是电子设计领域的一场革命,目前正处于高速发展阶段,每年都有新的 EDA 工具问世。广大电子工程人员掌握这一先进技术,不仅是提高设计效率的需要,更是我国电子工业在世界市场上生存、竞争与发展的需要。

1.2 嵌入式系统简介

嵌入式系统本身是一个相对模糊的定义。目前,嵌入式系统已经渗透到人们生活中的每个角落,工业、服务业、消费电子……而恰恰由于这种范围的扩大,使得“嵌入式系统”更加难于明确定义。

1.2.1 嵌入式系统定义

根据 IEEE(国际电机工程师协会)的定义,嵌入式系统是“控制、监视或者辅助设备、机器和设备运行的装置”(原文为 devices used to control, monitor, or assist the operation of equipment, machinery or plants)。这主要是从应用上加以定义的,从中可以看出嵌入式系统是软件和硬件的综合体,还可以涵盖机械等附属装置。

不过上述定义并不能充分体现出嵌入式系统的精髓,目前国内一个普遍被认同的定义是:以应用为中心、计算机技术为基础、软件硬件可裁减、适应应用系统对功能、可靠性、成本、体积、功耗严格要求的专用计算机系统。根据这个定义,可从几方面来理解嵌入式系统。

嵌入式系统是面向用户、面向产品、面向应用的,它必须与具体应用相结合才会具有生命力,才更具有优势。因此,可以这样理解上述三个面向的含义,即嵌入式系统与应用紧密结合,具有很强的专用性,必须结合实际系统需求进行合理的裁减利用。

嵌入式系统是将先进的计算机技术、半导体技术和电子技术与各个行业的具体应用相结合后的产物,这一点就决定了它必然是一个技术密集、资金密集、高度分散、不断创新的知识集成系统。所以,介入嵌入式系统行业,必须有一个正确的定位。例如, Palm 之所以在 PDA 领域占有 70% 以上的市场,就是因为其立足于个人电子消费品,着重发展图形界面和多任务管理;而风河的 Vxworks 之所以在火星车上得以应用,则是因为其高实时性和高可靠性。嵌入式系统必须根据应用需求对软硬件进行裁减,满足应用系统的功能、可靠性、成本、体积等要求。所以,如果能建立相对通用的软硬件基础,然后在其上开发出适应各种需要的系统,是一个比较好的发展模式。目前嵌入式系统的核心往往是一个几 K 到几十 K 的微内核,需要根据实际使用的情况进行功能扩展或者裁减,但是由于微内核的存在,使得这种扩展能够非常顺利地进行。

实际上,嵌入式系统本身是一个外延极广的名词,凡是与产品结合在一起的具有嵌入式特点的控制系统都可以称为嵌入式系统,而且有时很难给它下一个准确的定义。现在人们讲嵌入式系统时,某种程度上是指近些年比较热门的具有操作系统的嵌入式系统,本书在进行分析和展望时,也沿用这一观点。

一般而言,嵌入式系统的构架可以分成 4 个部分:处理器、存储器、输入输出(I/O)和软件(由于多数嵌入式设备的应用软件和操作系统都是紧密结合的,在这里对其不加区分,这也是嵌入式系统和 Windows 系统的最大区别)。

1.2.2 嵌入式系统分类

由于嵌入式系统由硬件和软件两大部分组成,所以其分类也可以从硬件和软件进行划分。从硬件方面来讲,各式各样的嵌入式处理器是嵌入式系统硬件中最核心的部分,而目前世界上具有嵌入式功能特点的处理器已经超过 1 000 种,流行体系结构包括 MCU、MPU 等 30 多个系列。鉴于嵌入式系统广阔的发展前景,很多半导体制造商都大规模生产嵌入式处理器,并且公司自主设计处理器也已经成为未来嵌入式领域的一大趋势,其中从单片机、DSP 到 FPGA 有着各式各样的品种,速度越来越快,性能越来越强,价格也越来越

低。

根据其现状,嵌入式处理器可以分成以下几类。

(1) 嵌入式微处理器(Micro Processor Unit, MPU)

嵌入式微处理器是由通用计算机中的 CPU 演变而来的。它的特征是具有 32 位以上的处理器,具有较高的性能。但与计算机处理器不同的是,在实际嵌入式应用中,只保留和嵌入式应用紧密相关的功能硬件,去除其他的冗余功能部分,这样就以最低的功耗和资源实现嵌入式应用的特殊要求。和工业控制计算机相比,嵌入式微处理器具有体积小、重量轻、成本低、可靠性高的优点。目前主要的嵌入式处理器类型有 Am186/88、386EX、SC-400、Power PC、68000、MIPS、ARM/ StrongARM 系列等。其中 ARM/StrongARM 是专为手持设备开发的嵌入式微处理器,属于中档价位。

(2) 嵌入式微控制器(Micro Controller Unit, MCU)

嵌入式微控制器的典型代表是单片机,从 20 世纪 70 年代末单片机出现到今天,虽然已经有了数十年的历史,但这种 8 位的电子器件目前在嵌入式设备中仍然有着极其广泛的应用。单片机芯片内部集成 ROM/EPROM、RAM、总线、总线逻辑、定时/计数器、看门狗、I/O、串行口、脉宽调制输出、A/D、D/A、Flash RAM、EEPROM 等各种必要功能和外设。和嵌入式微处理器相比,微控制器的最大特点是单片化,体积大大减小,从而使功耗和成本下降,可靠性提高。微控制器是目前嵌入式系统工业的主流。微控制器的片上外设资源一般比较丰富,可以完成各种控制功能,因此称微控制器。

(3) 嵌入式 DSP 处理器(Embedded Digital Signal Processor, EDSP)

DSP 处理器是专门用于信号处理方面的处理器,在系统结构和指令算法方面进行了特殊设计,具有很高的编译效率和指令执行速度。在数字滤波、FFT、谱分析等各种仪器上,DSP 获得了大规模的应用。

目前最为广泛应用的是 TI 公司的 TMS320C2000/C5000 系列,另外 Intel 的 MCS-296 和 Siemens 的 TriCore 也有各自的应用范围。

(4) 嵌入式片上系统(System On Chip, SOC)

SOC 是追求产品系统最大包容的集成器件,是目前嵌入式应用领域的热门话题之一。SOC 最大的特点是成功实现了软硬件无缝结合,直接在处理器片内嵌入操作系统的代码模块。而且 SOC 具有极高的综合性,在一个硅片内部运用 VHDL 等硬件描述语言,实现一个复杂的系统。用户不需要再像传统的系统设计一样,绘制庞大复杂的电路板,一点点连接焊制,只需要使用精确的语言,综合时序设计直接在器件库中调用各种通用处理器的标准,然后通过仿真之后就可以直接交付芯片厂商进行生产。由于绝大部分系统构件都是在系统内部,整个系统就特别简洁,不仅减小了系统的体积和功耗,而且提高了系统的可靠性,提高了设计生产效率。

1.3 IP 核

IP(Intellectual Property)是知识产权核或知识产权模块的缩写,在 EDA 技术和开发中具有十分重要的地位。著名的美国 Dataquest 咨询公司将半导体产业的 IP 定义为用于

ASIC 或 FPGA/CPLD 中的预先设计好的电路功能模块。IP 核分为 IP 软核、IP 硬核和 IP 固核。

1. IP 软核

IP 软核通常以 HDL 文本形式提交给用户,它已经过 RTL 级设计优化和功能验证,但其中不含有任何具体的物理信息。据此,用户可以综合出正确的门电路级设计网表,并进行后续的结构设计,具有很大的灵活性。借助 EDA 综合工具可以很容易地与其他外部逻辑电路合成一体,根据各种不同半导体工艺,设计成具有不同性能的器件。IP 软核也称为虚拟组件(Virtual Component, VC)。

2. IP 硬核

IP 硬核是基于半导体工艺的物理设计,已有固定的拓扑布局和具体工艺,并已通过工艺验证,具有可保证的性能。其提供给用户的形式是电路物理结构掩模版图和全套工艺文件。

3. IP 固核

IP 固核的设计程度则是介于软核和硬核之间,除了完成软核所有的设计外,还完成了门级电路综合的时序仿真等设计环节。一般以门级电路网表的形式提供给用户。

如何设计出性能良好的 IP 核? 虽然这个问题没有统一完整的答案,但根据前人开发的经验以及电子设计的一般规则,仍然可以总结出一般 IP 核设计应该遵循的几个准则:

(1) 规范化。严格按照规范设计,这样的系统具有可升级性、可继承性,易于系统集成。

(2) 简洁化。设计越简洁的系统,就越容易分析、验证,达到时序收敛。

(3) 局部化。时序和验证中的问题局部化,就容易发现和解决问题,减少开发时间,提高质量。

只有按照一定编码规则编写的 IP 核代码才具有较好的可读性,易于修改并且具有较强的可复用性,同时也可获得较高的综合性能和仿真效果。

1.4 SOPC 技术

从系统集成的角度看, SOC 是以不同模型的电路集成、不同工艺的集成作为支持基础的。所以,要实现 SOC, 首先必须重点研究器件的结构与设计技术、VLSI 设计技术、工艺兼容技术、信号处理技术、测试与封装技术等,这就需要规模较大的专业设计队伍、相对较长的开发周期和高昂的开发费用,并且涉及大量集成电路后端设计和微电子技术的专门知识,因此设计者在转向 SOC 的过程中也面临巨大的困难。

SOC 面临上述诸多困难的原因在于 SOC 技术基于超大规模专用集成电路,因此,整个设计过程必须实现完整的定制或设计流程。美国 Altera 公司在 2000 年提出的片上可编程系统(System On Programmable Chip, SOPC)技术则提供了另一种有效的解决方案,即用大规模可编程器件 FPGA 来实现 SOC 的功能。SOPC 与 SOC 的区别就是 FPGA 与 ASIC 的区别。SOPC 是 SOC 发展的新阶段,代表了当今电子设计的发展方向,其基本特征是设计人员采用“自顶向下”的设计方法,对整个系统进行方案设计和功能划分,最后系统的核心

电路在可编程器件上实现。

随着百万级的 FPGA 芯片、功能复杂的 IP 核、可重构的嵌入式处理器核以及各种功能强大的开发工具的出现, SOPC 已成为一种一般单位甚至个人都可以承担和实现的设计方法。SOPC 基于 FPGA 芯片, 将处理器、存储器、I/O 等系统设计需要的模块集成在一起, 完成整个系统的主要逻辑功能, 具有设计灵活、可裁减、可扩充、可升级及软件、硬件在系统可编程的功能。

近年来, MCU、DSP 和 FPGA 在现代嵌入式系统中都扮演着非常重要的角色, 它们都具有各自的特点但又不能兼顾。在简单的控制和人机接口方面, 以 51 系列单片机和 ARM 微处理器为代表的 MCU 因为具有全面的软件支持而处于领先地位; 在海量数据处理方面, DSP 优势明显; 在高速复杂逻辑处理方面, FPGA 凭借其超大规模的单芯片容量和硬件电路的高速并行运算能力而显示出突出的优势。因而, MCU、DSP、FPGA 的结合将是未来嵌入式系统发展的趋势。而 SOPC 技术正是 MCU、DSP 和 FPGA 的有机融合。目前, 在大容量 FPGA 中可以嵌入 16 位或 32 位的 MCU, 如 Altera 公司的 Nios II 处理器; DSP 对海量数据快速处理的优异性能主要在于它的流水线计算技术, 只有规律的加减乘除等运算才容易实现流水线的计算方式, 这种运算方式也较容易用 FPGA 的硬件门电路来实现。目前, 实现各种 DSP 算法的 IP 核已经相当丰富和成熟, 例如 FFT、IIR、FIR、Code 等。利用相关设计工具(如 DSP Builder)可以很方便地把现有的数字信号处理 IP 核添加到工程中去。SOPC 一般采用大容量 FPGA(如 Altera 公司的 Cyclone, Stratix 等系列)作为载体, 除了在一片 FPGA 中定制 MCU 处理器和 DSP 功能模块外, 可编程器件内还具有小容量高速 RAM 资源和部分可编程模拟电路, 还可以设计其他逻辑功能模块。一个大容量的 FPGA 的 SOPC 结构图如图 1.1 所示。

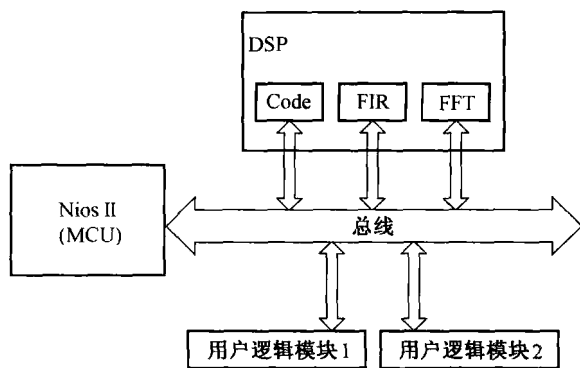


图 1.1 大容量 FPGA 的 SOPC 结构图

SOPC 技术具有如此多的优点, 已经成为嵌入式系统领域中的一个研究热点, 并代表了未来半导体产业的一个发展方向。相对于单片机、ARM 而言, 目前 SOPC 技术的应用还不是很广, 但从趋势上看, 只要再经过几年的发展, 未来 SOPC 技术的应用就会像今天的单片机一样随处可见。

SOPC 技术实现方式一般分为三种:

(1) 基于 FPGA 嵌入式 IP 硬核的 SOPC 系统

目前最常用的嵌入式系统大多采用了含有 ARM 的 32 位知识产权处理核的器件。Altera 公司 Excalibur 系列的 FPGA 中就植入了 ARM922T 嵌入式系统处理器, Xilinx 的 Viretx- II Pro 系列中则植入了 IBM Power PC405 处理器, 这样就能使得 FPGA 灵活的硬件设计和硬件实现与处理强大的软件功能结合, 高效地实现 SOPC 系统。

(2) 基于 FPGA 嵌入 IP 软核的 SOPC 系统

在第一种实现方案中, 由于硬核是预先植入的, 其结构不能改变, 功能也相对固定, 无法裁减硬件资源, 而且此类硬核多来自第三方公司, 其知识产权费用导致成本的增加。如果利用软核嵌入式系统处理器就能有效克服这些不利因素。最具代表性的嵌入式软核处理器是 Altera 公司的 Nios II 软核处理器。

(3) 基于 HardCopy 技术的 SOPC 系统

HardCopy 就是利用原有的 FPGA 开发工具, 将成功实现于 FPGA 器件上的 SOPC 系统通过特定的技术直接向 ASIC 转化, 从而克服传统 ASIC 设计中普遍存在的问题。

从 SOPC 实现方式上不难看出, IP 核在 SOPC 系统设计中占有极其重要的地位, IP 核设计及 IP 核的复用成为 SOPC 技术发展的关键所在。半导体产业的 IP 定义为用于 ASIC 和 PLD 等中预先设计好的电路模块。在 SOPC 设计中, 每一个组件都是一个 IP 核。IP 核模块有行为、结构和物理三级不同程度的设计, 对应描述功能行为的不同分为三类, 即完成行为的软核(Soft IP Core)、完成结构描述的固核(Firm IP Core)和基于物理描述并经过工艺验证的硬核(Hard IP Core)。

第 2 章 Altera 公司可编程逻辑器件简介

内容提要

本章主要以 Cyclone II、Cyclone III、Stratix III 为代表,介绍 Altera 公司的新型 FPGA 器件。通过本章的学习,掌握 Altera 公司这三种 FPGA 器件的主要性能及使用方法。

2.1 Cyclone II 器件

Altera 公司于 2004 年 6 月推出了 Cyclone II 系列 FPGA 器件,是 Cyclone 系列 FPGA 的新一代产品。Cyclone II 器件采用 90 nm、低 K 值电介质工艺。相对于 130 nm 工艺的 Cyclone 系列 FPGA,片内的逻辑单元数量大幅增加。Cyclone II 器件的逻辑单元(LE)最多可达 68 416 个,片内嵌入式存储器的容量最多增加至 1.1 MB,用户 I/O 最多可达到 622 个。这个系列的产品具有其上一代产品(Cyclone FPGA)相同的优势——用户定义的功能、领先的性能、低功耗、高密度以及低成本。

1. 主要特性

Cyclone II 器件可提供 4 608 ~ 68 416 个逻辑单元(LE),嵌入式 18 × 18 位乘法器、专用外部存储器接口电路、4 KB 嵌入式存储器块、锁相环(PLL)和高速差分 I/O 等。表 2.1 为 Cyclone II FPGA 系列的特性,表 2.2 为 Cyclone II 器件封装和用户 I/O 管脚数。

表 2.1 Cyclone II FPGA 特性

器件	EP2C5	EP2C8	EP2C15	EP2C20	EP2C35	EP2C50	EP2C70
逻辑单元	4 608	8 256	14 448	18 752	33 216	50 528	68 416
M4K RAM 块 (4 KB + 512 校验比特)	26	36	52	52	105	129	250
总 RAM 容量(比特数)	119 808	165 888	239 616	239 616	483 840	594 432	1 152 000
嵌入式 18 × 18 位乘法器	13	18	26	26	35	86	150
PLLs	2	2	4	4	4	4	4
最多用户 I/O 管脚	158	182	315	315	475	450	622
差分通道	55	75	125	125	200	192	275